

DEPARTAMENTO DE FÍSICA APLICADA III
(ELECTRICIDAD Y ELECTRÓNICA)

FACULTAD DE CIENCIAS FÍSICAS

UNIVERSIDAD COMPLUTENSE DE MADRID



Estudio del efecto de diferentes electrodos metálicos en
estructuras MOS con dieléctrico de puerta de alta-K
Study of the effect of different metallic electrodes on high-K
dielectric MOS structures

Memoria que presenta

Bruno Campillo Iglesias (bruno.campillo@gmail.com)

Proyecto de

MÁSTER EN FÍSICA APLICADA-ELECTRÓNICA

Director: Prof. Enrique San Andrés Serrano (esas@fis.ucm.es)

D. Pedro Carlos Feijoo Guerra (pedronska@fis.ucm.es)

Madrid, 2012

RESUMEN

Los principales temas estudiados en el presente proyecto son:

- Evolución de estructuras multi-capa $\text{GD}_2\text{O}_3/\text{SC}_2\text{O}_3$, depositadas por *High Pressure Sputtering* (HPS), tras ser tratadas con *Forming Gas Annealing* (FGA) en películas dieléctricas, amorfas y homogéneas, cuyas propiedades dieléctricas de alta K sugieren que están compuesta por $\text{Gd}_x\text{SC}_{2-x}\text{O}_3$ ($0 < x < 2$).
- Estudio de la compatibilidad de metales de puerta/contacto sobre dieléctricos $\text{Gd}_x\text{SC}_{2-x}\text{O}_3$ ($0 < x < 2$): Pt, Ta/Pt, Ti/Ta, Pt/Al, Ta/Al, Ti/Ta/Al. Análisis de posibles mecanismos de fallo de los metales de contacto asociado a la no conformidad de películas depositadas por E-BEAM.
- Implementación y optimización de procesos de fotolitografía positiva para el comido selectivo de películas de SiO_2 .
- Reparación y caracterización de equipos de High Pressure Sputtering afectado por problemas de invasión del plasma dentro de los electrodos.

Palabras clave: Dieléctricos de alta K, Metal de puerta, Estructuras MIS, Transistores MOSFET, Escalado, Curvas C-V, Fotolitografía positiva, HPS, FGA, películas no conformes.

SUMMARY

The main topics treated in the present project are:

- Evolution of multi-stack $\text{GD}_2\text{O}_3/\text{SC}_2\text{O}_3$ structures, grown by High Pressure Sputtering (HPS), after a Forming Gas Annealing (FGA) treatment in dielectric films, amorphous and homogeneous, whose high-K dielectric properties suggest that are composed by $\text{Gd}_x\text{SC}_{2-x}\text{O}_3$ ($0 < x < 2$).
- Compatibility study of gate/contact metals over $\text{Gd}_x\text{SC}_{2-x}\text{O}_3$ ($0 < x < 2$) dielectrics: Pt, Ta/Pt, Ti/Ta, Pt/Al, Ta/Al, Ti/Ta/Al. Most-likely failure mechanism analysis of contact metals owing to non-conformal films grown by E-BEAM.
- Implementation and optimization of positive photolithography processes for the selective etching of SiO_2 films.
- Reparation and characterization of High Pressure Sputtering equipment suffering problems related to plasma invasion of the electrodes.

Keywords: High-K Dielectrics, Gate Metal, MIS Structures, MOSFET transistors, Scaling, C-V Curves, Positive Photolithography, HPS, FGA, non-conformal films.

Índice

1. Introducción. Justificación del estudio.	1
1.1. Naturaleza y propiedades básicas de las estructuras MIS ideales.	1
1.2. Transistor MOSFET. Aplicaciones de interés.	2
1.3. Escalado. Problemas tecnológicos asociados.	5
1.4. Dieléctricos de alta permitividad eléctrica (HK).	7
1.5. Metal de puerta para los nuevos dieléctricos HK.	9
2. Objetivos del proyecto.	11
3. Ruta de fabricación y procesos tecnológicos.	12
3.1. Depósito de una capa de óxido de Silicio (SiO_2).	12
3.2. Apertura de ventanas en el SiO_2 . Fotolitografía positiva.	14
3.3. Acondicionamiento del Silicio expuesto. Limpieza RCA.	19
3.4. Depósito del dieléctrico HK por HPS.	19
3.5. Preparación para el depósito del metal de puerta. Fotolitografía negativa.	23
3.6. Tratamiento de la fotoresina negativa.	24
3.7. Depósito del metal de puerta y contacto trasero.	24
3.8. <i>Forming Gas Annealing</i> (FGA).	25
3.9. Series fabricadas y su propósito.	26
4. Obtención, análisis e interpretación de resultados.	28
4.1. Técnicas de caracterización.	28
4.1.1. Curvas C-V. Estudio del EOT de dieléctrico HK.	28
4.1.2. Elipsometría. Evolución del espesor del dieléctrico HK con los recocidos.	30
4.1.3. XPS. Análisis de la composición química de una película.	30
4.1.4. Imagen óptica y TEM. Inspección óptica de la superficie del metal de contacto y la sección transversal de la estructura MIS.	30
4.2. Estructuras MIS no ideales.	31
4.2.1. Efecto del contactado eléctrico de la estructura MIS.	31
4.2.2. Efecto carga estática en dieléctrico y $\Phi_{\text{ms}} \neq 0$	31
4.2.3. Efecto de los defectos en la intercara semiconductor/aislante.	32
4.2.4. Efecto de la conducción a través del aislante.	32
4.3. Resultados experimentales.	33
4.3.1. Estimación de la composición y espesor de los dieléctricos de la serie 1 y 2.	33
4.3.2. Evolución del espesor del dieléctrico HK con los recocidos.	34
4.3.3. Influencia del tratamiento superficial en el dieléctrico HK. Análisis serie 1.	34
4.3.4. Corroboración de resultados de 4.3.3. Serie 2.	36
4.3.5. Series 3 a 6. Análisis de fallos.	36
5. Conclusiones.	39
6. Referencias.	40

1. Introducción. Justificación del estudio.

Este capítulo tiene por objeto presentar al lector las propiedades básicas de las estructuras Metal-Aislante-Semiconductor (MIS). Explicaremos la relación de las estructuras MIS con los transistores MOSFET y el porqué de la importancia de éstos dentro del marco de la tecnología de memorias y procesadores actuales. Por último, explicaremos como las exigencias del mercado impulsan la búsqueda de materiales con alto valor en su constante dieléctrica K y propiedades compatibles con la tecnología actual.

1.1. Naturaleza y propiedades básicas de las estructuras MIS ideales.

Una estructura MIS es un dispositivo formado por tres capas: un semiconductor dopado, un aislante y un metal, en este orden. La estructura MIS tecnológicamente más relevante en la historia de la microelectrónica es $\text{Si}(n,p)/\text{SiO}_2/\text{poly-Si}$. Una estructura MIS es calificada de *ideal* si: (i) La única carga presente en la estructura se encuentra en el metal y en el semiconductor dopado, en igual cantidad para asegurar la neutralidad de carga en la estructura. (ii) Las funciones de trabajo de semiconductor dopado y metal son iguales, de modo que sus respectivas energías de Fermi (E_F) están alineadas. (3) El aislante es perfecto ($\rho = \infty$), por lo que ninguna corriente de carga puede atravesarlo.

Cumplidas estas condiciones de idealidad, se garantiza que, en equilibrio, las bandas de energía de todos los materiales de la estructura son planas. En la siguiente figura se presenta una estructura MIS(n) polarizada y los cambios que ello induce en su estructura de bandas:

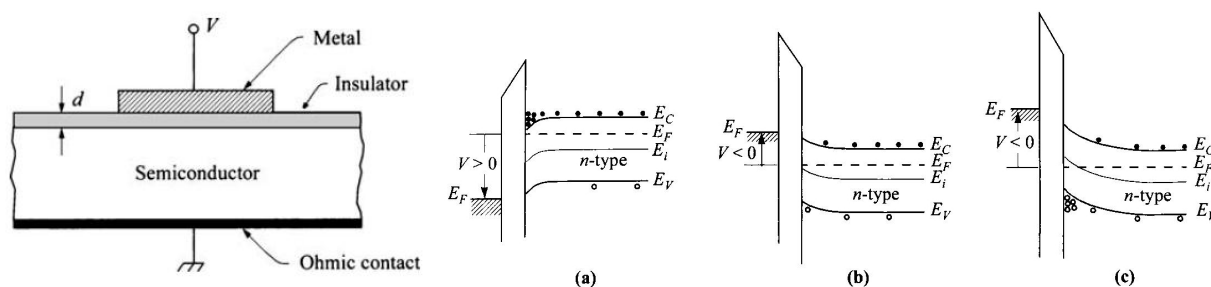


Figura 1: MIS . (a) Acumulación; (b) Vaciamiento; (c) Inversión [1](p.198-199)

La polarización aplicada al metal influye eléctricamente en el aislante y el semiconductor, induciendo en ellos una redistribución de su carga (de polarización y libre, respectivamente) representada por el curvado de sus bandas de energía mostrado en las Figuras 1 (a), (b), (c). Dado que metal y semiconductor están eléctricamente aislados, en condiciones ideales, la polarización aplicada sobre el metal solo influirá en la E_F de éste, quedando la posición de la del semiconductor inalterada.

Un electrón del metal polarizado que, hipotéticamente, viajará hacia el semiconductor tendría que, de algún modo, perder o ganar la energía necesaria para tener la E_F del semiconductor a su llegada a él. Esta necesidad de ganancia o pérdida de energía es lo que representa la curvatura de las bandas de energía, aunque su origen último es la mencionada redistribución de carga que la polarización induce. En efecto, dado que la concentración de portadores libres en un semiconductor depende fuertemente de la distancia energética entre su E_F y sus bandas de valencia (BV) y de conducción (BC), la curvatura en ellas informará de la variación de la concentración local de portadores libres cerca de la intercara semiconductor/aislante. Como ejemplo, analicemos la curva 1 (c). La polarización provoca que la E_F de un electrón en el metal sea mayor que en el semiconductor. Este exceso de energía se compensa por la curvatura hacia abajo (reducción energética) de las bandas de energía en el aislante y en una región del semiconductor cercana a la intercara. La curvatura en esta región del semiconductor es tan grande que su E_F pasa de estar más cerca de la BC (tipo n) a estarlo de la BV (tipo p): en esta región el semiconductor ha visto invertida su naturaleza eléctrica; es la región de *inversión*. Una similar discusión nos lleva a observar el fenómeno de aumento de la concentración normal de portadores libres (Figura 1(a), situación de *acumulación*) o reducción (Figura 1(b), situación de *vaciamiento*) a medida que la E_F del metal se reduce al cambiar la polarización. Este modulado de las propiedades eléctricas de la intercara semiconductor/aislante es la propiedad que hace a las estructuras MIS tan importantes, como veremos.

1.2. Transistor MOSFET. Aplicaciones de interés.

Observemos la siguientes figuras:

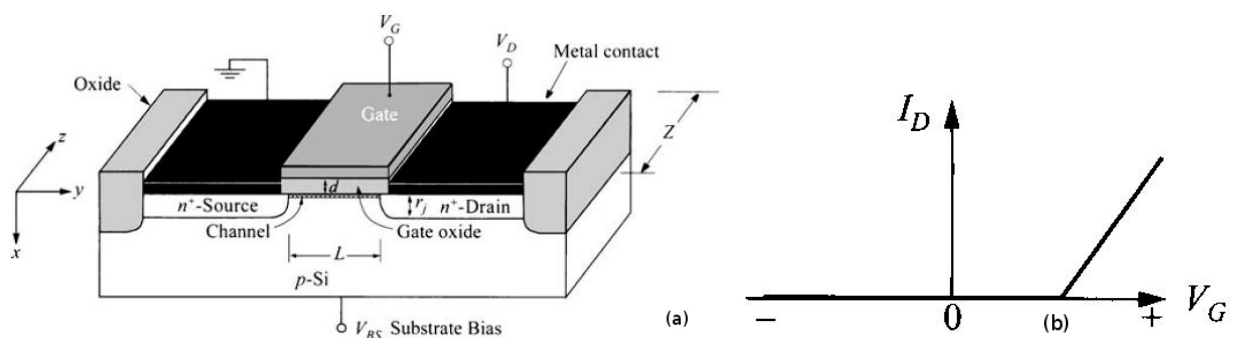


Figura 2: (a) n-MOSFET; (b) $I_D=f(V_G)$ [1](p.297-298)

La figura 2 (a) muestra la estructura típica de un transistor n-MOSFET. Podemos observar que la región central es una estructura MIS donde al metal, aislante y semiconductor se les llaman puerta, aislante de puerta y sustrato, respectivamente. Podemos ver que el sustrato no solo abarca la estructura MIS, sino que se expande lateralmente. Por último, si nos fijamos, a ambos lados de la estructura MIS vemos que la naturaleza eléctrica del sustrato ha cambiado (de tipo p a n, en este caso).

A estas regiones se las llaman fuente y drenador. Por esto es lógico pensar que el funcionamiento del transistor MOSFET dependerá de las propiedades de la estructura MIS que contiene.

La figura 2 (b) muestra la corriente de carga que llega al drenador (I_D), tras polarizarlo ($V_D > 0$), en función de la polarización de la puerta (V_G). Vamos a justificar el comportamiento en ella observado, pues es una de las claves que hace a este dispositivo tan importante. Empecemos configurando la estructura MIS en acumulación ($V_G < 0$, en n-MOS). Así, el sustrato, cerca de la intercara, tendrá una concentración de portadores de carga mayoritarios (huecos, en n-MOS) superior a la que existe en el resto de su volumen. Debido a la polarización entre drenador y fuente, los portadores de carga allí mayoritarios (electrones, en n-MOS) intentan desplazarse de fuente a drenador a través del sustrato. Pero, al penetrar en el sustrato, se encuentran inmersos en una región de gran concentración de portadores de carga opuesta (huecos en n-MOS), con los que se recombinan, tanto más rápido cuanto mayor sea la concentración de huecos: tiempo de vida de minoritarios $\tau_n \propto \frac{1}{p}$. Este rápido fenómeno de recombinación reduce casi cualquier posibilidad de que llegue algún portador de carga al drenador y, por ello, la corriente de drenador (I_D) es despreciable. Este mecanismo justifica por qué, en una amplia región de valores de V_G en la figura 2 (b), I_D es nula. Ahora, configuramos la estructura MIS en fuerte inversión ($V_G > V_{TH} > 0$), en n-MOS; V_{TH} hace referencia a una polarización umbral que garantiza que en toda la intercara el semiconductor se encuentra en este estado). En el estado de fuerte inversión, la concentración de portadores minoritarios (electrones en n-MOS) aumenta tanto en el sustrato cercano a la intercara que supera a la de los mayoritarios en el resto de su volumen; se dice que se ha formado un *canal de inversión* entre fuente y drenador. En esta situación, los portadores de la fuente que penetran en el sustrato se encuentran en una región donde la concentración de portadores de carga opuesta es mucho menor que antes, con lo que la probabilidad de recombinación se reduce y su tiempo de vida aumenta. Por todo esto, la probabilidad de que portadores de carga lleguen al drenador es alta y la I_D es apreciable. Este mecanismo justifica por qué en la figura 2 (b), cuando V_G es mayor que cierto valor (V_{TH}), llega corriente al drenador e I_D es apreciable.

El comportamiento que acabamos de describir se llama *rectificante*: el dispositivo tiene un estado en el que no conduce corriente de carga ($\rho = \infty$) y otro en el que lo hace con mucha facilidad ($\rho \rightarrow 0$). Los diodos también tienen esta propiedad rectificante pero, a diferencia de en ellos, las propiedades de conducción entre los terminales fuente-drenador no están gobernadas por el sentido de su polarización mutua sino por la polarización de un tercer terminal independiente: la puerta. La imagen que, quizás, mejor sintetice el funcionamiento operativo de un transistor MOSFET es la de un grifo de agua: si el grifo está cerrado ($V_G < V_{TH}$) no hay flujo de agua a su través; si el grifo está abierto ($V_G > V_{TH}$) hay flujo de agua a su través... todo ello siempre que hayamos pagado la última factura de agua ($V_D > 0$). El transistor MOSFET se comporta como un *interruptor*. Pero, ¿por qué es tan importante este comportamiento?

Imaginemos que configuramos en serie una resistencia R y un transistor MOSFET y aplicamos una diferencia de potencial V_{cc} entre uno de los extremos de la resistencia y el drenador del MOSFET. Imaginemos que nos interesa estudiar la caída de potencial entre fuente y drenador (salida) en función del valor de la polarización en la puerta del MOSFET (entrada). Si la entrada es menor que V_{TH} (entrada "0"), el transistor MOSFET no permite el paso de corriente a su través y actúa como una resistencia de valor mucho mayor que R . Dado que la caída de potencial en ambos elementos es proporcional a su resistencia, $V_{salida} \gg V_R \Rightarrow V_{salida} + V_R = V_{cc} \sim V_{salida}$ (salida "1"). Si la entrada es mayor que V_{TH} (entrada "1"), el transistor MOSFET permite fácilmente el paso de corriente a su través y actúa como una resistencia de valor mucho menor que R . Siguiendo un razonamiento análogo al anterior: $V_{salida} \ll V_R \Rightarrow V_{salida} + V_R = V_{cc} \sim V_R \Rightarrow V_{salida} = V_{cc} - V_R \sim 0$, (salida "0"). Sintetizando, el valor medido a la salida es el inverso del de entrada, en una lógica binaria: tenemos un inversor binario, una puerta NOT. La álgebra booleana demuestra que cualquier función lógica puede descomponerse en composiciones de operaciones elementales NOT. Luego, podemos implementar cualquier función lógica avanzada conectando circuitos elementales similares al descrito: *contamos con los materiales para construir la CPU de una computadora.*

Imaginemos, nuevamente, que configuramos en serie un condensador C y un transistor MOSFET y aplicamos una diferencia de potencial V_{cc} entre uno de los extremos del condensador y la fuente del MOSFET. Imaginemos que el condensador está inicialmente descargado (no hay variación de potencial entre sus placas, bit "0") y polarizamos la puerta $V_G > V_{TH}$: una corriente circula de fuente a drenador y carga las placas del condensador, polarizándolas (bit "1"). Desconectando V_G el condensador queda aislado y su polarización no cambia (el bit "1" queda almacenado). Ahora, desconectemos V_{cc} y polaricemos la puerta $V_G > V_{TH}$ de nuevo: el condensador deja de estar aislado, comienza a descargarse y, tras un transitorio, la carga en sus placas se pierde, así como su polarización (bit "0"). Desconectando V_G , el condensador queda aislado y su polarización no cambia (el bit "0" queda almacenado). Leer la información guardada en el condensador es tan sencillo como medir el voltaje entre sus placas. Luego, podemos almacenar grandes cantidades de información, en formato binario, agrupando circuitos elementales similares en su funcionamiento al que acabamos de describir: *podemos fabricar las memorias de acceso rápido esenciales para la construcción de una computadora.*

De toda esta disquisición desarrollada en los apartados 1.1 y 1.2 podemos concluir que, sin las estructuras MIS, toda la electrónica digital moderna no sería posible tal y como la conocemos.

1.3. Escalado. Problemas tecnológicos asociados.

Se entiende por *escalado* de un dispositivo MOSFET la reducción, de manera proporcionada, de todas las dimensiones físicas (L , Z , d , r_j ; ver figura 2 (a)) del transistor, manteniendo en lo posible sus propiedades de operación antes del escalado. Este deseo se justifica en los grandes beneficios que aporta esta reducción de dimensiones, entre ellos:

- **Económicos.** Dado que las obleas de Silicio, sobre las que se construyen los transistores, tienen tamaños máximos limitados por la tecnología de fabricación, la capacidad de construir transistores MOSFET de menor área permite integrar en cada oblea una mayor cantidad de ellos. Esto implica que, supuesto fijo el coste de procesado de cada oblea, menor será el precio de fabricación por transistor. Un menor precio de fabricación supone mayor accesibilidad para los consumidores, mayores ventas y mayor retorno de beneficios hacia I+D+i.
- **Aumento de la frecuencia de respuesta del transistor.** Existen varios factores que limitan la respuesta en frecuencia de un circuito que contenga transistores MOSFET. Entre estos factores, uno de los más importantes es el tiempo que tarda la carga inducida en la superficie aislante/semiconductor de la estructura MIS en cambiar cuando lo haga el V_G . Se puede demostrar([2]p.502-506) que este tiempo limita la frecuencia máxima de respuesta del transistor a un valor llamado frecuencia de corte f_T , que es proporcional a $\frac{1}{L^2}$. Así, una reducción de la longitud del canal L aumenta esta frecuencia de corte y, por ende, la posibilidad de construir CPU's que funcionen a frecuencias de reloj más elevadas.

No obstante, no todos los efectos que trae consigo el escalado son positivos: por un lado, si se mantienen los valores de polarización al escalar, los campos eléctricos en la estructura crecen hasta niveles que provocan la degradación en el rendimiento del transistor; por otro, la influencia de la polarización V_D en el estado eléctrico de la intercara se hace más importante cuanto mayor es el escalado, degradándose los modos normales de operación del transistor, basados en la sola influencia de V_G . Las consecuencias más importantes de estos fenómenos son ([1]p.328-339) : la I_D no satura a un valor constante; V_{TH} no es constante, depende de L ; I_D no es proporcional a $\frac{1}{L}$; y las características de operación del transistor se degradan con el uso, comprometiendo su fiabilidad. Son los llamados *efectos de canal corto*.

Para minimizar, en lo posible, estos efectos de canal corto se requieren unas reglas de escalado que, además del escalado físico, consigan atenuar en lo posible los problemas mencionados en el anterior párrafo. Uno de los conjuntos de reglas que cumplen este propósito son las llamadas *reglas de escalado de campo constante*, que en la figura 3 quedan definidas:

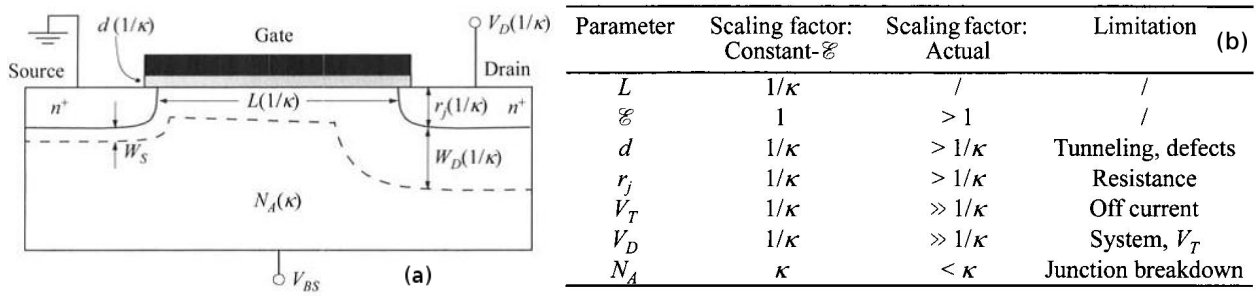


Figura 3: (a) Geometría del escalado; (b) Escalado y limitaciones [1]p.329

La figura 3 nos muestra las reglas de escalado de campo constante ($k > 0$). En ellas, además del escalado físico, también se reduce, proporcionalmente, las polarizaciones V_G - V_D y aumenta la concentración N_A de dopantes en el sustrato. Con la reducción de las polarizaciones se garantiza la constancia de los campos eléctricos en aislante y canal durante el escalado físico: $|\vec{E}_{canal}| = \frac{V_D/k}{L/k}$; $|\vec{E}_{aislante}| = \frac{V_G/k}{d/k}$. El aumento de la concentración de dopantes del sustrato (N_A en n-MOS) tiene como objetivo que la distancia que penetran dentro del sustrato las zonas de carga espacial (ZCE) de las uniones terminal/sustrato (uniones PN) sea la menor posible [1]p.83. La razón es que, si estas regiones fueran extensas y la longitud L corta, debido al escalado, la ZCE de la unión fuente/sustrato y la de sustrato/drenador podrían unirse, constituyendo un camino alternativo para los portadores de carga entre los terminales en condiciones de $V_G < V_{TH}$, comprometiendo el comportamiento rectificante del dispositivo.

Gracias a reglas de este tipo se ha podido alcanzar grados de escalado donde la longitud del canal L de transistores comerciales está en el orden de las décimas de nm. Desafortunadamente, no se puede seguir escalando el tamaño indefinidamente. Llegados a cierto punto emergen efectos mecano-cuánticos y defectos estructurales en los materiales usados en las estructuras MIS que no pueden ser soslayados de otra manera que no sea el invertir parte del escalado.

De especial interés y actualidad son los problemas que emergen cuando el espesor del aislante d llega a ser tan delgado que aparecen problemas como:

- Perdida en la calidad del aislante.** La densidad de defectos estructurales en el aislante aumenta al reducir su espesor debido a limitaciones en las tecnologías de depósito. Estos defectos actúan como centros de captura de carga y, lo que es peor, esta carga varía con el tiempo y condiciones de operación del transistor. En 4.2.2 mostraremos como esta ruptura de las condiciones ideales (i) de un MIS provoca una variación no controlable del V_{TH} esperado teóricamente y que, además, fluctúa en el tiempo. Dado que el valor de V_{TH} es deseable que sea lo menor y más constante posible, para controlar de manera sencilla el estado de conducción del canal, este problema introduce inestabilidad en el comportamiento del transistor.

- **Pérdida de calidad de la intercara semiconductor/aislante.** La densidad de defectos en la intercara aumenta al reducirse el espesor del aislante. Como el canal de inversión está muy cerca de esta región, estos defectos, o la carga en ellos atrapada, influyen en el movimiento de los portadores de carga a través suyo, degradando su movilidad y alterando los parámetros característicos del MOSFET que dependen de ella.
- **Conducción túnel a través del aislante.** La probabilidad de que exista conducción de carga entre el semiconductor y el metal, a través del aislante, por efecto túnel aumenta exponencialmente al disminuir su espesor. Esta conducción supondrá una fuente extra de consumo eléctrico y afecta al funcionamiento operativo del transistor al degradar la capacidad de la estructura, , como veremos en detalle en 4.2.4.

Ninguno de estos problemas puede ser superado de otro modo que no sea el aumento del espesor físico del aislante, es decir, invertir el escalado. Pero ello provoca que la capacidad por unidad de área C_i' de la estructura ideal MIS (modelo condensador plano-paralelo)

$$C_i' = \frac{C_i}{Z \cdot L} = \frac{K \cdot \epsilon_0}{d} \quad (1)$$

no aumente con el escalado, ni mejoren los parámetros del transistor que dependen de ella. La única solución que queda para incrementar C_i' , al nivel exigido por el escalado, y mantener, a la vez, d en un valor que mitigue los problemas que acabamos de describir es aumentar el valor de la constante dieléctrica K del aislante de la estructura.

Estos problemas que acabamos de describir afectaron a los transistores MOSFET fabricados, comercialmente, a partir del año 2005 (nodo 65nm). El espesor d del SiO_2 , usado como aislante, era tan delgado que los transistores no funcionaban adecuadamente por los problemas que hemos descrito. Ello provocó el inicio de la búsqueda de un sustituto para él con mayor constante dieléctrica K y que, en lo posible, mantuviera las bondades que hacían al SiO_2 el aislante más compatible con los semiconductores de Silicio.

1.4. Dieléctricos de alta permitividad eléctrica (HK).

La constante dieléctrica de un aislante es una propiedad intensiva del material, de modo que la necesidad de que su valor aumente implica sustituir el dieléctrico por otro distinto. En la búsqueda de un nuevo material que actúe como aislante de la estructura MIS es aconsejable tener presentes las propiedades deseadas en él, con el afán de encontrar un candidato lo mejor posible. Vamos a enumerar a continuación estas propiedades deseadas, y el por qué las deseamos [3]:

1. **Valor de la constante dieléctrica K .** De la argumentación seguida en la sección 1.3, se concluye que cuanto mayor sea la K del nuevo aislante mayor C' puede obtenerse, a espesor constante.

Buscamos, pues, materiales con la mayor K posible: los llamados *dieléctricos HK*. Sin embargo, existe una relación entre el gap del aislante y su K ($K \propto 1/\epsilon_g$) que limita el valor máximo posible: un K muy grande haría que el gap se redujese tanto que el dieléctrico perdiese sus propiedades aislantes. Un compromiso entre buenas capacidades aislantes y alta K del dieléctrico (para lograr seguir siendo útil en futuros escalados) nos limita a buscar en el intervalo de $12 < K < 30$.

2. Estabilidad termodinámica del dieléctrico HK sobre el Silicio. El nuevo aislante estará en contacto con el Silicio, que actúa como semiconductor de la estructura MIS. Si el dieléctrico HK y el Silicio reaccionan entre sí, dando lugar a SiO_2 , éste introduciría un elemento capacitivo extra que disminuiría la capacidad total, cancelando parcialmente el efecto que buscamos con la introducción del material de HK y el escalado. Por esta razón, el nuevo material de HK tiene que tener mayor calor de formación que el SiO_2 , para garantizar que no reacciona con él.

3. Estabilidad cinética del dieléctrico HK frente a recocidos a $T=1000^\circ\text{C}$ (5s). Durante los procesos de fabricación, relacionados con la tecnología CMOS, es necesario recocer el aislante a $T=1000^\circ\text{C}$ durante 5s con el fin de activar los dopantes de fuente y drenador. Esto puede producir una transformación en la ordenación cristalográfica del nuevo dieléctrico HK. Este cambio puede hacer variar sus propiedades y ello no será ventajoso, al comprometer la estabilidad funcionamiento. Por ello, el dieléctrico HK debe aguantar estos procesos sin variar su estado cristalográfico. Normalmente, preferiremos un dieléctrico HK amorfo porqué en estado policristalino una corriente puede atravesar el aislante con más facilidad aprovechando las fronteras de grano; sin embargo, existen excepciones, como el HfO_2 , para el que las fugas son similares en ambos estados. Por ello, el estado cristalino preferido del dieléctrico HK dependerá de cada material concreto, pero siempre desearemos que este estado no cambie en los procesos de recocido que la ruta de fabricación exige. Este requerimiento puede relajarse con el empleo de nuevas tecnologías de fabricación en las que dieléctrico HK y metal son depositados después de la activación de los dopantes (fabricación tipo *Gate-Last*).

4. Buen funcionamiento aislante del material HK. Para que el dieléctrico HK funcione como un buen aislante debe impedir el paso de portadores de carga a través suyo. Para ello los electrones y huecos del semiconductor (Silicio) deben enfrentarse a una barrera de energía lo suficientemente alta (>1 eV) para pasar a la BC y BV del aislante, respectivamente. Esta exigencia impone que el gap del dieléctrico HK debe ser mayor que el del de Silicio en, al menos, 2eV (E_g del Si es 1.1eV , luego 3.1eV como mínimo) y estar alineada con él de tal modo que la barrera de energía entre la BV y BC, de semiconductor a aislante, sea de, al menos, 1 eV. Aislantes como el SiO_2 , de gap 9eV , cumplen esta condición perfectamente, pero, como mencionamos atrás, cuanto mayor sea K , menor será el gap de energía en el aislante y esta condición puede verse comprometida en dieléctrico HK, restringiéndose el rango de materiales disponibles por ello. En la práctica, dieléctricos con $E_g < 5\text{eV}$ no son adecuados.

5. Buena calidad en la intercara aislante-semiconductor. Necesaria para minimizar la densidad de defectos en la intercara, cuyos efectos adversos ya han sido discutidos. Para lograrlo se puede crecer epitaxialmente el aislante sobre el Silicio o depositar un aislante amorfo. El estado policristalino del aislante se desaconseja debido a que las fronteras de grano introducen muchos problemas relacionados con la anisotropía de propiedades y aumento de la densidad de defectos en la intercara. Actualmente, por motivos de coste y tecnológicos, los aislantes cristalinos crecidos epitaxialmente no son viables y se usan materiales HK amorfos.

6. Materiales HK con baja densidad de defectos eléctricamente activos. De otro modo el aislante acumularía carga en su interior, degradando el control del transistor, como ya hemos discutido. Por estas razones, buscamos dieléctricos HK que presenten una baja densidad de defectos que capturen carga.

La elección del fabricante *Intel* para sustituir al SiO_2 , a partir del nodo de 65nm, fue el HfO_2 ($K=25$). Así, los actuales procesadores de esta empresa, pertenecientes a los nodos de 45nm (introducido en el año 2009) y de 32 nm (en el año 2012), tienen como aislante de puerta al HfO_2 . Desafortunadamente, el HfO_2 es solo una solución a corto plazo debido a sus faltas de conformidad con algunas de las exigencias que acabamos de exponer. La primera de estas no conformidades atañe a la condición (3): cambia del estado amorfo al policristalino en recocidos de $T_c[500,550]^\circ\text{C}$. También hay problemas con la conformidad de la condición (2), lo que induce el aumento del espesor del SiO_2 nativo, defecto exacerbado por el hecho de que el HfO_2 es una mala barrera para la difusión de átomos de O_2 durante los procesos de recocido [4].

Entre los materiales candidatos a sustituir al HfO_2 se encuentran los compuestos ternarios $\text{RE}_{2-x}\text{Sc}_x\text{O}_3$ ($0 < x < 2$), siendo RE un elemento perteneciente al grupo de las tierras raras, principalmente Gd o Dy [5]. Dentro de esta línea de investigación, el grupo de *Láminas Delgadas y Microelectrónica* (Dpto. Física Aplicada III, Universidad Complutense de Madrid) inició estudios preliminares sobre los dieléctricos Sc_2O_3 y Gd_2O_3 , depositados por pulverización catódica a alta presión (HPS), como aislantes de puerta de estructuras MIS [6]. Una de las líneas actuales de investigación en el grupo comprende el depósito y estudio del compuesto ternario $\text{Gd}_{2-x}\text{Sc}_x\text{O}_3$ ($0 < x < 2$), depositado por HPS, para evaluar sus posibilidades como posible aislante de puerta en futuros nodos tecnológicos. Dentro de esta línea de investigación se acomoda el presente estudio.

1.5. Metal de puerta para los nuevos dieléctricos HK.

Si la condición de idealidad (ii) de un estructura MIS se cumple ($\Phi_{ms} \neq 0$), el metal no debe influir de modo alguno en el funcionamiento de la estructura, más allá de como material sobre el que polarizarla. Sin embargo, esta condición no se cumple habitualmente y la E_F de semiconductor y metal no están alineadas en ausencia de polarización, lo que, como fue discutido cuando estudiamos la influencia de la polari-

zación sobre las bandas de energía de la estructura, induce un curvado de las bandas. A la polarización que, aplicada a la estructura, cancela esta curvatura natural se la llama tensión de bandas planas V_{FB} . La teoría predice [1]p.313-313 que V_{TH} será la suma de tres contribuciones y, una de ellas, es V_{FB} . Tecnológicamente nos interesa que V_{TH} sea lo menor posible, para poder pasar de una estado de corte a conducción en el transistor en un intervalo de V_G lo más pequeño y de valores menores posible; así el consumo de la fuente encargada de polarizar la puerta será menor. Por todo esto, los metales más adecuados como metal de puerta son los que cumplen más fielmente la condición (ii) de idealidad.

El metal también puede influir en las características capacitivas de la estructura MIS si, por alguna causa tecnológica o de actividad química, ve degradadas sus propiedades conductivas (como discutiremos en 4.2.1). De entre estas causas, la principales son problemas de adherencia con el aislante y oxidación de su superficie. Los problemas de oxidación se superan usando metales nobles, que se caracterizan por ser químicamente inertes, como metales de puerta. Los problemas de adherencia necesitan de un metal que reaccione con el aislante activamente y así mejore su unión. Como vemos, ambos requerimientos son imposibles de cumplir con un mismo metal. La solución más lógica es usar una estructura de dos metales como puerta: uno reactivo, y con la función de trabajo adecuada, en contacto con el aislante para garantizar la buena adherencia (metal de puerta); y otro noble, que protegerá al anterior de la acción oxidante del medio ambiente (metal de contacto) [7]p.630-631. El problema de esta disposición es que requiere de capas gruesas de metales nobles, cuyo coste es alto, encareciendo la fabricación de los transistores enormemente. Una alternativa más económica era necesaria.

El metal usado tradicionalmente como metal de puerta en los transistores comerciales ha sido el poly-Si. El poly-Si no es realmente un metal: se forma a partir de Silicio dopado en altas concentraciones, tan elevadas que degeneran el Silicio y elevan su conductividad a valores mucho mayores que los nominales para semiconductores, pero sin llegar a los típicos de buenos metales. A pesar de no ser tan bueno como un metal puro fue elegido por razones estabilidad química con SiO_2 , ser un material refractario, madurez tecnológica y posibilidad de modular su función de trabajo y, por tanto, minimizar V_{TH} . Sin embargo, el nivel de escalado al que se ha llegado en la actualidad y la sustitución del SiO_2 como consecuencia de ella, han inducido la aparición de problemas relacionados con el poly-Si: primero, de contaminación capacitiva que produce la reducción de C' , debido a la relativamente baja conductividad del poly-Si en relación con un metal puro; segundo, problemas derivados de reacciones químicas entre poly-Si y HfO_2 que degradan las propiedades de este último. Por estas razones el poly-Silicio fue sustituido por TaC_x y $TaSiN_x$ en los nodos tecnológicos de 45nm y 32nm del fabricante *Intel*.

En este estudio dedicaremos gran detalle en estudiar la compatibilidad de distintos metales, comunes en la industria de la tecnología MOSFET, sobre los nuevos dieléctricos HK $Gd_{2-x}Sc_xO_3$ ($0 < x < 2$) bajo estudio en el seno del grupo de investigación.

2. Objetivos del proyecto.

A continuación enumeramos los objetivos de investigación del presente proyecto:

1. La literatura científica ([8], [9]) contiene estudios de caracterización de la constante dieléctrica de escandatos de gadolinio ($Gd_{2-x}Sc_xO_3$), crecidos por MOCVD, que muestran que K varía entre 13-30 según la proporción de átomos de Gd y Sc presente, correspondiendo los menores valores de K a los óxidos binarios Sc_2O_3 y Gd_2O_3 . Así, planteamos como objetivo comprobar si es posible reproducir resultados similares mediante el depósito del dieléctrico por HPS. Creceremos nanolaminados Gd_2O_3/Sc_2O_3 a los que someteremos a recocidos tipo FGA (*Forming Gas Annealing*) que promuevan la difusión de los elementos dentro del nanolaminado. Esperamos obtener de este modo una película homogénea y amorfa de material dieléctrico con propiedades dieléctricas (K) mejoradas respecto a los binarios que formaban cada lámina individual.
2. Estudio de la influencia de tratamientos sobre la fotoresina negativa revelada previos a la metalización en la adherencia y posible resistencia serie del metal.
3. Estudio de la compatibilidad de Pt, Ti, Ta, Al con nuestros dieléctricos $Gd_{2-x}Sc_xO_3$. El interés en el Pt reside en su nobleza y fiabilidad, solo empañada por algunos fallos de adherencia en los bordes de la oblea, según la experiencia en el grupo; en el Ti debido a su propiedad de centro de captura de oxígeno, actuando como barrera y *scavenger* [10] de este elemento, minimizando el espesor de la capa de SiO_2 nativo del semiconductor y el efecto de su capacidad parásita asociada; en el Ta por su uso generalizado como barrera difusiva en tecnología CMOS; y en el Al por su bajo precio y estar presente en todo lugar de la industria microelectrónica.

Adicionalmente a estos objetivos previos, durante el proceso de fabricación aparecieron problemas tecnológicos que exigieron de toda nuestra atención. Sin su adecuada resolución no hubiera sido posible la fabricación de las estructuras MIS objeto de nuestro estudio posterior. Por ello, la resolución de estos problemas merece, a nuestro juicio, presencia en este capítulo:

- Se produjo un daño por plasma en el soporte del blanco de Sc_2O_3 . Hubo que desmontar el brazo mecánico móvil donde éste se halla y reparar la avería. Al cambiar las condiciones del aparato, hubo que volver a caracterizar las velocidades de depósito y modificar el software de control asociado.
- La etapa de apertura de ventanas en el SiO_2 (ver 3.2) tuvo que ser revisada y rediseñada por completo. La razón fue el cambio del modelo de fotoresina, que hasta ahora se utilizaba, por otro en el que el anterior protocolo no era válido. Esto exigió numerosas pruebas y optimizaciones sucesivas que consumieron un tiempo y recursos notables.

3. Ruta de fabricación y procesos tecnológicos.

El objeto de este capítulo es exponer los distintos pasos tecnológicos, e instrumental asociado, que nos permiten, a partir de una oblea de Silicio, fabricar una estructura MIS con las propiedades necesarias para medir sus características eléctricas, sin alterar en el proceso la estructura. Las estructuras MIS que fabricamos tendrán una geometría similar al modelo que se observa en la siguiente figura.

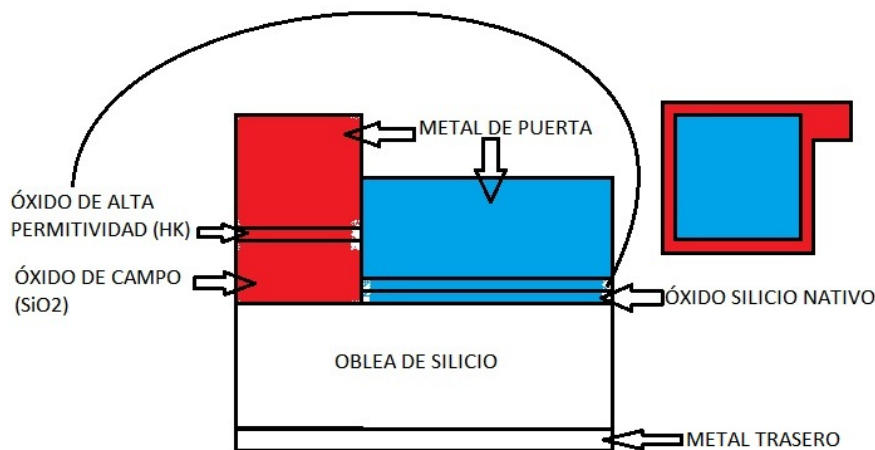


Figura 4: Modelo (no a escala) de las estructuras MIS fabricadas.

El punto de partida de nuestra ruta de fabricación es una oblea de Silicio pulida por una de sus caras (SSP). Las características principales de la misma son: dopada tipo n con impurezas de Fósforo; resistividad eléctrica $\rho=3-7\Omega\text{cm}$; diámetro de $d=50,8\text{mm}$, espesor de $t=(300\pm 25)\mu\text{m}$; superficie circular de la oblea coincide con el plano cristalográfico (1 0 0) de la estructura cristalina tipo diamante del Silicio.

3.1. Depósito de una capa de óxido de Silicio (SiO_2).

El objetivo en esta primera etapa en la ruta de fabricación es el crecimiento de una capa de SiO_2 sobre la superficie pulida de nuestra oblea de Silicio. La función de este óxido es la de actuar como soporte sobre el que crecer una capa metálica, en contacto con el metal de la estructura MIS (función de *óxido de campo*). Así podremos apoyar la punta metálica de nuestros instrumentos de análisis eléctrico sobre el metal situado sobre el óxido de campo y no sobre el metal situado sobre la estructura MIS, evitando cualquier posible daño en la estructura que afecte a sus propiedades medidas. La capa de este SiO_2 fue crecida mediante dos técnicas análogas: oxidación térmica y evaporación por haz de electrones (e-beam), dependiendo de las muestras, como más adelante detallaremos.

La **oxidación térmica** es una técnica de crecimiento de SiO_2 basada en la exposición de Silicio cristalino a una atmósfera oxidante, como la formada por moléculas de O_2 o H_2O . El Silicio expuesto al ambiente terrestre se oxida naturalmente, dando lugar a una fina capa de SiO_2 nativo ($d < 20\text{\AA}$). Cuando el Silicio es expuesto a un ambiente

con concentraciones controladas de especies oxidantes y temperaturas elevadas se produce un aumento controlado del espesor de esta capa por la difusión de las especies oxidantes a través de ella. Por tanto, este es un proceso en el que la capa de SiO₂ crece a expensas del Silicio que se encuentra bajo la nativa. En nuestro caso usamos una atmósfera oxidante de vapor de agua dando lugar al crecimiento rápido de la capa de SiO₂.

La **evaporación por haz de electrones** (e-beam) es una técnica que nos permite depositar capas delgadas de materiales con una alta temperatura de fusión que, de otra manera, sería difícil sublimar. La técnica se basa en la generación por emisión termoiónica de un haz de electrones que se acelera y dirige, mediante un campo magnético, hacia una barquilla que contiene el material que queremos depositar. El haz de electrones incide sobre el material y consigue sublimarlo localmente. El proceso tiene lugar en una cámara donde se ha realizado un vacío del orden de 10⁻⁶ Torr, con el fin de que los electrones y partículas sublimadas tengan grandes recorridos libres medios en ella. Esto garantiza que los electrones son dirigidos sin colisiones, que desvían sus trayectorias y reducen su energía cinética, hacia la barquilla y que los átomos o moléculas sublimados lleguen y queden adheridos a la superficie donde queremos depositarlos (de común adherida a una de las paredes de la cámara). Para controlar el espesor de la capa que vamos depositando se usa una microbalanza de cristal de cuarzo situada dentro de la cámara. Conocida la densidad del cristal de cuarzo (ρ_q) y del material depositado (ρ_x), así como sus impedancias acústicas (Z_q, Z_x), la ecuación de Sauerbrey nos permite relacionar la variación de la frecuencia de resonancia propia del cristal ($T_q \rightarrow T$) con el espesor de la película d_x crecido sobre el cristal y que, suponemos, igual al crecido sobre la superficie-blanco:

$$d_x = \frac{\rho_q}{\rho_x} \cdot N_q \cdot T \cdot \frac{Z_f}{\pi \cdot Z_q} \tan^{-1} \left\{ \frac{Z_q}{Z_f} \tan \left[\pi \left(1 - \frac{T_q}{T} \right) \right] \right\} \quad (2)$$

N_q es un modo de vibración específico de medida de espesores en el que se configura el cristal de cuarzo dentro del circuito oscilador donde se encuentra.

Antes iniciar el proceso de depósito de SiO₂ mediante estas técnicas, tratamos la superficie de las obleas para eliminar en lo posible la capa de SiO₂ nativo. Para ello sumergimos la oblea en una disolución de ácido fluorhídrico tamponado (BOE) durante 1', luego las aclaramos con agua desionizada (H₂O) e alcohol isopropílico (IPA), y las secamos con N₂. Antes de introducir las en la cámara del proceso elegido, las calentamos en una placa térmica a 130°C durante 30', para deshidratar la superficie de la oblea de Silicio y mejorar la adherencia del material a depositar.

En las series 1 y 2 de obleas de Silicio procesadas, la capa de SiO₂ creció mediante la técnica de oxidación térmica húmeda a 950°C hasta un espesor final de 200nm. En las serie 3-6 de obleas, la capa de SiO₂ creció mediante la técnica de evaporación por haz de electrones, en una atmósfera de O₂, hasta un espesor de 170nm.

3.2. Apertura de ventanas en el SiO₂. Fotolitografía positiva.

El objetivo de esta etapa en la ruta de fabricación es conseguir eliminar el SiO₂, crecido en la etapa anterior, en ciertas regiones seleccionadas de área cuadrada y lado 700µm, 500µm, 300µm, 200µm, 100µm y 50µm. De esta manera comenzaremos a distinguir las regiones azul y roja que presentábamos en el esquema al principio del capítulo. Para lograrlo, se usa la técnica de fotolitografía positiva asistida por el comido del SiO₂ mediante BOE solo en las regiones definidas por la fotolitografía positiva.

Como ya adelantamos en el capítulo 2, todos los pasos que conforman esta etapa han sido definidos y optimizados en el marco de este proyecto. La razón de ello es que el modelo de fotoresina S1828, que hasta ahora se utilizaba para la fotolitografía positiva, caducó y el proveedor (Microchemicals) ya lo había descatalogado. Se nos ofreció el modelo AZ4533 como sustituto de similares propiedades pero al usarlo, siguiendo las etapas optimizadas para el anterior modelo de fotoresina, los resultados fueron totalmente decepcionantes: ni siquiera fuimos capaces de disolver la fotoresina iluminada adecuadamente. Por ello hubo que volver a optimizar todo el proceso fotolitográfico positivo, refinando algunas etapas ya existentes, eliminando otras e incluyendo algunas nuevas. Solo en esta tarea invertimos alrededor de un mes de proyecto, pero merecía la pena ya que **sin esta etapa funcional y optimizada no nos sería posible continuar la ruta que nos permite fabricar los dispositivos necesarios para los estudios del presente proyecto y futuros dentro del grupo**. Vamos a recorrer los distintos pasos que componen esta etapa.

i) Tratamiento superficial de la oblea I. Limpieza superficie.

[8]p.15. El objetivo de este paso consiste en eliminar las partículas contaminantes e impurezas orgánicas que hubiese sobre la superficie de la oblea de Silicio. Se sumerge la oblea en el disolvente orgánico dimetil sulfóxido (DMSO), en presencia de ultrasonidos, durante 1 hora. A continuación sumergimos la oblea en IPA, durante 5' en presencia de ultrasonidos, y posteriormente la enjuagamos con H₂O.

ii) Tratamiento superficial de la oblea II. Deshidratación de la superficie.

[8]p.15-16. El objetivo de este paso es la eliminación del agua absorbida por la superficie de la oblea. Para ello introducimos la oblea en un horno a T=150°C durante 30'. Este paso es crítico dado que si la superficie de la oblea está oxidada (en nuestro caso por una película de SiO₂) se forman enlaces polares -OH entre el óxido y el H₂O absorbida en la superficie. Estos enlaces confieren a la superficie un carácter hidrófilo que, según el fabricante, provoca una mala adherencia de la fotoresina cuando se deposita sobre ella. Cuando se deshidrata la superficie mediante este paso se consigue que la superficie vuelva a recobrar un carácter hidrófobo que mejora la adherencia de la fotoresina, según en fabricante. Al sacar la oblea del horno comienza su exposición al medio ambiente y la reabsorción del agua, por ello es importante realizar el siguiente paso de esta etapa de manera inmediata, tras extraer la oblea del horno.

Nota 1: Si tenemos más de una oblea de Silicio para tratar, solo extraeremos una oblea por vez del horno, manteniendo el resto en él, y aplicando los pasos iii y iv, sin pausas entre ellos, a la oblea que hemos extraído. Una vez terminado el paso iv para esta oblea, se extrae la siguiente del horno y se procede de igual modo. Esta precaución es necesaria ya que, si sacamos todas las obleas a la vez del horno, mientras tratamos una de ellas, el resto están expuestas a la acción ambiental, absorbiendo H₂O, y cancelándose, pues, el efecto beneficioso que buscábamos con el paso ii.

iii) **Depósito de la fotoresina positiva.**

[8]p.19. El objetivo de este paso es el depósito de un película uniforme de fotoresina positiva sobre la oblea. Para el depósito de esta película se usa una máquina llamada “espineador” que está formada por un disco giratorio (cuya velocidad y aceleración angular son controlables) sobre el que se colocan las obleas de Silicio y quedan fijadas por el efecto de succión de una bomba de vacío. Antes de depositar la fotoresina sobre la oblea, conviene reducir la temperatura que ha adquirido en el paso anterior. Para reducir la temperatura giramos la oblea en el espineador a la velocidad y durante el tiempo que se haya seleccionado para el paso del depósito de la fotoresina. En este tiempo la temperatura de la oblea decrece hasta la del ambiente.

Una vez enfriada la oblea, se deposita sobre su centro 3 ml de fotoresina AZ4533 con ayuda de una pipeta. A continuación se hace girar la oblea en el espineador a una velocidad angular de $\omega=4000$ r.p.m. durante 30". Esto, según las especificaciones del fabricante, hace que la fotoresina se distribuya por toda la superficie de la oblea en una capa de espesor uniforme de 3,3 μ m.

iv) **Softbake. Evaporación de parte del disolvente de la fotoresina positiva.**

[8]p.33. El objetivo de este paso es la reducción de parte del disolvente que forma la fotoresina positiva. El **Softbake** es un procedimiento en el cual se calienta, en una placa térmica, la oblea de Silicio con fotoresina positiva depositada. El calentamiento provoca la evaporación de parte del disolvente de la fotoresina. Entre los beneficios que esta reducción del disolvente aporta caben destacar: mejora la adhesión de la fotoresina; previene la formación de burbujas debidas a la evaporación del disolvente en procesos térmicos subsiguientes; y, para la familia de fotoresinas basadas en la reacción DNQ (como es el caso en AZ4533), previene la aparición de nitrógeno como subproducto de la reacción química que produce la exposición a una fuente de luz ultravioleta (UV).

El fabricante de la fotoresina aconseja un proceso de Softbake a T=100°C durante un tiempo estimado por la regla de 1' por cada μ m de espesor que tenga la capa de fotoresina. Así, nuestro Softbake tendrá una duración de 3' y 20", a una temperatura de 100°C.

v) **Rehidratación. Absorción de agua por la fotoresina positiva.**

[8]p.39-40. El Softbake realizado en el paso anterior tiene, entre sus efectos secundarios, la reducción de la concentración de agua en la fotoresina. Las fotoresinas positivas en las que la molécula fotosensible es la DNQ (Diazonaphthoquinone) necesitan, tras la acción de los fotones de luz UV sobre la molécula, la presencia de moléculas de agua con las que combinarse y dar lugar al ácido carboxílico, que es responsable del aumento de solubilidad de la fotoresina iluminada respecto a la no iluminada. Por esta razón, es necesario que la fotoresina recupere el agua perdida en el Softbake. Para ello, solo tenemos que dejar la oblea de Silicio con la fotoresina aplicada un tiempo bajo la acción del medio ambiente: las moléculas de agua del ambiente se absorberán y harán la labor de rehidratación. El tiempo necesario para llegar a un nivel de rehidratación adecuado depende de la humedad relativa del ambiente en el que nos hallemos; en el caso particular de nuestra sala de fotolitografía, las pruebas realizadas mostraron que un tiempo de rehidratación de 30' es suficiente para lograr un revelado adecuado de la fotoresina positiva iluminada.

Nota 2: Si tenemos más de una oblea de Silicio para tratar, se aconseja *enfáticamente* realizar los pasos vi a x con una única oblea a la vez, de manera secuencial y continua, sin dejar pasar un tiempo entre ellos mayor que el estrictamente necesario. Esta precaución es muy importante porque, hemos comprobado experimentalmente que, si tras el paso vii, dejamos pasar un tiempo, se produce una reabsorción de agua en la intercara fotoresina no iluminada/SiO₂ que promueve problemas de adherencia y “levanta” la fotoresina no iluminada en los bordes de la región donde se eliminó la. Además, los pasos i a viii se realizan en la sala de fotolitografía, donde el espectro de la luz presente no tiene frecuencias en el ultravioleta, precisamente por la sensibilidad de las fotoresinas a ella. Pero los pasos ix y x se realizan en la sala blanca anexa, donde la luz sí tiene frecuencias en el ultravioleta. Se comprobó experimentalmente que, si tras el paso viii, sacamos las obleas a la sala limpia y las dejamos allí un tiempo antes del paso ix, las frecuencias UV degradan la fotoresina no iluminada y afectan sus propiedades como máscara en el paso ix.

vi) **Exposición a una fuente de luz UV con ayuda de una máscara de Cromo.**

[8]p.43-45. El objetivo de este paso es la iluminación con luz UV de ciertas regiones de la fotoresina positiva, con ayuda de una máscara de Cromo. En la sala de fotolitografía tenemos un alineador que nos permite iluminar la fotoresina con una fuente de luz UV de intensidad controlada. Para solo iluminar las zonas de la fotoresina que sean de nuestro interés usamos una máscara cubierta por Cromo excepto en ciertas regiones de área cuadrada (cuyos tamaños serán los de las regiones donde queremos eliminar el SiO₂). Se usa Cromo porque absorbe la radiación UV. Con la oblea de Silicio bajo la cara cromada de la máscara, lo más cerca posible, iluminamos el conjunto con luz UV de intensidad 6mW/cm² durante 30". La fotoresina positiva iluminada, como explicábamos en el paso anterior, tendrá ahora una solubilidad en cierto disolvente orgánico varios órdenes de magnitud mayor que la no iluminada.[8]p.44y60.

vii) **Eliminación de fotoresina positiva iluminada. Ataque del revelador AZ826.**

[8]p.57-60. El objetivo de este paso es eliminar la fotoresina positiva únicamente en las zonas en que fue iluminada por la fuente de luz UV, es decir, en las zonas bajo la máscara que no tenían sobre ellas Cromo. Para lograrlo usamos el disolvente orgánico modelo AZ826, por ser el recomendado por el fabricante para esta función y para el modelo de fotoresina positiva que usamos. Sumergimos la oblea de Silicio en el disolvente durante un tiempo de 3', en el que solo la fotoresina iluminada se disolverá, por ser mucho más soluble en este disolvente que la no iluminada, debido a los cambios químicos que la exposición ha provocado. Posteriormente, se enjuaga la oblea con H₂O y se seca con N₂. Hasta aquí hemos conseguido que sobre la capa de SiO₂ haya una película de fotoresina protectora, excepto en ciertas regiones de área cuadrada en las que el SiO₂ se encuentra expuesto a la acción de agentes externos.

viii) **Hardbake. Redondeado bordes fotoresina positiva no iluminada.**

[8]p.62. El **Hardbake** es un procedimiento en todo similar al Softbake, que ya hemos explicado. La razón principal por la que realizamos este paso es que se consigue con él un redondeo de los bordes de la fotoresina positiva no iluminada que quedan tras retirar la fotoresina positiva iluminada. Este redondeo es muy aconsejable para mejorar la eficacia del paso siguiente del procedimiento, como veremos. Además de esta ventaja, se consigue mejorar la estabilidad física, química y térmica de la fotoresina. Como efecto negativo tiene un aumento en la fragilidad de la fotoresina debido a dos motivos: la reducción de disolvente y la reacción de la fotoresina con el oxígeno atmosférico. Esta fragilidad puede provocar la aparición de micro-fracturas en los bordes de la fotoresina no iluminada que hacen que ésta ya no pueda proteger al SiO₂ que bajo ella se encuentra de la acción de agentes externos. Por esto el fabricante recomienda realizar este paso solo si es necesario, no usar temperaturas, en todo caso, mayores de 120-130°C y enfriar las obleas a un ritmo lento. En nuestro caso realizamos el Hardbake a una temperatura de 115°C durante 50''.

ix) **Ataque con HF. Eliminación del SiO₂ no protegido por la fotoresina.**

El objetivo de este paso es la eliminación de la parte de la capa de SiO₂ que ha quedado al descubierto tras eliminar parte de la fotoresina positiva, para exponer la superficie de Silicio bajo ella. Para ello, exponemos la oblea de Silicio a la acción de una disolución de ácido fluorhídrico tamponado (BOE) durante un tiempo de 1' y 15''. Este tiempo fue estimado tras varias pruebas en las que se observó que, aproximadamente, el tiempo necesario para que el BOE elimine una capa de SiO₂ de espesor $x(\text{nm})$ es $t(\text{s})=4x/9$. El comido de SiO₂ comenzará en las regiones donde éste está expuesto, donde hemos eliminado la capa de fotoresina positiva. No obstante, este comido es isotrópico, de modo que también se eliminará el SiO₂ lateralmente, bajo la capa de fotoresina positiva, provocando que la región donde eliminamos el SiO₂ sea un cuadrado de dimensiones superiores a las del cuadrado de fotoresina que hemos levantando durante el paso vii.

Sin embargo, teniendo en cuenta las dimensiones implicadas, el lado del cuadrado sin el SiO_2 que dejará el BOE será un 0,2 % mayor, en el peor de los casos, y un 0,03 %, en el mejor, que el cuadrado sin fotoresina que queda sobre él: el error es aceptable para nuestros propósitos.

Nota 3: Como consideración técnica a tener en cuenta durante este paso, es aconsejable, durante el tiempo en el que el BOE este disolviendo al SiO_2 , bombear líquido de la disolución sobre la superficie de la oblea con ayuda de una pipeta. El motivo de este requerimiento es que, como subproducto de la acción del BOE, se genera H_2 ([9]p.532) que, en parte, queda adherido a la superficie de la oblea en forma de pequeñas burbujas. Pero, la superficie de la oblea que quede bajo estas burbujas no estará expuesta al BOE y su SiO_2 no se eliminará totalmente. El bombeo de líquido de la disolución mitiga este problema, al arrastrar con él las burbujas. Además, se observó que el paso viii reducía este problema, al encontrar las pequeñas burbujas de H_2 más dificultades en quedar adheridas a los bordes redondeados de la fotoresina no iluminada.

Antes de continuar el proceso se enjuaga la oblea con H_2O y se seca con N_2 .

x) Eliminación de la fotoresina no iluminada.

El objetivo de este paso es la eliminación del resto de fotoresina positiva no iluminada. El modo de conseguirlo es exponiendo la oblea de Silicio a la acción del disolvente orgánico DMSO durante un tiempo de 2' y 30". Este tiempo se estimó tras comprobar que es aquel en el que la superficie de la oblea se torna hidrófuga de manera mayoritaria, lo que significa que principalmente es SiO_2 , luego la fotoresina ha sido eliminada. Para acabar, enjuagamos la oblea con H_2O e IPA y la secamos con N_2 .

Todos los pasos hasta ahora descritos constituyen el proceso de apertura de ventanas. No obstante, antes de continuar hacia la siguiente etapa de la ruta, consideramos que vale la pena mostrar cuales son las consecuencias de seguir o no el procedimiento aquí descrito:

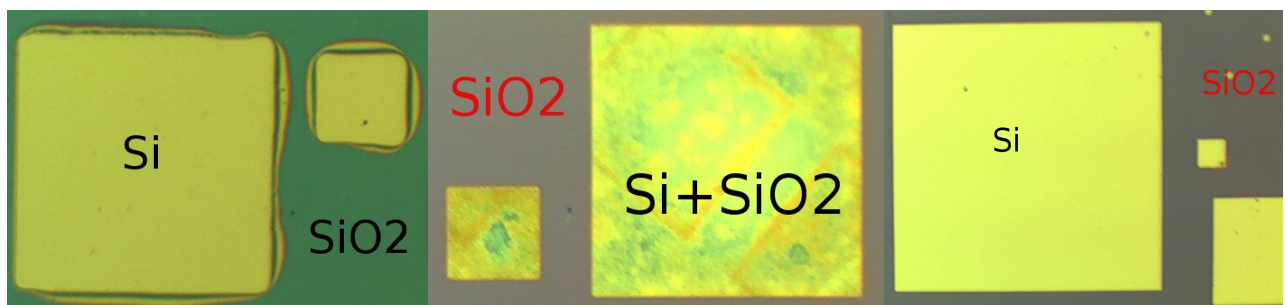


Figura 5: Distintos acabados finales de la apertura de ventanas en SiO_2

La imagen de la izquierda muestra las consecuencias de una mala adherencia de la fotoresina no iluminada (ii+Notas 1 y 2): el borde de la fotoresina no iluminada se encuentra "levantado", por problemas de adherencia, y el BOE actúa bajo esta zona levantada provocando este defecto. La imagen central muestra como queda una zona bajo una burbuja de H_2 (Nota 3) tras el paso ix: no se eliminó todo el SiO_2 . La imagen de la derecha muestra un acabado correcto de esta etapa.

3.3. Acondicionamiento del Silicio expuesto. Limpieza RCA.

La limpieza RCA fue diseñada en los años 70 para eliminar los contaminantes que pudieran existir sobre la superficie de las obleas de Silicio antes de ser procesadas. Aquí la utilizaremos para acondicionar el Silicio expuesto en la anterior etapa, antes de depositar el dieléctrico HK. Vamos a explicar los distintos pasos que comprende esta etapa:

i) **Limpieza SC1. Eliminación materiales orgánicos y metales.**

Se prepara una disolución de $H_2O:NH_4OH:H_2O_2$ en proporción 5:1:1. Se calienta esta disolución hasta los 75-80°C y se introduce en ella las obleas durante 10'. El amoniaco de la disolución consigue eliminar los contaminantes orgánicos y muchos tipos de metales (Au, Ag, Cu, Ni, Cd, Co y Cr), al disolver la capa de SiO_2 nativo sobre la que los contaminantes se hayan; el peróxido de hidrógeno actúa como oxidante del silicio descubierto por el amoniaco, recreciendo la capa de óxido nativo ya libre de contaminantes orgánicos y de ciertos metales.

ii) **Limpieza SC2. Limpieza del resto de metales.**

Se prepara una disolución de $H_2O:HCl:H_2O_2$ en proporción 6:1:1. Se calienta esta disolución hasta los 75-80°C y se introduce en ella las obleas durante 10'. Con esta disolución se consigue eliminar los iones alcalinos, hidróxidos de ciertos metales insolubles en amoniaco y restos de Cu y Au que no hayan sido eliminados en el paso SC1.

iii) **Eliminación SiO_2 nativo previo al depósito del dieléctrico HK.**

Se prepara una disolución de $H_2O:HF$ en proporción 50:1. Se introduce la oblea en esta disolución durante 15", para eliminar la capa de SiO_2 nativo, luego se enjuaga la oblea en H_2O e IPA. Este paso solo se efectúa justo antes de introducir la oblea en la cámara de pulverización para el depósito del dieléctrico HK. De otro modo, la capa de SiO_2 nativo recrecería si no se introdujera en una cámara en vacío, tras aplicar el paso, como es nuestra cámara de pulverización.

3.4. Depósito del dieléctrico HK por HPS.

En esta etapa del proceso de fabricación deseamos depositar sobre toda la oblea de Silicio una película delgada de dieléctrico de alta permitividad. La región donde verdaderamente nos interesaría depositarla es sobre la zona donde hemos eliminado la capa de SiO_2 , pero no disponemos de la capacidad de restringir el depósito solo allí. Además, el depositarla sobre toda la oblea no supone ninguna desventaja. Para lograrlo utilizaremos la técnica de pulverización a alta presión (High Pressure Sputtering), en la que haremos colisionar sobre el material a depositar iones provenientes de un plasma, originado a partir de un gas de Argón y generado y sustentado por un potencial AC de radiofrecuencia (RF). Estos iones arrancan el material (principalmente atomizado) del blanco y éste cae sobre el sustrato donde queremos depositarlo.

La HPS es una técnica que nos permite depositar películas delgadas, de espesor muy uniforme y controlable, sobre superficies de gran área. Se usa un potencial alterno RF para iniciar y mantener el plasma por los siguientes motivos: por un lado, se usa un potencial AC porque un potencial DC solo mantendría el plasma si el blanco fuese metálico, que no es el caso; por otro lado, si el potencial AC no variase en el rango de frecuencias RF o mayores, el plasma generado se extinguiría en cuestión de μs [9]p.348-349. Utilizamos un gas de Argón a alta presión para generar el plasma porque necesitamos un gas noble que no reaccione con nuestra oblea y porque la alta presión garantiza la reducción de contaminantes.

Situaremos el blanco que queremos pulverizar sobre uno de los electrodos y el sustrato donde queremos depositar (nuestra oblea) sobre el otro. El problema de la pulverización AC es que el efecto de pulverización por el plasma tendrá lugar en ambos electrodos y a nosotros no nos interesa pulverizar nuestro sustrato. Afortunadamente la teoría predice [9]p.352 que el efecto de pulverización se puede reducir aumentando el área del electrodo y viceversa. Así, tendremos un pequeño electrodo donde colocaremos el blanco y como segundo electrodo usaremos el resto de la cámara de pulverización y el lugar donde se encuentre el sustrato, conectándolos a tierra. De esta manera maximizaremos la pulverización sobre el blanco y la minimizaremos sobre nuestra oblea.

Para depositar los nano-laminados mencionados en el objetivo 1 del presente proyecto necesitamos crear programas en los que indiquemos al brazo, donde se encuentran los blancos, cuanto tiempo tiene que estar el blanco de Sc_2O_3 y cuanto el de Gd_2O_3 sobre nuestra oblea de Silicio para depositar el dieléctrico HK de espesor y composición deseada. Para calcular estos tiempos necesitamos fijar ciertas condiciones, a saber: el número de películas $2 \cdot IT$ que van a formar el nano-laminado (siendo IT las iteraciones del programa o número de veces que pasan cada blanco sobre la oblea); el espesor total del nano-laminado d_T ; y la proporción de átomos $\frac{N_{\text{Sc}_2\text{O}_3}(\text{átomos})}{N_{\text{Gd}_2\text{O}_3}(\text{átomos})}$ que queremos en el nano-laminado. Con esta información, y las siguientes condiciones, podemos estimar el espesor $d_{\text{Sc}_2\text{O}_3}$ y $d_{\text{Gd}_2\text{O}_3}$ de cada película individual de Sc_2O_3 y Gd_2O_3 que forma el nano-laminado:

$$IT \cdot (d_{\text{Sc}_2\text{O}_3} + d_{\text{Gd}_2\text{O}_3}) = d_T \quad (3)$$

$$\frac{N_{\text{Sc}_2\text{O}_3}(\text{átomos})}{N_{\text{Gd}_2\text{O}_3}(\text{átomos})} = \frac{\frac{V_{\text{Sc}_2\text{O}_3}(\text{lámina})}{V_{\text{Sc}_2\text{O}_3}(\text{molécula})}}{\frac{V_{\text{Gd}_2\text{O}_3}(\text{lámina})}{V_{\text{Gd}_2\text{O}_3}(\text{molécula})}} \simeq \frac{V_{\text{Sc}_2\text{O}_3}(\text{lámina})}{V_{\text{Gd}_2\text{O}_3}(\text{lámina})} = \frac{A_p \cdot d_{\text{Sc}_2\text{O}_3}}{A_p \cdot d_{\text{Gd}_2\text{O}_3}} = \frac{d_{\text{Sc}_2\text{O}_3}}{d_{\text{Gd}_2\text{O}_3}} \quad (4)$$

Conocidas las velocidades de depósito de cada blanco $v_{\text{Sc}_2\text{O}_3}$ y $v_{\text{Gd}_2\text{O}_3}$ podremos estimar los tiempos que cada blanco debe estar sobre la oblea en cada iteración:

$$t_{\text{Gd}_2\text{O}_3} = \frac{d_{\text{Gd}_2\text{O}_3}}{v_{\text{Gd}_2\text{O}_3}} \quad (5) \quad t_{\text{Sc}_2\text{O}_3} = \frac{d_{\text{Sc}_2\text{O}_3}}{v_{\text{Sc}_2\text{O}_3}} \quad (6)$$

Al principio del proyecto, estos tiempos ya habían sido tabulados para los compuestos de interés. Así, usando el software ya optimizado, crecimos dieléctricos de composición GdScO_3 (50 %Gd, 50 %Sc) con un espesor de $d_t=6\text{nm}$. Estas obleas se usaron para construir los dispositivos de las series 1 y 2 (que serán detalladas más adelante).

Antes de seguir con la descripción de la ruta de fabricación, debemos detenernos para aclarar la incidencia relativa al HPS que mencionábamos en el capítulo 2 y su solución. Durante la realización de la caracterización eléctrica de las series 1-2 (y antes de fabricar las obleas que formarían las series 3 a 9) se descubrió que el plasma había penetrado en el interior del soporte del blanco de Sc_2O_3 . La siguiente fotografía muestra el daño inducido en el metal del soporte por el plasma:

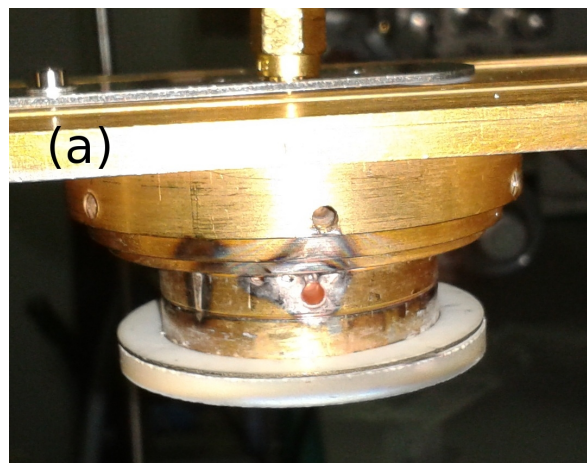


Figura 6: Daño sobre el soporte del blanco inducido por el plasma

Este problema tiene dos consecuencias, muy importantes, que afectan a la fiabilidad del dispositivo de HPS. Primero, el plasma que se introduce en la cavidad del electrodo pulveriza el material del que está hecho, pudiendo contaminar la película con él. Segundo, la entrada del plasma en la cavidad del electrodo produce una pérdida efectiva de potencia de RF aplicada a ambos blancos; ello provoca que la velocidad de crecimiento de las películas por pulverización de los blancos haya variado respecto a aquella tabulada antes de este problema. La mitigación de estos problemas se centró en tres áreas:

i) **Reparación del aparato de HPS.**

Para reparar el aparato de HPS tuvimos que desmontar la cámara de pulverización, acceder al electrodo dañado, sustituirlo y comprobar que el plasma ya no invadía el espacio interior del nuevo electrodo. De este modo solucionamos el problema de posible contaminación por material del electrodo pulverizado.

ii) **Nueva caracterización del funcionamiento del aparato de HPS.**

Al reparar el problema cambiamos las condiciones en el interior de la cámara de pulverización. Pero ello provoca que las condiciones del plasma varíen y, con ellas, las

velocidades de depósito de los blancos. Así, se realizaron pruebas para volver a caracterizar las velocidades de depósito de los blancos. Para ello se realizaron depósitos de 1 y 2 hora/s sobre una oblea de Silicio virgen y se midió el espesor crecido por elipsometría (ver 4.1.3). Los resultados de esta caracterización fueron:

$P_{Ar}=1\text{bar}$	Tiempo depósito (h)	Espesor película(nm)	Velocidad crecimiento(nm/s)
Blanco Sc_2O_3	2	$18,3\pm 0,1$	$2,54\cdot 10^{-3}$
Blanco Gd_2O_3	1	$25,9\pm 0,1$	$7.19\cdot 10^{-3}$

Cuadro 1: Caracterización velocidades crecimiento

Y una vez establecidas estas velocidades, tuvimos que recalcular los tiempos de depósito con ayuda de las ecuaciones (3) a (6). Los tiempos calculados lo fueron para depositar nano-laminados de espesor $d_T=4\text{nm}$, formados por 12 películas de Sc_2O_3 intercaladas con otras 12 de Gd_2O_3 (IT=12), para distintas composiciones de interés:

$P_{Ar}=1\text{bar}$	%Gd	%Sc	$\frac{N_{\text{Sc}_2\text{O}_3}(\text{átomos})}{N_{\text{Gd}_2\text{O}_3}(\text{átomos})}$	$d_{\text{Sc}_2\text{O}_3}(\text{nm})$	$d_{\text{Gd}_2\text{O}_3}(\text{nm})$	$t_{\text{Sc}_2\text{O}_3}(\text{ms})$	$t_{\text{Gd}_2\text{O}_3}(\text{ms})$
$\text{Sc}_{0,2}\text{Gd}_{1,8}\text{O}_3$	90	10	1/9	1/30	3/10	13115	41699
$\text{Sc}_{0,5}\text{Gd}_{1,5}\text{O}_3$	75	25	1/3	1/12	1/4	32787	34749
ScGdO_3	50	50	1	1/6	1/6	65574	23166
$\text{Sc}_{1,5}\text{Gd}_{0,5}\text{O}_3$	25	75	3	1/4	1/12	98361	11583

Cuadro 2: Tabla para la implementación de los protocolos de depósito

Con estos datos escribimos los programas necesarios para depositar nano-laminados de HK con estas características. Estos nano-laminados fueron crecidos en las obleas de las series 3 a 6 (que serán, más adelante, definidas).

iii) Falta de conformidad del dieléctrico HK depositado en series 1-2.

Probablemente, el aparato de HPS ya estuvo afectado por este problema durante el depósito del dieléctrico HK para las series 1 y 2. Ello implica que la composición y espesor previstos para este dieléctrico no coinciden con los del dieléctrico realmente depositado. La falta de fiabilidad en el valor del espesor es particularmente importante, ya que es necesario para estimar la constante dieléctrica K de los dieléctricos HK de las series 1 y 2. Afortunadamente, con la asistencia de técnicas que presentaremos en 4.1.4-5, podremos medir el espesor y composición de los dieléctricos realmente depositados.

Con toda esta discusión relativa a los problemas derivados del ataque del plasma, hemos intentando transmitir la importancia del control de las condiciones de depósito en un aparato de HPS. *Algo tan nimio, para el ojo inexperto, como una pequeña luz tras el agujero de un soporte metálico ha provocado muchas horas de trabajo y caracterización sin las cuales el presente proyecto, y el resto de líneas de investigación del grupo, no podrían avanzar.*

Con esto terminamos de explicar como conseguimos solventar los problemas técnicos mencionados en el capítulo 2.

3.5. Preparación para el depósito del metal de puerta. Fotolitografía negativa.

En esta etapa del proceso de fabricación el objetivo es cubrir la oblea con una película de fotoresina negativa. Posteriormente, eliminar la fotoresina negativa sobre las regiones donde eliminamos el SiO₂ en la etapa 3.2, así como sobre otra región cuadrada, de lado más pequeño, anexa a ésta. La fotoresina negativa actúa como máscara para delimitar las zonas donde queremos que el metal de puerta quede depositado. Dado que la finalidad de los distintos pasos que componen esta etapa es la misma que los pasos equivalentes de la etapa de fotolitografía positiva, donde los explicamos en detalle, aquí solo nos limitaremos a exponerlos.

i) **Tratamiento previo de la superficie de la oblea.**

Limpiamos la oblea con N₂. Posteriormente introducimos la oblea en el horno a 120°C durante 3 horas y 30' para deshidratarla.

ii) **Depósito de la fotoresina negativa.**

Espineamos la oblea para enfriarla. A continuación depositamos unos 3 ml de fotoresina negativa nlof-2035 y espineamos la oblea a una velocidad angular de 3000 rpm durante 30". Esto deposita una película uniforme de fotoresina negativa de 3,5µm.

iii) **Evaporación de parte del disolvente de la fotoresina.**

Realizamos un Softbake a la oblea a una temperatura de 120°C durante 1'.

iv) **Exposición a una fuente de luz UV a través de una máscara de Cromo.**

La máscara está formada por motivos geométricos de Cromo compuestos por dos cuadrados anexos: el más grande de área levemente mayor al de la región donde retiramos el SiO₂ en la fotolitografía positiva; el más pequeño de área lo suficientemente grande como para apoyar en él una punta de medida. Tras alinear la máscara para hacer coincidir los cuadrados mayores con los cuadrados de similar área donde levantamos el SiO₂, se expone la oblea a una fuente de luz UV de potencia 80mW/cm² durante 7". Por ser la fotoresina negativa, la región iluminada será la que tenga menor solubilidad en cierto disolvente orgánico respecto a la no iluminada, situada bajo el motivo geométrico de Cromo.

v) **Post Exposure Bake (PEB).**

Este paso es optativo para las fotoresinas positivas, pero necesario para las negativas. La razón es que el PEB da lugar a un proceso llamado reticulado (cross-linking) en el que ciertos polímeros formados durante la exposición se unen entre sí. Sin este reticulado no se produce el cambio en la solubilidad de la fotoresina negativa iluminada respecto a la no iluminada. Sin esta diferencia de solubilidad, el proceso de fotolitografía no funcionaría. Así, recocemos la oblea en la placa térmica a una temperatura de 120°C durante 2' para realizar el PEB.

vi) **Eliminación de fotoresina no iluminada. Ataque del revelador AZ826.**

Sumergimos la oblea en el disolvente orgánico durante 5' para eliminar toda la fotoresina negativa de las zonas no iluminadas. Posteriormente enjuagamos la oblea en H₂O e IPA y luego la secamos con N₂. De este modo eliminaremos la fotoresina negativa en regiones como la de las figuras geométricas de cromo de la máscara, situadas sobre las regiones donde eliminamos el SiO₂ de la oblea, mas una región cuadrada anexa.

3.6. Tratamiento de la fotoresina negativa.

Con el propósito de mejorar la adherencia de la película metálica (depositada en el siguiente paso de fabricación) se somete a la superficie de fotoresina negativa revelada a un tratamiento previo. Barajamos tres posibles tratamientos:

- **Tratamiento con plasma de oxígeno generado por ECR-PEVD.** Introducimos, dentro de la cámara del ECR, las muestras. El plasma de oxígeno ataca la superficie de la fotoresina negativa durante 30'' con el fin de limpiarla de cualquier contaminante orgánico.
- **Tratamiento por ataque húmedo HF.** Sometemos a la superficie de la fotoresina negativa a la acción del HF durante 10'', con la intención de limpiarla de contaminantes orgánicos.
- **Exposición luz UV y calentamiento (Flood+Heat).** En la sala de fotolitografía, iluminamos el dieléctrico HK con radiación UV de intensidad 8mW/cm² durante 27''; a continuación se calienta la oblea en una placa térmica a T=120°C durante 2'. El objetivo de este paso es promover el endurecimiento y adherencia de la fotoresina negativa que actúa como máscara. Ello ayuda a que, previo al depósito del metal, podamos realizar un tratamiento de deshidratación del HK, el cual será la verdadera fuente de mejora de adherencia, pero para lo cual la fotoresina tiene que resistirlo y, por ello, se realiza este tratamiento.

3.7. Depósito del metal de puerta y contacto trasero.

El objetivo de esta última etapa es depositar el metal que terminará por formar la estructura MIS, así como el metal que nos permitirá contactar eléctricamente con la oblea de Silicio en el lado opuesto que no hemos tratado. Usaremos el evaporador por haz de electrones (e-beam) para realizar estos depósitos.

Antes de introducir la oblea en el evaporador, la calentaremos en la placa térmica a 130°C durante 30', para eliminar el agua de la superficie del dieléctrico HK que se haya podido absorber y mejorar, así, la adherencia del metal. Introducimos la oblea en el evaporador para realizar la metalización de la superficie que hemos tratado y terminar de formar la estructura MIS. Los metales depositados en las distintas series del presente proyecto fueron: Pt, Ta, Al y Ti.

Tras el depósito del metal de contacto, se extraen las obleas de la cámara del evaporador y se someten a la acción del disolvente orgánico DMSO durante 3'. Éste ataca la fotoresina negativa, que ha actuado como máscara en la metalización, provocando que deje de estar adherida al SiO_2 y se "levante", arrastrando en el proceso a la capa metálica depositada que no se encuentre dentro de la región enmarcada por ella.

A continuación, se introducen las obleas en el evaporador para el depósito del contacto trasero. El contacto trasero de todas las obleas del presente trabajo es 100nm de Ti, en contacto con la oblea, sobre los que deposita otros 200nm de Al. La función del Ti es la de reaccionar con la capa de SiO_2 nativo, reduciendo su espesor y, por ende, la resistencia del contacto eléctrico trasero (*efecto scavenging*).

Con esta última etapa, el proceso de fabricación de la estructura mostrada en la figura 4 habría terminado. No obstante, queda por describir una última etapa del tratamiento que se realiza tras la primera caracterización eléctrica de la estructura, con el fin del observar el efecto de esta etapa en la estructura.

3.8. Forming Gas Annealing (FGA).

El FGA es un proceso de recocido en presencia de un gas mezcla de H_2 y N_2 . Se calienta la oblea de manera lenta y progresiva hasta la temperatura deseada, donde se mantiene el tiempo requerido para, finalmente, enfriarla. Los efectos que buscamos con este tratamiento son tres.

(1) Mejorar el contacto óhmico metal de puerta/dieléctrico HK y metal de contacto trasero/oblea Silicio, por el proceso de interdifusión de un material al otro, promovido por el tratamiento térmico.

(2) Provocar la difusión de moléculas de H_2 , a través de la estructura, hasta la intercara semiconductor/dieléctrico HK donde, deseamos, pasiven los defectos allí presentes y mejoren la calidad eléctrica de la intercara, para minimizar el defecto discutido en 1.3.

(3) Promover las difusión de las especies químicas del nano-laminado que constituye el dieléctrico HK depositado. Se pretende que los procesos difusivos, acelerados por el tratamiento térmico, diluyan el nano-laminado, transformándolo en una película uniforme y homogénea. Esperamos, también, que las propiedades dieléctricas (K) de la nueva película varíen en relación con la estructura nano-laminada.

Para la realización de estos tratamiento se hizo uso de la máquina "RTA Addax RM" del C.A.I. de Técnicas Físicas de la UCM. Típicamente, sometimos a cada oblea a dos procesos de FGA, entre los cuales la caracterizamos eléctricamente para estudiar el efecto del aleado. Las temperaturas usadas en el presente proyecto fueron: 300°C y 400°C-450°C (según serie). El tiempo que usamos para llegar a estas temperaturas es de 5' y se mantienen en ellas durante 20', antes de empezar el proceso de enfriado y finalizar el tratamiento.

3.9. Series fabricadas y su propósito.

Para finalizar este capítulo describiremos las distintas series de muestras fabricadas, la información que se pretende estudiar con ellas y las características particulares de su estructura.

Serie 1

Se preparan cuatro muestras (N11 a N14). El dieléctrico HK depositado en todas ellas es el mismo pero, por el problema mencionado en 3.4.iii, sus características (composición y espesor) no están aún definidas. El metal de puerta-contacto, en todas ellas, es 50nm de Pt.

Se somete a cada una de las muestras a un tratamiento distinto de la superficie del dieléctrico HK. La llamada **N11** no se trata, a la **N12** se la ataca con HF, la **N13** es atacada por ECR y la **N14** se somete a un tratamiento Flood+Heat.

Se someten a dos tratamientos FGA: 300°C (20') y 450°C (20').

Con esta serie se pretende estudiar el efecto de un tratamiento previo del dieléctrico HK así como iniciar estimaciones de la K de este dieléctrico.

Serie 2

Se preparan dos muestras (N21 y N22). El dieléctrico HK depositado en ellas es el mismo pero, por el problema mencionado en 3.4.iii, sus características (composición y espesor) no están aún definidas. El tratamiento previo de la superficie del dieléctrico HK fue Flood+Heat.

En la muestra **N21** se deposita un metal de puerta-contacto de Pt (50nm) y en la **N22** un metal de puerta Ta (60nm) y un metal de contacto Pt, (50nm).

Se someten a dos tratamientos FGA: 300°C (20') y 450°C (20').

Con esta serie se pretende reproducir los resultados obtenidos con la muestra N14 y compararlos con los obtenidos con un metal de puerta distinto.

Serie 3

Se preparan cuatro muestras (N31 a N34). El tratamiento del dieléctrico HK fue Flood+Heat en todas ellas. El metal de puerta es Ti (10nm) y el de contacto Ta (50nm).

En todas las muestras el dieléctrico HK tiene un espesor de 4nm, pero su composición varía de una a otra. La composición de cada muestra es: **N31** (90 %Gd/10 %SC; $Sc_{0,2}Gd_{1,8}O_3$) ; **N32** (75 %Gd/25 %Sc; $Sc_{0,5}Gd_{1,5}O_3$); **N33** (50 %Gd/50 %SC; $ScGdO_3$); **N34** (25 %Gd/75 %SC; $Sc_{1,5}Gd_{0,5}O_3$).

Se someten a dos tratamientos FGA: 300°C (20') y 450°C (20').

Con esta serie se pretende estudiar, paralelamente, el efecto de la variación en la composición de dieléctrico HK en la constante dieléctrica estimada K y la influencia de un metal de puerta-contacto distinto en las medidas de caracterización eléctrica, particularmente, el efecto de *scavenging* del Ti.

Serie 4

Se preparan cuatro muestras (N41 a N44). El tratamiento del dieléctrico HK fue Flood+Heat en todas ellas. El metal de puerta es Pt (10nm) y el de contacto Al (70nm).

En todas las muestras el dieléctrico HK tiene un espesor de 4nm, pero su composición varía de una a otra. La composición de cada muestra es: **N41** (90 %Gd/10 %SC; $\text{Sc}_{0,2}\text{Gd}_{1,8}\text{O}_3$) ; **N42** (75 %Gd/25 %Sc; $\text{Sc}_{0,5}\text{Gd}_{1,5}\text{O}_3$); **N43** (50 %Gd/50 %SC; ScGdO_3); **N44** (25 %Gd/75 %SC; $\text{Sc}_{1,5}\text{Gd}_{0,5}\text{O}_3$).

Se someten a dos tratamientos FGA: 300°C (20') y 450°C (20').

Con esta serie se pretende estudiar, paralelamente, el efecto de la variación en la composición de dieléctrico HK en la constante dieléctrica estimada K y la influencia de un metal de puerta-contacto distinto en las medidas de caracterización eléctrica.

Serie 5

Se preparan cuatro muestras (N51 a N54). El tratamiento del dieléctrico HK fue Flood+Heat en todas ellas. El metal de puerta es Ta (10nm) y el de contacto Al (200nm).

En todas las muestras el dieléctrico HK tiene un espesor de 4nm, pero su composición varía de una a otra. La composición de cada muestra es: **N51** (90 %Gd/10 %SC; $\text{Sc}_{0,2}\text{Gd}_{1,8}\text{O}_3$) ; **N52** (75 %Gd/25 %Sc; $\text{Sc}_{0,5}\text{Gd}_{1,5}\text{O}_3$); **N53** (50 %Gd/50 %SC; ScGdO_3); **N54** (25 %Gd/75 %SC; $\text{Sc}_{1,5}\text{Gd}_{0,5}\text{O}_3$).

Se someten a dos tratamientos FGA: 300°C (20') y 450°C (20').

Con esta serie se pretende estudiar, paralelamente, el efecto de la variación en la composición de dieléctrico HK en la constante dieléctrica estimada K y la influencia de un metal de puerta-contacto distinto en las medidas de caracterización eléctrica.

Serie 6

Se preparan cuatro muestras (N61 a N64). El tratamiento del dieléctrico HK fue Flood+Heat en todas ellas. El metal de puerta es Ti (10nm), y el de contacto Al (200nm); entre ambos metales se deposita una película de Ta de 20nm, con el afán de que actúe como barrera a la difusión de O_2 .

En todas las muestras el dieléctrico HK tiene un espesor de 4nm, pero su composición varía de una a otra. La composición de cada muestra es: **N51** (90 %Gd/10 %SC; $\text{Sc}_{0,2}\text{Gd}_{1,8}\text{O}_3$) ; **N52** (75 %Gd/25 %Sc; $\text{Sc}_{0,5}\text{Gd}_{1,5}\text{O}_3$); **N53** (50 %Gd/50 %SC; ScGdO_3); **N54** (25 %Gd/75 %SC; $\text{Sc}_{1,5}\text{Gd}_{0,5}\text{O}_3$).

Se someten a dos tratamientos FGA: 300°C (20') y 400°C (20').

Con esta serie se pretende estudiar, paralelamente, el efecto de la variación en la composición de dieléctrico HK en la constante dieléctrica estimada K y la influencia de un metal de puerta-contacto distinto en las medidas de caracterización eléctrica, particularmente, el efecto de *scavenging* del Ti en conjunción con la barrera difusiva de Ta.

4. Obtención, análisis e interpretación de resultados.

El objetivo del presente capítulo es exponer las técnicas de caracterización física y eléctrica usadas para investigar las propiedades de interés de las estructuras MIS fabricadas en el capítulo 3. Las pruebas de caracterización eléctrica realizadas consistieron en medidas de la capacidad de la estructura MIS para distintas condiciones de polarización de la misma. Las pruebas de caracterización física fueron el estudio de la evolución del espesor de películas de dieléctrico HK tras los procesos de recocido, la inspección de la morfología de la superficie del metal de contacto usado en las distintas series y la inspección de la morfología de la sección transversal de la estructura MIS fabricada mediante imagen TEM. Adicionalmente, se hizo uso de la técnica XPS de caracterización de composiciones químicas de películas delgadas.

4.1. Técnicas de caracterización.

En esta sección describiremos, brevemente, las técnicas de caracterización usadas para estudiar las propiedades de las estructuras MIS fabricadas:

4.1.1. Curvas C-V. Estudio del EOT de dieléctrico HK.

Para la realización de las medidas C-V usamos un analizador de impedancias Agilent modelo 4294A, conectado a una estación de puntas aislada de influencias externas mediante una caja de Faraday, que nos permite contactar eléctricamente con los terminales metálicos de la estructura MIS. De manera muy simplificada, podemos entender el principio de operación de un analizador de impedancias como un puente de Wheatstone que funciona en radiofrecuencia. Así, el analizador de impedancias está basado en dos ramas en paralelo conectadas a una fuente de RF; una de las ramas está compuesta por una impedancia conocida y otra cuyo valor es modulable, la otra rama lo está por otra impedancia conocida y la desconocida que queremos medir. Ambas ramas están unidas por un amperímetro, situado entre las impedancias de cada rama. Cuando, modulando el valor de la impedancia variable, no se detecta corriente en el amperímetro, el puente está equilibrado y existe una relación matemática que nos permite estimar la impedancia desconocida en función de las conocidas fijas y la modulable.

La figura 7 muestra la capacidad de una estructura MIS ideal y el modelo equivalente de las contribuciones que la componen. La primera contribución es la debida a las capacidades de la estructura insensibles al grado de polarización C_i , esto es, la debida a los aislantes de la estructura: el dieléctrico HK y el SiO_2 nativo (inevitablemente presente). Así, $C_i = (C_{\text{SiO}_2} \parallel C_{\text{HK}})$, aunque, debido al poco espesor del SiO_2 , gracias a nuestra ruta de fabricación, $C_i \simeq C_{\text{HK}}$. La segunda contribución es debida a la capacidad de la estructura sensible al grado de polarización C_d , a saber, la debida a la carga inducida en la zona del sustrato donde sus bandas de energía se curvan. En la figura 8 se puede apreciar las regiones del semiconductor donde la polarización alterna induce

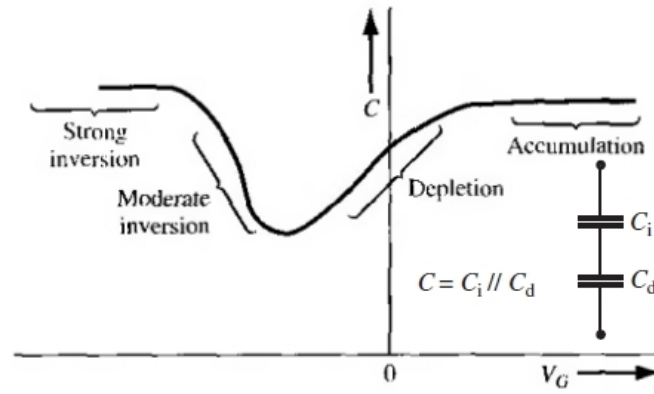


Figura 7: C-V de un MIS Ideal y circuito equivalente a bajas frecuencias. [2]p.474-479

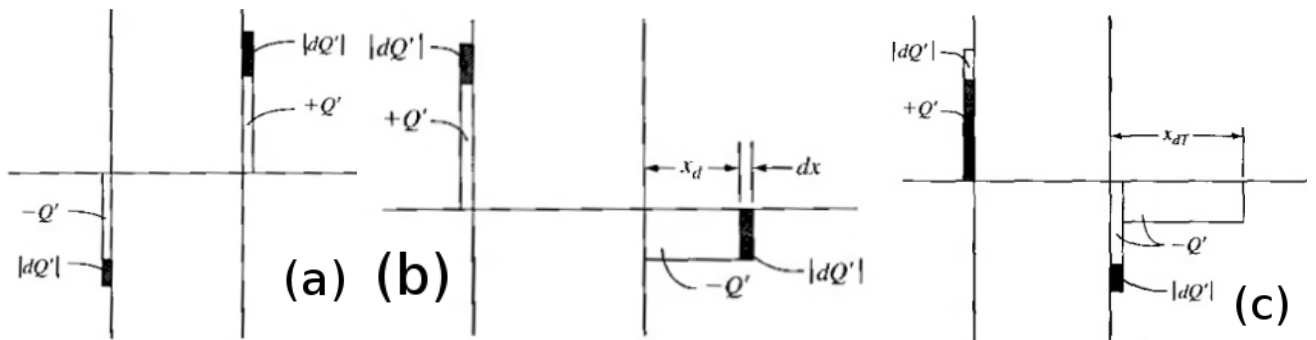


Figura 8: Evolución de C_D en (a) acumulación; (b) vaciamiento ; (c) inversión. [4.1]

la variación de carga. En acumulación y fuerte inversión a bajas frecuencias (figuras 8 (a) y (c)) la carga inducida (carga libre) se encuentra muy cerca de la intercara, de modo que el potencial aplicado al sustrato caerá en una distancia muy pequeña; así, la capacidad C_d , será grande y la capacidad equivalente de la estructura MIS ideal es $C_T = (C_d \parallel C_i) \simeq C_i \simeq C_{HK}$. Este es el valor constante que observamos en la figura 7 en estas regiones. En vaciamiento (figura 8 (b)) la carga inducida (carga ligada) se encuentra lejos de la intercara, de modo que el potencial aplicado al sustrato cae en una distancia grande; así la capacidad C_d sera comparable a C_i y la capacidad equivalente de la estructura MIS ideal es $C_T = (C_d \parallel C_i) < C_i$. Por ello el valor de la capacidad total disminuye en la región de vaciamiento de la figura 7.

De toda esta discusión extraemos una importante conclusión: *con solo medir el valor de la capacidad en acumulación podremos estimar C_{HK} , en condiciones ideales.* Un vez estimado C_{HK} , se puede estimar el EOT del dieléctrico HK, que se define como el espesor necesario, en un aislante de SiO_2 , para que obtener una capacidad igual a C_{HK} , así como el K de dieléctrico:

$$K_{HK} = \frac{C_{HK} d_{HK}}{\epsilon_0 A} \quad EOT = \frac{K_{\text{SiO}_2} \epsilon_0 A}{C_{HK}} \quad (5)$$

Donde A es el área de la estructura. Nuestras medidas experimentales, no obstante, será de capacidad por unidad de area ($C' = C/A$), con lo que este parámetro no será importante, como veremos.

4.1.2. Elipsometría. Evolución del espesor del dieléctrico HK con los recocidos.

La elipsometría [10] es una técnica capaz de caracterizar el índice de refracción (n,k) y espesor de películas muy delgadas (d). Modulando el estado de polarización de una onda electromagnética, antes de incidir sobre la película, y detectando el mismo tras la reflexión se pueden estimar los ángulos Ψ y Δ que definen experimentalmente el coeficiente de reflexión complejo: $\rho_{exp} = \tan(\Psi) \exp(i \cdot \Delta)$. Este ρ_{exp} depende del espesor d de la película y de sus propiedades ópticas (n,k) a través de las relaciones de Fresnel de la superficie de reflexión: $\rho_{exp} = \frac{r_p(n,k,d)}{r_s(n,k,d)}$. En nuestro elipsómetro modelamos la superficie de reflexión mediante una película aislante ($k=0$), de espesor d e índice de refracción n desconocidos, apoyada sobre un sustrato de índice de refracción conocido (el del Silicio). Ajustando (d,n) para conseguir que $\rho_{exp} = \rho_{teo}$, podemos estimar el espesor (d) e índice de refracción (n) de nuestro dieléctrico HK.

4.1.3. XPS. Análisis de la composición química de una película.

Espectroscopia de foto-electrones emitidos por rayos X es una técnica de caracterización de superficies (hasta un espesor de 3nm) que nos permite estimar la composición química de ésta, detectando el número y energía de los foto-electrones emitidos por la superficie al incidir sobre ella rayos X monocromáticos de alta energía. Estos análisis son encargados al Instituto de Catálisis y Petroleoquímica del CSIC.

4.1.4. Imagen óptica y TEM. Inspección óptica de la superficie del metal de contacto y la sección transversal de la estructura MIS.

Para observar el estado del metal de contacto, tras el depósito y recocido, usamos un microscopio óptico (5x, 10x, 50x), al que se le acopla una cámara CCD para capturar las imágenes.

Usamos la microscopía por transmisión de electrones (TEM) para obtener imágenes de la sección transversal de la estructura MIS. Mediante el análisis de la intensidad y fase de un haz de electrones transmitido a través de una lámina ultra-delgada (<100 nm) se puede formar una imagen de la morfología de la misma. Esta imagen tendrá una resolución mucho mayor que la posible con fotones de luz visible, debido a la menor longitud de onda de los electrones; tanto es así que podemos distinguir en las imágenes TEM detalles a nivel atómico/molecular. La preparación de las muestras, e imágenes TEM se realizaron en el Instituto de Nanociencia de Zaragoza.

4.2. Estructuras MIS no ideales.

Las medidas que realizaremos de la capacitancia de nuestras estructuras MIS reales no se ajustarán exactamente a las descritas en la sección 4.1.1, en condiciones de idealidad. Estas divergencias nos aportaran mucha información indirecta de la naturaleza y estado de la estructura MIS real. Para interpretar estas desviaciones, primero, debemos analizar cual es el efecto de la ruptura de las condiciones de idealidad definidas en 1.1. Además, tendremos en cuenta la influencia de factores tecnológicos no incluidos en el tratamiento teórico ideal.

4.2.1. Efecto del contactado eléctrico de la estructura MIS.

Idealmente, toda la polarización aplicada cae en el aislante (C_i) y el semiconductor (C_d), únicamente. Esto presupone que la resistencia eléctrica de los metales de contacto trasero y delantero es despreciable. Esta es una condición muy razonable teniendo en cuenta las bajísimas resistividades de los metales ($\rho_{Al_2O_3} = 10^{22} \rho_{Al}$). Pero si, por alguna razón, existiera una región en los contactos metálicos de alta resistividad, ésta induciría en la estructura MIS una resistencia serie R_s , cuya influencia en la capacidad medida en acumulación debe ser estudiada. Un análisis de la impedancia equivalente debida a la asociación en serie de R_s y C_i ([7]p.223) nos permite relacionar la capacitancia medida C_m con R_s y C_i por:

$$C_m = \frac{C_i}{1 + \omega^2 R_s^2 C_i^2}$$

Esta ecuación nos indica que cuanto mayor sea R_s , la capacidad medida C_m en acumulación menor será, no coincidiendo ya con la del aislante $C_i \approx C_{HK}$, como se esperaba en condiciones ideales. Como hemos argumentado al inicio de este párrafo, esperamos que este efecto sea muy leve por la bajísima resistividad de los metales de contacto, pero es importante tenerlo en cuenta, como veremos.

4.2.2. Efecto carga estática en dieléctrico y $\Phi_{ms} \neq 0$.

Las funciones de trabajo de metal y semiconductor no serán nunca exactamente iguales, $\Phi_{ms} \neq 0$, y existirán cargas en el seno del aislante, a diferencia de lo que presupone las condiciones ideales en 1.1. La carga insensible a la polarización del aislante estará constituida por carga fija atrapada cerca de la intercara Q_f , por carga móvil atrapada en el seno del aislante, originada en procesos ionización o inyectada, Q_t e iones móviles, en el caso de aislantes iónicos, Q_m . Ya discutimos en la sección 1.5 el efecto de que $\Phi_{ms} \neq 0$ y la aparición de V_{FB} . El efecto de esta V_{FB} sobre las curvas C-V será desplazarlas lateralmente: la tensión a la que se entraba en los distintos regímenes de funcionamiento de la estructura MIS está desplazada un factor V_{FB} . La carga $Q_f + Q_t + Q_m$ en el aislante afectará de modo análogo a la curva C-V, ya que esta carga actuará como un factor de polarización, aún en ausencia de polarización externa, curvando las bandas de energía. Este desplazamiento lateral de las curvas C-V no afectará a la medición de

la capacidad en acumulación, con lo que no será importante para nuestros propósitos, aunque sí tendrán importancia en la integración MOSFET, al afectar a V_{TH} .

4.2.3. Efecto de los defectos en la intercara semiconductor/aislante.

La intercara aislante/semiconductor no es perfecta, hay una amplia variedad de defectos en ella: desacoplo de redes, capas tensionadas, enlaces colgantes, fronteras de grano, etc. Estos defectos introducirán niveles de energía permitidos en el gap del semiconductor y capturarán portadores de la banda de valencia y conducción del mismo. Así, existirá una carga almacenada en la intercara sensible a la polarización que introducirá un término capacitivo extra C_{it} , cuyo efecto en la medida de la capacidad en acumulación C_i debe tomarse en consideración. Si modelamos los defectos de la intercara mediante una capacidad C_{it} en serie con una resistencia R_{it} , el circuito equivalente, que modeliza la capacidad total del semiconductor C_{SC} , serán estos dos elementos en paralelo con la capacidad normal C_d . Un análisis AC ([1]p.213-216) de este circuito muestra que C_{sc} vale:

$$C_{SC} = C_d + \frac{C_{it}}{1 + \omega^2 C_{it}^2 R_{it}^2}$$

La ecuación nos informa de que los defectos en la intercara afectan a la capacidad asociada al semiconductor y, por tanto, a la capacidad general de la estructura. Sin embargo, si tenemos en cuenta el término que incluye ω , podemos observar que si $\omega \rightarrow \infty$, $C_{SC} \rightarrow C_d$. Esta es la razón principal por la que estas curvas experimentales fueron medidas a alta frecuencia (10kHz), para mitigar, en lo posible, la influencia de los defectos de la intercara en las curvas C-V medidas. Otro efecto de esta decisión es que la capacidad en inversión caerá: al variar el potencial más rápidamente que el tiempo necesario por los minoritarios, que forman la capa de inversión, para generarse térmicamente, éstos ya no podrán responder a la señal; quien sí lo hará será la ZCE, y la capacidad en inversión tomará el valor mínimo al que se llegaba en vaciamiento, al ser el contexto físico ahora análogo en ambos casos.

4.2.4. Efecto de la conducción a través del aislante.

La condición de que el aislante es perfecto (1.1 (iii)) y, por tanto, ninguna corriente de carga lo atraviesa es tanto menos ajustada a la realidad cuanto menor es el espesor del aislante o peor es su calidad. En efecto, la conducción de portadores de carga a través del aislante efecto túnel presenta una dependencia respecto al espesor del dieléctrico d y la caída de potencial V en él del tipo: $J \propto V^2 \exp\left(-b \cdot \frac{d}{V}\right)$. Así, cuando el espesor del aislante sea lo suficientemente pequeño y/o la polarización de la estructura lo suficientemente grande la conducción a través del aislante será importante.

Esta corriente túnel entre puerta y semiconductor afectará a la capacidad medida con nuestro analizador de impedancias, tanto más cuanto mayor sea la polarización aplicada. La razón es que afectará a la medida de la intensidad de corriente en el puente del analizador de impedancias. En efecto, el valor de la impedancia modulable Z_m ,

que consigue equilibrar el puente y nos permite estimar la impedancia de la estructura MIS, en ausencia de la contribución túnel, no equilibrará ya el puente dado que la corriente túnel provocará que el amperímetro detecte corriente; así, el analizador variará la impedancia modulable hasta otro valor Z'_m que consiga equilibrar el puente en presencia de esta corriente. El problema es que el valor estimado de la capacitancia de la estructura MIS a partir de Z'_m no será el verdadero (que sería el deducido a partir de Z_m)

Este mecanismo provoca que las curvas experimentales C-V no sean fiables en alta polarización en aislante delgados, siendo común que, si hay mucha conducción túnel, la capacidad en acumulación aumente indefinidamente, sin llegar a un valor de saturación. Esta situación supone una grave dificultad puesto que ya no podremos estimar la capacidad del dieléctrico con solo medir la capacidad de las curvas en acumulación.

Una de las posibles soluciones a este problema se basa en tener en cuenta que los valores medidos de la capacidad en la región de vaciamiento no deberían verse muy afectados por este efecto, ya que el nivel de polarización no es muy alta allí. Así, realizando un ajuste matemático de un modelo quasi-ideal de una estructura MIS (se eligió el modelo Hauser) a la región de acumulación de nuestras curvas, podemos extrapolar una curva C-V quasi-ideal, cuyo valor de constante de capacidad en acumulación debería ser el de nuestra estructura en ausencia de conducción túnel. Mediante el software (**hauserint.exe**) realizamos el ajuste mencionado y de él se pudieron estimar los valores de V_{FB} y EOT que se muestran en las curvas experimentales medidas. Además, se podrá estimar el K del dieléctrico a partir del EOT estimado y (5) por: $K = \frac{3,9}{EOT} \cdot d_{HK}$

4.3. Resultados experimentales.

4.3.1. Estimación de la composición y espesor de los dieléctricos de la serie 1 y 2.

Es necesario caracterizar de un modo alternativo la composición y espesor del dieléctrico HK depositado en las muestras de las series 1 y 2, como discutimos en 3.4.iii. Mediante la técnica TEM podemos estimar de manera precisa el espesor crecido; con ayuda de la técnica XPS podremos evaluar su composición. Los resultados de estos análisis fueron:

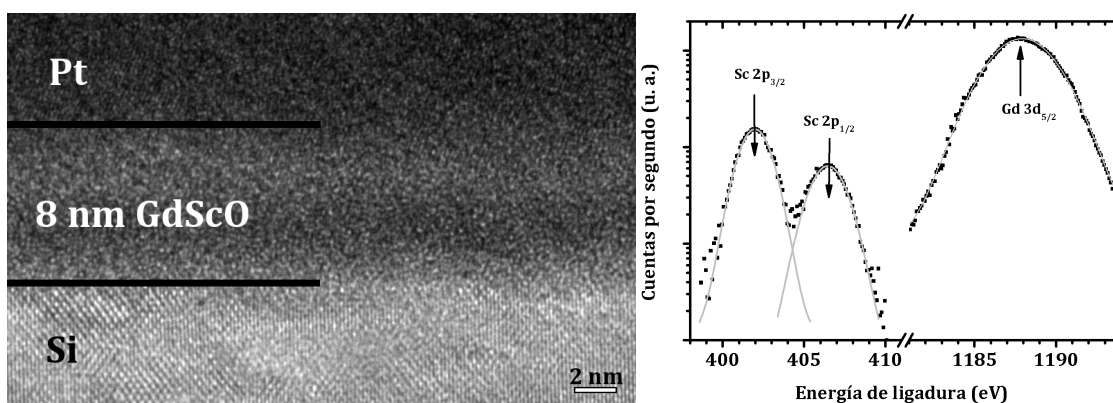


Figura 9: Imagen TEM de la sección transversal del dieléctrico y resultado del XRS

De la imagen TEM extraemos dos conclusiones: **el espesor de los dieléctricos de las series 1 y 2 es 8nm y la morfología del dieléctrico HK, tras el aleado, ha perdido su estructura laminar y ahora es homogénea y amorfa.**

De los resultados de la prueba de XPS, y tras el análisis de los datos, se concluye que la **composición del dieléctrico depositado en las muestras de las series 1 y 2 es $\text{Sc}_{0,2}\text{Gd}_{1,8}\text{O}_3$ (90 %Gd-10 %Sc).**

4.3.2. Evolución del espesor del dieléctrico HK con los recocidos.

A tenor de la ecuación (1), un aumento en la medida de la capacidad con los aleados FGA puede deberse a dos causas: aumento de la K del dieléctrico o reducción de su espesor, debido a un fenómeno de densificación. Para descartar la posibilidad de una reducción en el espesor, realizamos los depósitos por HPS definidos en el cuadro 2 a 4 obleas de Silicio, sin ningún tratamiento previo. Se midió en cada oblea el espesor medio del dieléctrico HK crecido por mediante la técnica de elipsometría, luego se las sometió a un FGA 300°C 20', de nuevo se estimó el espesor medio, se realizó otro tratamiento FGA 450°C 20' y, por último, volvió a estimarse el espesor medio. Los resultados de estas medidas se recogen en el siguiente cuadro:

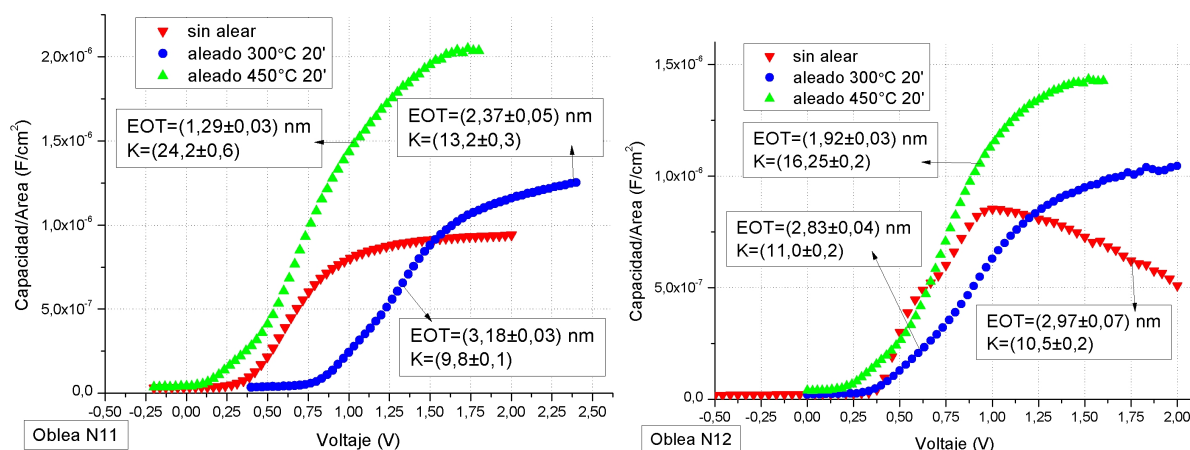
Espesor(Å)	Sin FGA	FGA 300°C	FGA 450°C
$\text{Sc}_{0,2}\text{Gd}_{1,8}\text{O}_3$	38±9	38±15	37±20
$\text{Sc}_{0,5}\text{Gd}_{1,5}\text{O}_3$	44±10	44±20	43±14
ScGdO_3	43±13	44±10	42±12
$\text{Sc}_{1,5}\text{Gd}_{0,5}\text{O}_3$	50±10	49±10	48±10

Cuadro 3: Evolución del espesor del dieléctrico con los recocidos FGA.

De los datos mostrados en el cuadro 3 podemos afirmar que el espesor del dieléctrico HK no varía tras los procesos de FGA. Por ello, **cualquier variación observada en la capacidad de nuestras muestras, tras un proceso FGA, solo podrá deberse a un aumento de la constante dieléctrica K del mismo.**

4.3.3. Influencia del tratamiento superficial en el dieléctrico HK. Análisis serie 1.

A continuación se muestran los resultados de la caracterización C-V:



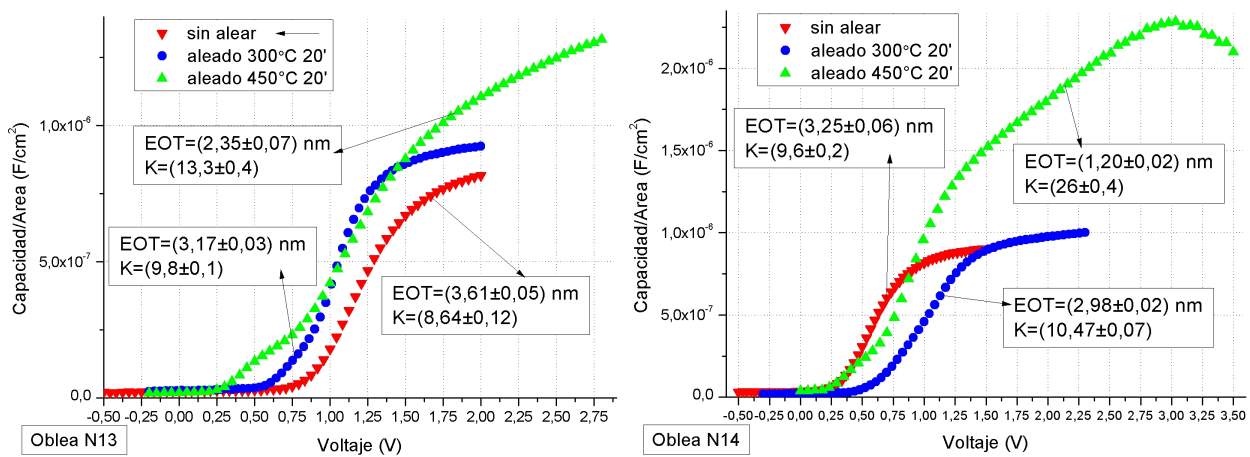


Figura 10: Caracterización C-V de la Serie 1

Las conclusiones que se pueden extraer de estas medidas son:

Respecto al tratamiento de la fotoresina negativa. Las medidas indican que, tras el FGA, 450°C, $K_{\text{Flood+Heat}} \gtrsim K_{\text{Nada}} > K_{\text{HF}} > K_{\text{ECR}}$. Ello nos indica que los tratamientos ECR y HF degradan la calidad de la superficie de contacto del dieléctrico con el metal, con lo que estas técnicas no son aconsejables. Además, no se observó ninguna mejora en adherencia del metal. El tratamiento Flood+Heat, no parece influir negativamente en las características capacitivas, por lo que se adopta para las siguientes series, aunque tampoco se corroboró ninguna mejora en la adherencia del Pt. No obstante, **la conclusión de este estudio es que los tratamientos de mejora de la adherencia no son muy efectivos y, además, pueden degradar la respuesta capacitiva de la estructura.**

Respecto a la evolución del K con los recocidos. En todas las muestras de la serie se aprecia un aumento de la K del dieléctrico con los recocidos que, en el mejor de los casos, representa un aumento del 170%. Este comportamiento, en conjunción con las conclusiones de 4.3.1-2, nos permiten confirmar que **el crecimiento de nano-laminados Gd₂O₃/Sc₂O₃ por HPS y su posterior homogeneización por tratamientos FGA da lugar a películas de dieléctricos con constantes dieléctricas mejoradas.**

Respecto al valor absoluto de K. El valor de K de la muestra sin tratar (N11), después de FGA 450°C, tiene un valor de 24,2. Si observamos la morfología de esta curva podemos comprobar que es muy similar a una ideal, con lo que el ajuste Hauser fue bastante preciso y esta es una medida confiable. Este valor está en buen acuerdo con los medidos en la literatura citada en el capítulo 2, en relación a esta cuestión. Esto nos permite concluir que, **mediante la técnica de depósito por HPS, que hemos descrito en 3.4, se pueden crear materiales cuya constante dieléctrica, tras los procesos de FGA, nos sugiere que su naturaleza dieléctrica es la propia de escandatos de gadolinio.**

Respecto a la morfología de las curvas C-V. Los valores en acumulación no son estables, lo que implica una conducción túnel a través del aislante. Las curvas no aumentan en inversión por la alta frecuencia de la señal, como preveíamos; sin embargo, en algunas muestras, se observa pequeñas "chepas" al final de la región de vaciamiento, señal de la influencia de los defectos de la intercara semiconductor/aislante.

4.3.4. Corroboración de resultados de 4.3.3. Serie 2.

A continuación se muestran los resultados de la caracterización C-V:

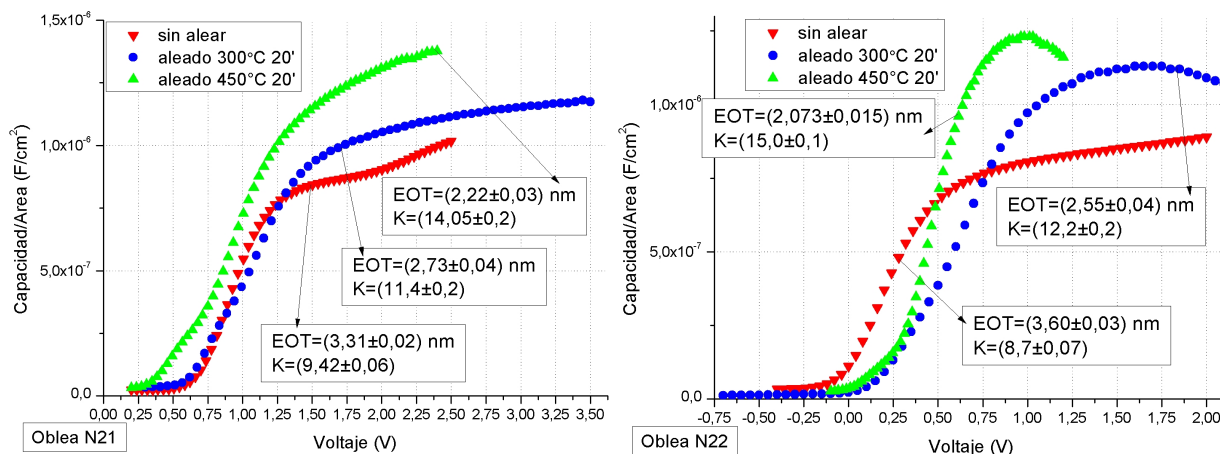
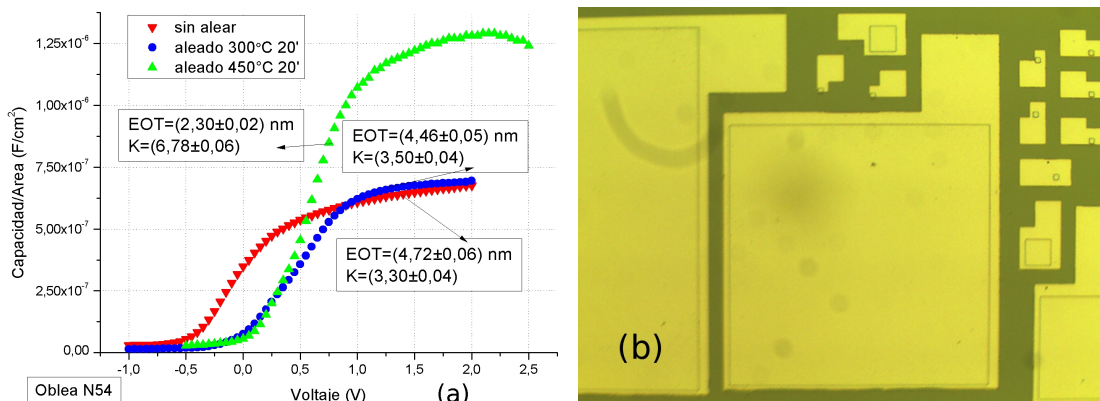


Figura 11: Caracterización C-V de la Serie 2

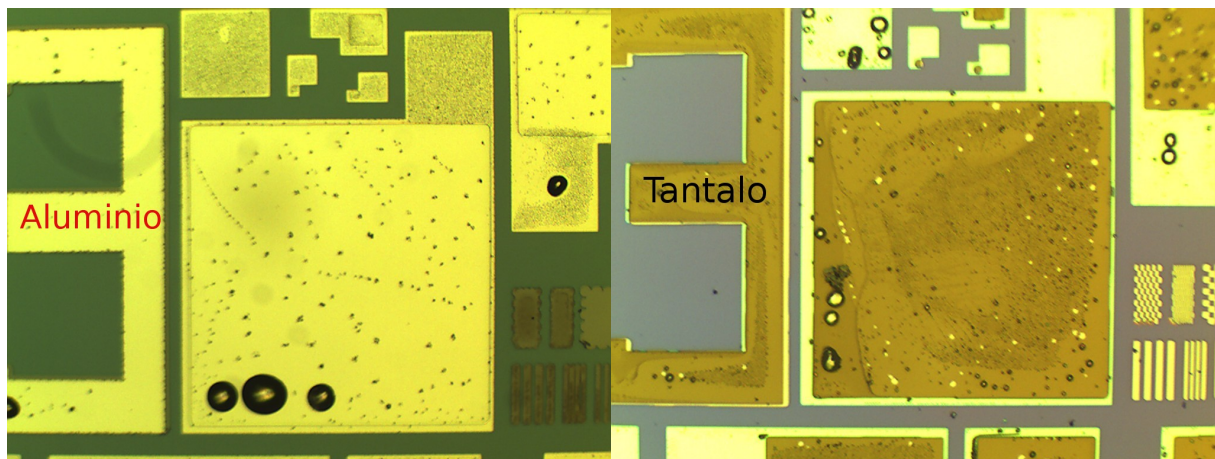
La evolución de K con los procesos FGA y la morfología de las curvas de la serie 2 es compatible con los resultados obtenidos en 4.3.3. Sin embargo, el valor de K , tras el proceso FGA 450°C, en ambas muestras es mucho menor que el que se alcanzaba en las muestras de la serie 1. La razón de esta divergencia es debida, muy probablemente, a un recrecimiento de la capa de SiO_2 en ellas. En efecto, las muestras de las series 1 y 2 fueron fabricadas paralelamente hasta el punto 3.4. Llegados a este punto las dos muestras de la serie 2 fueron almacenadas, mientras que se continuaba la fabricación y caracterización de las muestras de la serie 1. Un vez establecido el mejor tratamiento para la superficie del dieléctrico HK del estudio de la serie 1, se reanuda el proceso de fabricación de la serie 2 y se procedió a su caracterización. Pero, **en el intervalo en el que estuvieron almacenadas, muy probablemente se difundió O_2 a través del dieléctrico HK y recreó el SiO_2 nativo.** Ello provoca que $C_i = (C_{\text{SiO}_2} \parallel C_{\text{HK}}) < C_{\text{HK}}$, el aumento del EOT y la disminución del K medido. Para concluir, es importante observar que las medidas de las dos muestras son similares, de lo que se deduce que la configuración clásica metal reactivo (puerta)/metal noble (contacto), descrita en 1.5, no induce ninguna resistencia serie que haga disminuir la capacidad en acumulación.

4.3.5. Series 3 a 6. Análisis de fallos.



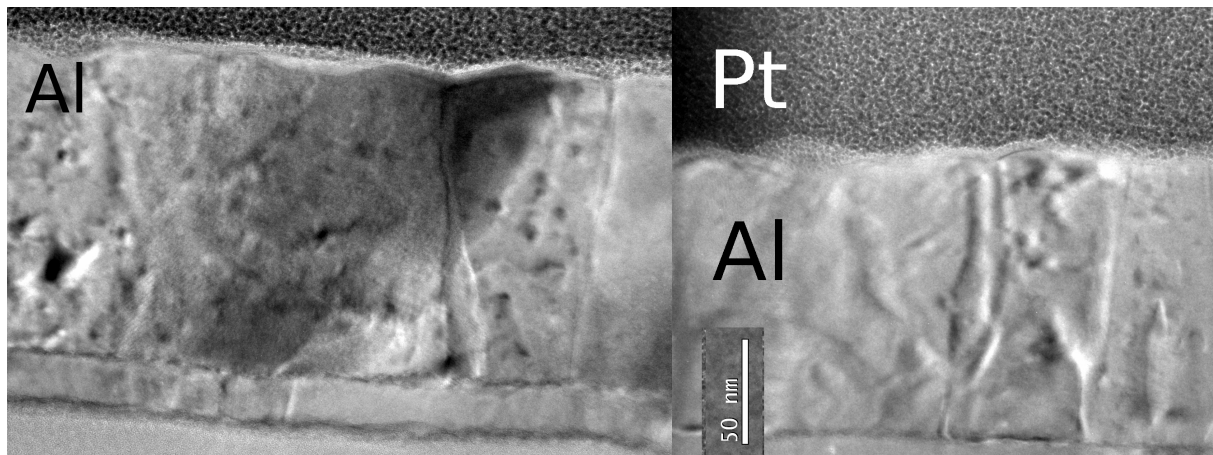
El nombre, tan poco halagüeño, de esta subsección responde a los resultados que se pueden observar en la imagen (a). En ella se presentan *las mejores curvas C-V medidas entre todas las muestras procesadas de las series 3 a 6*. Corresponden, concretamente, a la muestra 54 (Ta+Al; 25 %Gd-75 %Sc). En ellas se observa que el mejor K de todas las medidas realizadas (6,78) es, aproximadamente, cuatro veces menor que el valor nominal de K en las muestras de la serie 1. Esto es un resultado completamente inesperado, teniendo en cuenta que las propiedades del dieléctrico HK no han variado más allá de la reducción del espesor crecido. El único efecto no ideal que puede provocar una caída en la C' tan grande es la aparición de un gran R_s asociada a la estructura (4.2.1). Además de la reducción de C' en acumulación, hay otro indicio en las C-V de la existencia de una importante R_s . Dado que el espesor de los dieléctricos HK depositados en las muestras de las series 3-6 tenía la mitad de espesor que los de la serie 1 y 2, era esperable en estas estructuras una mayor conducción túnel y, por ello, un valor de C' en acumulación más inestable que el de la serie 1. Sin embargo, como se aprecia en las curvas C-V de (a), esto no es así: los valores de acumulación son estables. Esto indica la presencia de una aislante adicional en la estructura que mitigue la conducción túnel.

El primer sospechoso como fuente de esta R_s fue un problema de oxidación de estos metales no nobles que hemos utilizado en las series 3-6, por los motivos de coste ya aducidos. Realizamos fotografías de la superficie del metal de contacto, como la (b) que mostramos del Pt, y los resultados fueron los siguientes:



Estas fotos revelan, en efecto, un importante problema con la superficie del metal de contacto: se muestran puntos de corrosión en toda la superficie y puntos de gran área y tono negro que, magnificados, muestran que son lugares donde el metal se ha levantado, con probabilidad como mecanismo para eliminar tensiones comprensivas en la película. Sin embargo, estas fotos no son motivo suficiente para achacar nuestro problema al metal de contacto. La razón es que, si toda esta corrosión observada solo afecta al metal de contacto *superficialmente*, al contactar con la punta de tungsteno de la estación de puntas, se perforaría esta capa oxidada (el tungsteno es uno de los metales más duros, es una de las razones por la que se elige como punta de contacto eléctrico) y el contacto eléctrico sería con el metal sin oxidar, con lo que no habría de suceder el

problema observado en las curvas de $C'-V$. Se requieren pruebas adicionales. Para ello se obtuvieron imágenes TEM de la sección transversal de una película de Aluminio:



Estas imágenes son muy clarificadoras. La sección transversal de las películas de Al muestra una gran densidad de defectos: huecos, fronteras de grano, fracturas, etc. Dado que todos estos defectos son caminos para la difusión de especies químicas al interior de la película, es muy razonable pensar que, debido a ello, se ha producido una oxidación de nuestros metales de contacto no nobles en *gran parte de su volumen*. Esta situación justifica la gran R_s detectada y explica porqué, aunque la punta de tungsteno penetre en el material más allá de la capa de oxidación esperable para la actividad química de estos metales, se observa el efecto de una R_s .

Dado que la morfología de las películas depositadas depende, en gran medida, de su método de depósito, todas las miradas se centraron en el evaporador por haz de electrones como causante del problema. Un estudio detallado de este problema queda pendiente para futuros trabajos dentro del grupo.

Podemos concluir que, del estudio comparativo de las distintas películas metálicas usadas en este estudio, las recomendadas para su inmediato uso dentro del grupo son aquellas formadas enteramente por un metal noble (N11 a N14 y N21) o con metal de contacto noble (N22), que se ha confirmado pasiva al metal reactivo bajo ellas (Ta); todas las muestras en las que el metal de contacto no lo fue (el resto) dieron problemas de oxidación global de la película, muy probablemente promovida por un problema de mala calidad de las películas metálicas depositadas mediante e-beam.

A medio plazo, este estudio justifica la intención del grupo de adquirir equipo para el depósito de metales por sputtering, con el afán de conseguir la mayor calidad posible en las películas metálicas depositadas y evitar problemas como los detectados en el presente proyecto.

5. Conclusiones.

- ☺ Mediante el depósito de nano-laminados Gd_2O_3/Sc_2O_3 por HPS ,y el posterior tratamiento con la técnica FGA, es posible obtener películas homogéneas y amorfas de materiales dieléctricos con K similar a la de escandatos de gadolinio crecidos por MOCVD.
- ☺ Los tratamientos de limpieza de la fotoresina negativa revelada tienen poca influencia en la adherencia de los metales. Además, debido la oxidación (ECR) y daño (HF) que provocan en el dieléctrico HK, las propiedades capacitivas de la estructura se degradan. Solo el tratamiento Heat+Flood mostró no ser dañino.
- ☺ Del estudio de la compatibilidad de metales de puerta/contacto sobre nuestros dieléctricos HK se ha descubierto un problema en el depósito de ciertos metales reactivos (Ta, Al), relacionado con problemas de calidad de las películas crecidas por e-beam. Se ha demostrado que el uso de Pt como metal de puerta/contacto mitiga estos problemas.
- ☺ Se ha conseguido desarrollar y optimizar un método de fotolitografía positiva para la apertura de ventanas en el SiO_2 , sin el cual, la ruta de fabricación de estructuras MIS no sería posible.
- ☺ Se ha reparado y caracterizado de nuevo la maquina de HPS, necesaria para el depósito de láminas delgadas en las distintas líneas de investigación del grupo.

6. Referencias.

- [1] Sze & Ng, "Physics of Semiconductor Devices", 3^aed, Wiley.
- [2] Neamen, "Semiconductor Physics and Devices", 3^aed, McGraw-Hill.
- [3] Robertson, "High dielectric constant gate oxides for metal oxide Si transistors", Rep. Prog. Phys. 69. 327-396. (2006).
- [4] Zhao, et al, "Ternary rare-earth metal oxide high-k layer on silicon oxide", App.Phy.Lett.86. 132903 (2005).
- [5] Kittl, et al, "High-k dielectrics for future generation memory devices", Microelectronic Engineering 86 1789-1795, (2009).
- [6] Pampillón, et al, "Towards metal electrode interface scavenging of rare-earth scandates: A Sc₂O₃ and Gd₂O₃ study", Microelectronic Engineering 88 1357-1360 (2011).
- [7] Nicollian, Brews, "MOS Physics and Technology", 1^aed, Wiley.
- [8] Microchemicals, "Theory and Application of Photoresist, Etchants and Solvents".
- [9] Wolf, Tauber, "Silicon Processing for the VLSI Era. Vol I", 1^aed, Lattice Press.
- [10] H.G. Tompkins, W.A. McGahan, "Spectroscopic Ellipsometry and reflectometry: A user's Guide", John Wiley & Sons, New York, USA (1999).