

**UNIVERSIDAD COMPLUTENSE DE MADRID**

**FACULTAD DE CIENCIAS FÍSICAS**

DEPARTAMENTO DE ESTRUCTURA DE LA MATERIA, FÍSICA TÉRMICA Y  
ELECTRÓNICA



**TRABAJO DE FIN DE GRADO**

Código TFG: EMFTEL-02

Convertor DC-DC

DC-DC converter

Supervisor: Álvaro del Prado Millán

**Javier Martín Hernández**

Grado en Ingeniería Electrónica de Comunicaciones

Curso académico 2024-2025

Convocatoria Extraordinaria

Calificación: 9.0



## Resumen:

El presente Trabajo de Fin de Grado se centra en el diseño detallado de un convertidor boost con control en modo de corriente, cuyo objetivo es el de proporcionar una tensión de salida constante independiente de las posibles variaciones en la tensión de entrada, utilizando un circuito integrado de control de anchura de pulsos.

Para ello se realizará un estudio teórico del funcionamiento del convertidor, detallando su modelado y los principios del control en modo de corriente.

Además, se llevará a cabo su simulación en el programa Pspice, atendiendo a los efectos reales de los componentes, como la resistencia en serie de las inductancias y los condensadores y las limitaciones del controlador utilizado. Finalmente se procederá con el montaje del convertidor en el laboratorio, evaluando así su comportamiento experimental, y comparándolo con los resultados obtenidos.

## Abstract:

The present Final Degree Project focuses on the detailed design of a boost converter with current mode control, whose objective is to provide a constant output voltage regardless of possible variations in the input voltage, using the UC3843 integrated circuit. To this end, a theoretical study of the converter's operation will be carried out, detailing its modeling and the principles of current mode control.

Additionally, its simulation will be conducted in the PSpice program, taking into account the real effects of the components, such as the series resistance of the inductors and capacitors, as well as the limitations of the controller used. Finally, the converter will be assembled in the laboratory to evaluate its experimental performance and compare it with the obtained results.

## Índice de contenidos

Resumen: .....	4
1. Introducción.....	6
2. Objetivos.....	6
3. Metodología .....	7
3.1 Relación del trabajo con asignaturas cursadas .....	7
4. Marco teórico .....	8
4.1 Funcionamiento del convertidor .....	8
4.1.1 Análisis del convertidor boost .....	8
4.1.2 Rizado de salida.....	11
4.1.3 Balance de potencia .....	12
4.1.4 Funcionamiento en modo discontinuo .....	15
4.2 Teoría control en modo de corriente .....	16
5. Diseño.....	18
5.1 Especificaciones .....	18
5.2 Elección de frecuencia de oscilación .....	19
5.3 Consideraciones previas sobre la potencia .....	21
5.3.1 Consideraciones sobre la inductancia .....	21
5.3.2 Consideraciones sobre el condensador .....	22
5.3.3 Consideraciones sobre el MOSFET .....	22
5.3.4 Consideraciones sobre el diodo .....	23
5.4 Elección de componentes y disipación de potencia .....	23
5.5 Rendimiento del convertidor .....	27
6. Simulación en lazo abierto .....	28
7. Diseño de red de compensación .....	31
8. Simulación del control en modo de corriente .....	36
9. Resultados experimentales.....	40
9.1 Circuito en lazo abierto.....	40
9.2 Circuito con el lazo de control .....	43
10. Montaje con chip UC3845 .....	46
11. Conclusiones .....	49
12. Diagrama de Gantt .....	50
13. Bibliografía .....	50

# 1. Introducción

La transformación hacia un sistema energético más sostenible y eficiente ha fomentado el desarrollo de tecnologías innovadoras para optimizar la conversión de energía, entre las cuales destacan los convertidores *boost* DC-DC como elementos clave.

En la última década, se ha observado un gran crecimiento en el mercado de los convertidores *boost* DC-DC, acelerado debido a la necesidad de crear soluciones más eficientes y sostenibles en los sectores de la automoción o la electrónica de potencia.

Se estima que el mercado mundial de convertidores DC-DC crecerá durante los próximos años aproximadamente un 11% entre 2023 y 2030, impulsado por el aumento de la implementación de energías renovables [1]. Esta tendencia responde a la necesidad de promover un mejor rendimiento para la conversión energética.

Los convertidores *boost* DC-DC son fundamentales para aplicaciones de energía renovable, ya que permiten adaptar la energía generada por fuentes como paneles solares o turbinas eólicas para su almacenamiento. No obstante, la eficiencia, la confiabilidad y la estabilidad operativa de estos circuitos continúan siendo temas de investigación activa, ya que se enfrentan a retos como el control de la potencia, el rendimiento y la operación en condiciones desfavorables [2].

Asimismo, en la industria automotriz, son clave en vehículos eléctricos e híbridos, donde facilitan la gestión eficiente de la energía almacenada en baterías.

Otras aplicaciones relevantes incluyen fuentes de alimentación conmutadas, sistemas de telecomunicaciones y equipos electrónicos que requieren una alimentación estable y eficiente.

A pesar de sus ventajas, estos dispositivos presentan desafíos en términos de eficiencia, estabilidad y control, especialmente cuando operan bajo condiciones variables o cargas dinámicas. Por ello, la optimización de su diseño y control sigue siendo un área de investigación activa, con el objetivo de mejorar su rendimiento y reducir las pérdidas energéticas.

## 2. Objetivos

Los objetivos propuestos para este trabajo son los siguientes:

- Desarrollar un diseño completo de un convertidor *boost*, con control en modo de corriente, haciendo uso de un circuito integrado de control, con un alto rendimiento.
- Simular el diseño del convertidor en el software PSpice, atendiendo a todos los efectos reales que sean posibles.
- El montaje en el laboratorio del convertidor diseñado, así como el análisis de su funcionamiento, y la comparativa con la simulación.

## 3. Metodología

Para lograr los objetivos, se divide el trabajo a realizar en cinco etapas:

1. Diseño de la topología del conversor y selección de componentes: Se realiza un análisis del funcionamiento del conversor, seleccionando los componentes en función de sus características y se calculan sus consumos a partir de los cálculos teóricos [3] [4].
2. Caracterización de los componentes: Se determinan los valores de los elementos parásitos de los componentes seleccionados. Equipo utilizado: Analizador de impedancias HP HEWLETT 4192A.
3. Simulación de la etapa en lazo abierto mediante la herramienta Pspice Capture CIS 24.1.
4. Diseño del bucle de alimentación: Cálculo realizado siguiendo la bibliografía de la etapa 1, y simulación en Pspice para obtener la respuesta en frecuencia de la etapa de potencia.
5. Montaje y caracterización: Montaje del conversor en placa de pruebas. Señal DC de alimentación generada con fuente de alimentación Promax 30 V, 2 A, 60 W. Medidas tomadas con osciloscopio Rigol modelo DS1102E, con ancho de banda 100 MHz, multímetro digital Promax MD-200. Generador de ondas Rigol modelo DG1022, con dos canales y frecuencia máxima 20 MHz.

### 3.1 Relación del trabajo con asignaturas cursadas

Este trabajo integra conocimientos adquiridos a lo largo del grado, con especial relevancia de las asignaturas del área de electrónica:

- **Electrónica de Potencia:** Se abordan los principios de funcionamiento del conversor y se repasan los distintos componentes implicados en el sistema.
- **Instrumentación electrónica:** El estudio de distintos componentes y su caracterización permite comprender los parámetros clave necesarios para el diseño del sistema.
- **Electrónica analógica:** Proporciona herramientas necesarias para la comprensión del funcionamiento de los circuitos complejos, así como la soldadura en el análisis de estos.
- **Física de dispositivos:** Permite modelar en pequeña señal el circuito, teniendo en cuenta los distintos condensadores del transistor, algo necesario de cara al diseño de cualquier conversor.
- **Control de sistemas:** Aporta bases necesarias para diseñar sistemas de realimentación estables, utilizados en el apartado de control.
- **Análisis de circuitos:** Proporciona las bases para el análisis del comportamiento eléctrico de los circuitos y comprender los modelos de impedancia de los componentes utilizados.

## 4. Marco teórico

### 4.1 Funcionamiento del conversor

El estudio y diseño del conversor se ha llevado a cabo siguiendo como base el documento Apuntes de Electrónica de Potencia [3] y el libro *Power Electronics* [4], junto con otras referencias complementarias detalladas en la bibliografía.

#### 4.1.1 Análisis del conversor boost

Para comprender qué es lo que se pide en este trabajo, es necesario comenzar explicando el funcionamiento del conversor *boost*, así como la activación y desactivación del MOSFET. El conversor DC-DC es un circuito diseñado para transformar una tensión continua de entrada en otro nivel distinto de tensión continua a la salida. En concreto, el conversor tipo *boost* que se utiliza proporciona una tensión de salida superior a la de entrada, haciéndose uso de una inductancia ( $L$ ), un transistor tipo MOSFET, un diodo, un condensador y una resistencia ( $R_L$ ). Cuyo montaje típico es el siguiente:

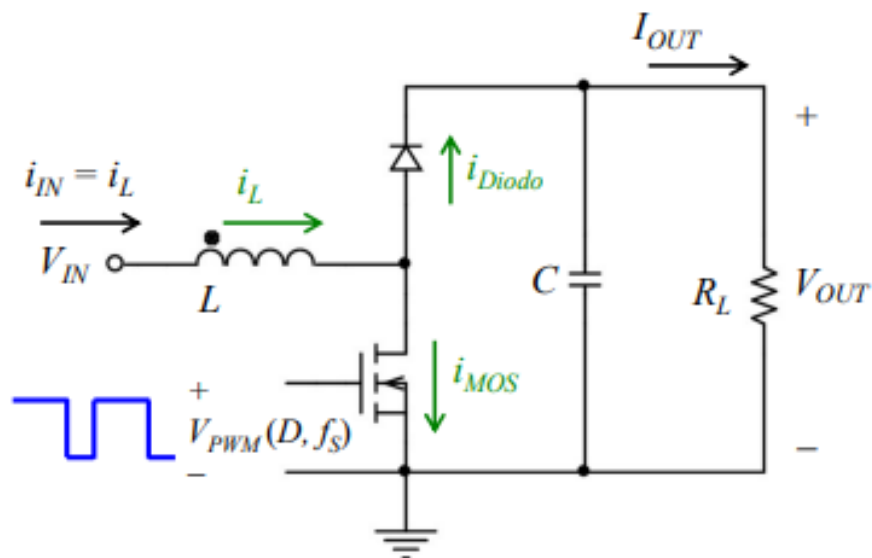


Figura 1: Conversor DC-DC tipo boost [3]

Dicho transistor es activado por una señal de pulsos cuadrados, con un nivel alto y un nivel bajo. Cuando el nivel es alto, el voltaje  $V_{GS}$  supera el voltaje umbral  $V_T$ , provocando conducción entre los terminales D y S (actuando como un cortocircuito). En cambio, cuando el nivel de la señal es bajo, el voltaje  $V_{GS}$  es inferior a  $V_T$  y el transistor se encuentra en corte, comportándose como un circuito abierto.

El intervalo durante el cual el MOSFET conduce se denomina  $t_{ON}$ , mientras que el periodo en el que permanece en corte se conoce como  $t_{OFF}$ .

De manera contraria, el diodo se comporta como un circuito abierto durante  $t_{ON}$ , ya que se encuentra en polarización inversa: el ánodo está a un potencial más bajo que el cátodo. En  $t_{OFF}$ , la inductancia fuerza el paso de corriente y el diodo se polariza de manera directa, conduciendo como un cortocircuito.

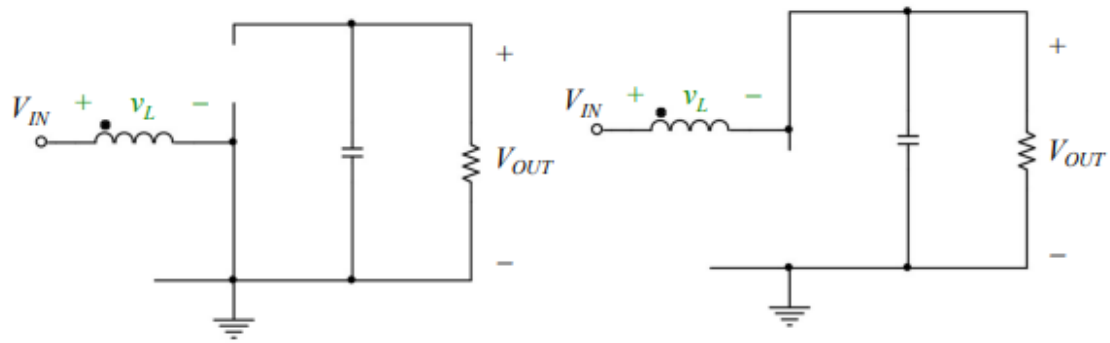


Figura 2: Análisis del convertor boost en  $t_{ON}$  (izquierda) y  $t_{OFF}$  (derecha) [3]

En la figura 2 se observa cómo se comporta el circuito durante los distintos intervalos de conmutación del MOSFET ( $t_{ON}$  y  $t_{OFF}$ ), descritos anteriormente.

Durante el funcionamiento del convertor, la corriente de la inductancia describe una forma triangular. Esta se puede dividir en dos etapas. El modo ON, la corriente crece linealmente debido a la conexión del MOSFET; mientras que en el modo OFF, al estar en corte el MOSFET, la corriente decrece mientras la energía almacenada se transfiere a la carga.

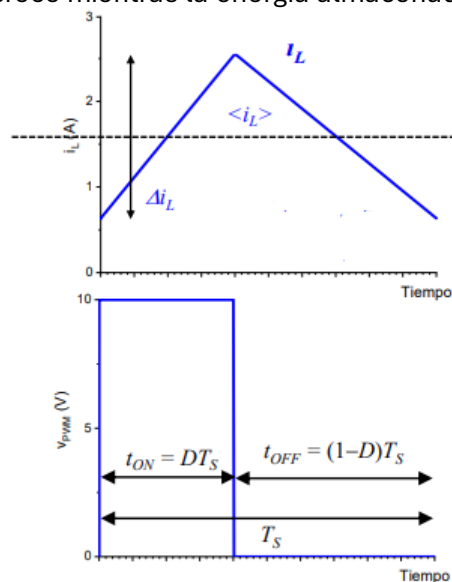


Figura 3: Corriente de la inductancia ( $i_L$ ), arriba  
Señal de pulsos cuadrada en la puerta del MOS, abajo [3]

La figura 3 muestra la relación entre la corriente de la inductancia y la señal de pulso cuadrado en la puerta del MOSFET, evidenciando como dicha corriente varía en función del estado del transistor.

Cabe destacar que la corriente que circula por el MOSFET durante el intervalo  $t_{ON}$  coincide con la corriente de la inductancia, ya que esta fluye exclusivamente a través del transistor. En cambio, durante  $t_{OFF}$ , dicha corriente se anula en el MOSFET y pasa a circular por el diodo, siguiendo la misma forma decreciente que la corriente de la inductancia.

Debido a esto, el valor medio de la corriente del MOSFET viene dado por el periodo de tiempo en el que este está conduciendo:

$$\langle i_{MOS} \rangle = D * \langle i_L \rangle \quad (1)$$

Del mismo modo, el valor medio de la corriente que circula por el diodo viene dado por el intervalo en el cuál este conduce, resultando en la siguiente expresión:

$$\langle i_{Diodo} \rangle = (1 - D) * \langle i_L \rangle \quad (2)$$

Donde D, el ciclo de trabajo de la señal cuadrada.

Debido a la implicación del modo estacionario, todo lo que ocurre en un periodo, se repite exactamente igual en todos los siguientes. Lo que lleva a que la corriente en las inductancias deba tener el mismo valor al comienzo y al final del periodo, es decir, la variación total de la corriente  $\Delta iL$  en tiempo ON y en tiempo OFF, ha de ser nula.

$$\Delta iL_{ON} + \Delta iL_{OFF} = 0 \quad (3)$$

Donde  $\Delta iL$  puede definirse como :

$$\Delta iL = \frac{DV_{IN}T_S}{L} \quad (4)$$

Aplicando la Ley de Faraday y sabiendo que la variación de corriente es proporcional al voltaje aplicado, se puede definir la condición de régimen estacionario como:

$$\frac{1}{L} \int_{t_{ON}} v_{L,ON} dt + \frac{1}{L} \int_{t_{OFF}} v_{L,OFF} dt = 0 \quad (5)$$

Haciendo uso de estas ecuaciones, se puede analizar el convertor *boost* para conocer el voltaje de salida en función del ciclo de trabajo y el voltaje de entrada.

En  $t_{ON}$ :

$$\begin{aligned} t_{ON} &= D * T_S \\ v_{L,ON} &= v_{IN} \end{aligned} \quad (6)$$

En  $t_{OFF}$ :

$$\begin{aligned} t_{OFF} &= (1 - D) * T_S \\ v_{L,OFF} &= v_{IN} - v_{OUT} \end{aligned} \quad (7)$$

Utilizando estas ecuaciones junto con la ecuación (4), despejando se llega a:

$$V_{OUT} = \frac{V_{IN}}{1 - D} \quad (8)$$

Una vez determinada la tensión de salida y las ecuaciones que la definen, es necesario introducir el concepto de valor eficaz.

El valor eficaz permite calcular la potencia media disipada en una resistencia al aplicar una señal periódica. Esta potencia media disipada estará compuesta por la disipación en corriente continua más la disipación en corriente alterna.

Dado que la corriente en la inductancia tiene forma triangular, su valor eficaz puede expresarse como:

$$I_{rms}^2 = D * \left( I_{ON,DC}^2 + \frac{i_{AC}^2}{3} \right) \quad (9)$$

Donde  $I_{ON,DC}$  corresponde a la componente continua, mientras que  $i_{AC}$  representa la componente alterna.

En el caso del MOSFET, que conduce durante la fracción D del periodo, teniendo en cuenta lo comentado previamente sobre la descomposición de la corriente en una componente continua y otra alterna, se considera que la componente continua es igual al valor medio de la corriente de la inductancia  $\langle i_L \rangle$ , mientras que la componente alterna tiene una amplitud de  $\frac{\Delta i_L}{2}$ . A partir de esta descomposición, se puede calcular el valor eficaz de la corriente que circula por el MOSFET mediante la siguiente expresión:

$$I_{MOS,rms}^2 = D \left( \langle i_L^2 \rangle + \frac{\Delta i_L^2}{12} \right) \quad (10)$$

Del mismo modo, para el diodo, que conduce durante la fracción 1-D del periodo, se utiliza la misma descomposición de la corriente, lo que permite obtener su valor eficaz como:

$$I_{Diodo,rms}^2 = (1 - D) \left( \langle i_L^2 \rangle + \frac{\Delta i_L^2}{12} \right) \quad (11)$$

#### 4.1.2 Rizado de salida

La componente alterna de la corriente que llega a  $R_L$  (asociada a  $I_{OUT}$ ) proviene de la corriente del diodo, parte de la cual circula a través del condensador.

La corriente AC que atraviesa el condensador (ver figura 1) se puede expresar como la diferencia entre la corriente media proporcionada por el diodo y la consumida por la carga:

$$i_c(t) = \langle i_{Diodo} \rangle - I_{OUT} \quad (12)$$

Cuando circula corriente AC, el condensador se carga ligeramente cuando  $V_{out}$  aumenta, y se descarga cuando  $V_{out}$  disminuye. Esta variación pico-pico de la tensión de salida es lo que se denomina rizado y sigue la siguiente ecuación:

$$Rizado = \frac{\Delta V_{out}}{V_{out}} \quad (13)$$

Teniendo en cuenta que en un condensador, la corriente es la derivada de la tensión con respecto al tiempo, la variación de la tensión puede obtenerse como la integral de la corriente, lo que corresponde al área.

De este modo, la variación de la tensión puede expresarse como:

$$\Delta V_{out} = \frac{\text{Área}}{C} = \frac{DT_S V_{out}}{R_L * C} \quad (14)$$

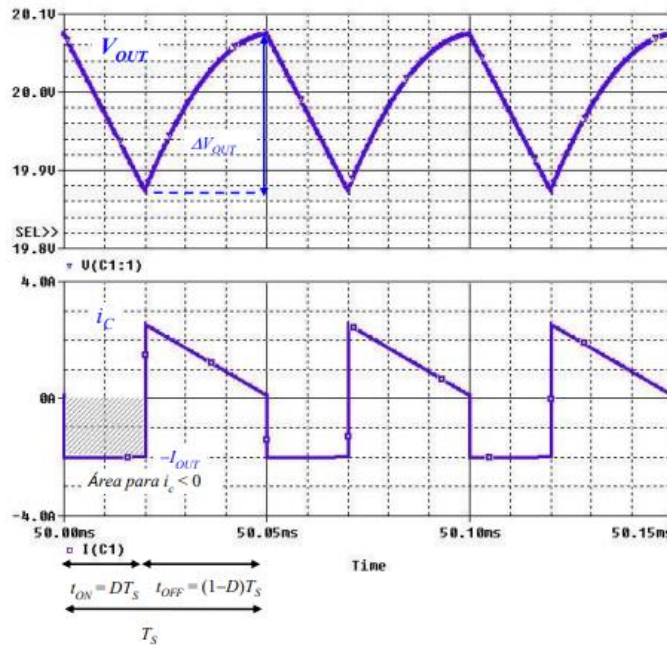


Figura 4: Tensión de salida (arriba) y corriente alterna en el condensador (abajo) para un conversor boost genérico [3]

Se comprueba en la figura 6 como el área cuando la corriente del condensador es menor que 0 sigue una forma rectangular, y por tanto, se puede calcular como *base \* altura*. En los cálculos anteriores se ha asumido que el condensador es ideal, es decir, que no tiene resistencia en serie equivalente ( $r_{ESR}$ ). No obstante, en la realidad esta  $r_{ESR}$  puede afectar de manera significativa al rizado, introduciendo una componente adicional. Cuando se tiene en cuenta dicha resistencia, la variación de tensión de salida se modifica y puede estimarse como:

$$\Delta V_{out,ESR} = \frac{R_L r_{ESR}}{R_L + r_{ESR}} i_{L,MAX} \quad (15)$$

En el caso en el que la impedancia del condensador y  $r_{ESR}$  sean del mismo orden de magnitud, no es posible despreciar ninguna de ellas, por lo que el cálculo del rizado requeriría un análisis más completo.

Así, el rizado total puede aproximarse como la suma de las dos contribuciones, la provocada por la carga/descarga del condensador y la debida a  $r_{ESR}$ .

### 4.1.3 Balance de potencia

En un montaje experimental real, se producen una serie de pérdidas de potencia debido a diversos factores como la resistencia en los conductores, las pérdidas por conmutación del MOSFET, la caída de tensión en el diodo, entre otros. A estas pérdidas se las denomina  $P_{LOSS}$ , las cuales afectan directamente al balance energético del sistema, de modo que la relación entre las potencias se puede expresar como:

$$\langle P_{IN} \rangle = \langle P_{OUT} \rangle + \langle P_{LOSS} \rangle \quad (16)$$

Lo que lleva afecta directamente al rendimiento, definiéndolo como:

$$\eta = \frac{\langle P_{OUT} \rangle}{\langle P_{OUT} \rangle + \langle P_{LOSS} \rangle} \quad (17)$$

Las pérdidas de potencia generadas por los dispositivos siguen las siguientes ecuaciones:

- **Disipación de potencia en MOS:**

Como el MOSFET no es un componente ideal, presenta una resistencia interna entre sus terminales D y S cuando se encuentra en conducción. A esta resistencia se la denomina  $R_{DS,ON}$  y reemplaza el comportamiento de cortocircuito ideal por una resistencia de valor bajo pero no despreciable.

Esta resistencia solo tiene efecto el intervalo en el que el MOSFET está activo, y provoca una disipación de potencia que puede estimarse como:

$$P_{MOS} = R_{DS,ON} * i(t)^2 \rightarrow \langle P(t) \rangle = R_{DS,ON} * \langle i(t)^2 \rangle = R_{DS,ON} * I_{RMS}^2 \quad (18)$$

Utilizando la ecuación (10), se puede sustituir como:

$$P_{MOS} = R_{DS,ON} D \left( \langle i_L^2 \rangle + \frac{\Delta i_L^2}{12} \right) \quad (19)$$

- **Disipación de potencia en conmutación del MOS:**

Como la conmutación no es instantánea, existen unos intervalos durante los cuales tanto la tensión  $V_{DS}(t)$  como la corriente de la inductancia  $i_D(t)$  toman valores apreciables de forma simultánea. Esto provoca que la potencia instantánea disipada en el transistor, definida como  $P(t) = V_{DS}(t) * i_D(t)$ , no sea despreciable durante estos transitorios.

Para entender este comportamiento, es útil observar la figura siguiente, en la que se representan los distintos intervalos de tiempo que conforman la conmutación, tanto en el transitorio de OFF a ON, como en el de ON a OFF, así como las formas de onda de  $V_{DS}$ ,  $I_{MOS}$  y la potencia disipada:

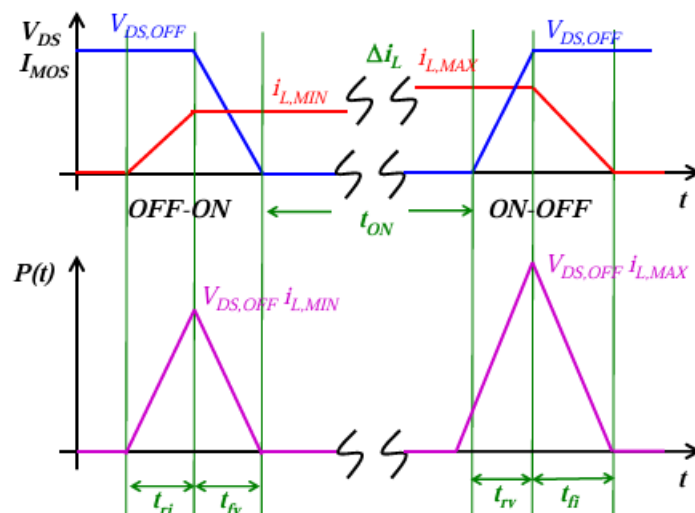


Figura 5: Disipación de potencia durante los transitorios de conmutación [3]

Se observa en la figura 5 como en los distintos intervalos de tiempo, marcados como  $t_{ri}$ ,  $t_{rv}$ ,  $t_{fi}$  y  $t_{fv}$ , el producto  $V_{DS} \cdot i_D$  es distinto de cero, generando una disipación de potencia significativa.

Debido a la forma triangular de la corriente de la inductancia, es necesario conocer sus valores máximo y mínimo para poder estimar dicha disipación de potencia:

$$i_{L,max} = \langle i_L \rangle + \frac{\Delta i_L}{2} \quad (20)$$

$$i_{L,min} = \langle i_L \rangle - \frac{\Delta i_L}{2} \quad (21)$$

Además, se ha de conocer el valor de tensión entre drenador y fuente cuando se produce el estado OFF.

$$V_{DS,OFF} = V_{OUT} \quad (22)$$

Donde se puede calcular la potencia media disipada como:

$$\langle P_{Conmutación}(t) \rangle = \frac{\text{Área}}{T_S} = \frac{V_{DS,OFF}}{2} f_S [(trv + tfi)i_{L,min} + (trv + tfi)i_{L,max}] \quad (23)$$

- **Disipación de potencia en el diodo:**

Conociendo la relación entre la caída de tensión generada en el diodo y la corriente que circula por el dispositivo, se puede utilizar directamente la ley de Joule:

$$\langle P(t) \rangle = \langle v(t) * i(t) \rangle \quad (24)$$

Donde  $\langle i(t) \rangle$  representa el valor medio de la corriente que circula por el diodo, y  $v(t)$  es la tensión asociada a dicha corriente, obtenida a partir de la hoja de características del fabricante.

- **Disipación de potencia en la inductancia**

La inductancia no es un componente igual, sino que presenta una resistencia serie interna  $r_L$  que provoca una disipación de potencia. Esta resistencia no es constante, sino que varía en función de la frecuencia, siendo diferente su valor en corriente continua (DC) y en corriente alterna (AC).

De forma general, la potencia disipada en la inductancia se puede expresar como:

$$P_{Disipada\ en\ L} = r_L * I_{L,RMS}^2 = r_L \left( \langle i_L \rangle^2 + \frac{\Delta i_L^2}{12} \right) \quad (25)$$

Como se explicará más adelante, tras la caracterización experimental del componentes, se ha observado que la resistencia  $r_L$  presenta una dependencia con la frecuencia. Por ello, se ha optado por distinguir la disipación provocada por la componente continua y la componente alterna de la corriente.

Así, la potencia disipada queda de la siguiente manera:

$$P_{Disipada\ en\ L} = r_{L,DC} \langle i_L \rangle^2 + r_{L,AC} i_{L,AC,RMS}^2 \quad (26)$$

- **Disipación de potencia en el condensador**

Dado que el condensador no conduce en corriente continua en régimen permanente, la corriente que circula por él es exclusivamente de componente alterna.

Como el condensador presenta una la resistencia  $r_{ESR}$ , el cálculo de la potencia disipada se puede realizar aplicando la ley de Joule.

$$P_{Disipada\ en\ C} = r_{ESR} I_{C,rms}^2 \quad (27)$$

Siguiendo con el desarrollo de la ecuación (27) y tomando en cuenta el área de la curva  $i_c$ , representada en la figura 4, se puede calcular la potencia disipada como:

$$P_{Disipada\ en\ C} = r_{ESR} * \left( D * I_{OUT}^2 + (1 - D) * \left( \langle i_L \rangle - I_{OUT} \right) + \frac{\Delta i_L^2}{12} \right) \quad (28)$$

#### 4.1.4 Funcionamiento en modo discontinuo

En el modo discontinuo de conducción, la corriente en la inductancia  $i_L$  se anula durante parte del ciclo. Esto ocurre cuando el valor medio de la corriente es suficientemente bajo como para que, durante el tiempo OFF, se requiera que la corriente circule en sentido inverso al diodo, lo cual no es posible debido a su naturaleza unidireccional.

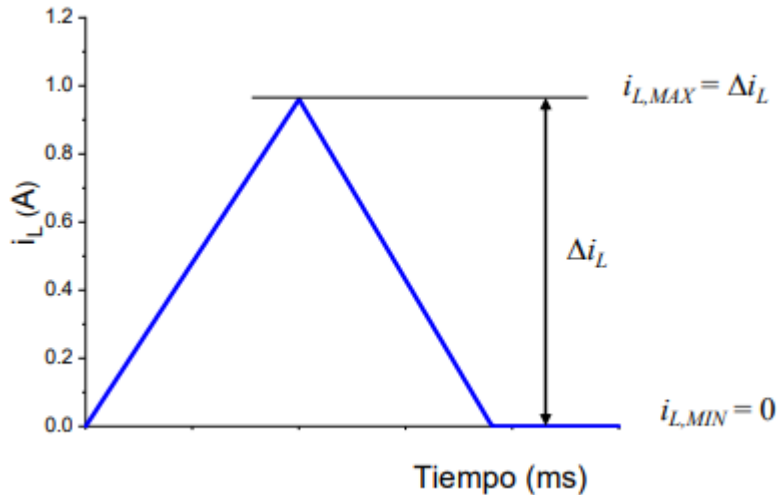


Figura 6: Forma típica de la corriente  $i_L$  en funcionamiento en modo discontinuo [3]

La figura 6 muestra la forma de la corriente  $i_L$  en funcionamiento en modo discontinuo. Se observa cómo al finalizar el tiempo de conducción (ON), la corriente cae hasta cero, y permanece anulada durante un intervalo de tiempo, hasta que la conmutación la hace de nuevo positiva.

Para garantizar que el convertidor opere en modo continuo, es necesario que la corriente de salida sea mayor o igual a un valor límite denominado  $I_{OB}$ , correspondiente al punto de transición entre el modo continuo y discontinuo. El valor de  $I_{OB}$ , sin detallar aquí su deducción, puede expresarse como:

$$I_{OB} = \frac{D(1 - D)^2 V_{OUT} T_S}{2L} \quad (29)$$

## 4.2 Teoría control en modo de corriente

Antes de abordar los elementos necesarios para implementar el control en modo corriente, es fundamental entender el funcionamiento del convertor *boost* dentro de este tipo de control, así como identificar las señales que proporciona y que serán empleadas en el sistema de control.

- **Etapas de potencia y señal  $I_{SENSE}$**

Esta etapa es la correspondiente al convertor *boost*, añadiendo una resistencia  $R_{SENSE}$  entre la fuente del MOS y tierra.

Debido a la posición en la que se encuentra  $R_{SENSE}$ , la corriente que circula por dicha resistencia será la corriente del MOS, que como se ha comentado en el apartado 4.1.1, es una señal proporcional a la corriente de la inductancia  $i_L$  durante el tiempo ON.

Por tanto, al ser una resistencia, disipará una potencia no despreciable, cuya ecuación es la siguiente:

$$P_{r_{SENSE}} = R_{SENSE} * I_{RMS, MOSFET}^2 \quad (30)$$

Esta señal  $I_{SENSE}$  se utiliza en el comparador, como se explicará en este apartado más adelante.

Una vez comprendido el papel del convertor *boost* dentro del control en modo de corriente, se procede a explicar este último. El objetivo principal del control en modo de corriente es el control de la tensión de salida a partir de la corriente de la inductancia, todo mediante una doble realimentación: una de ellas en la tensión de salida y otra en la corriente de la inductancia.

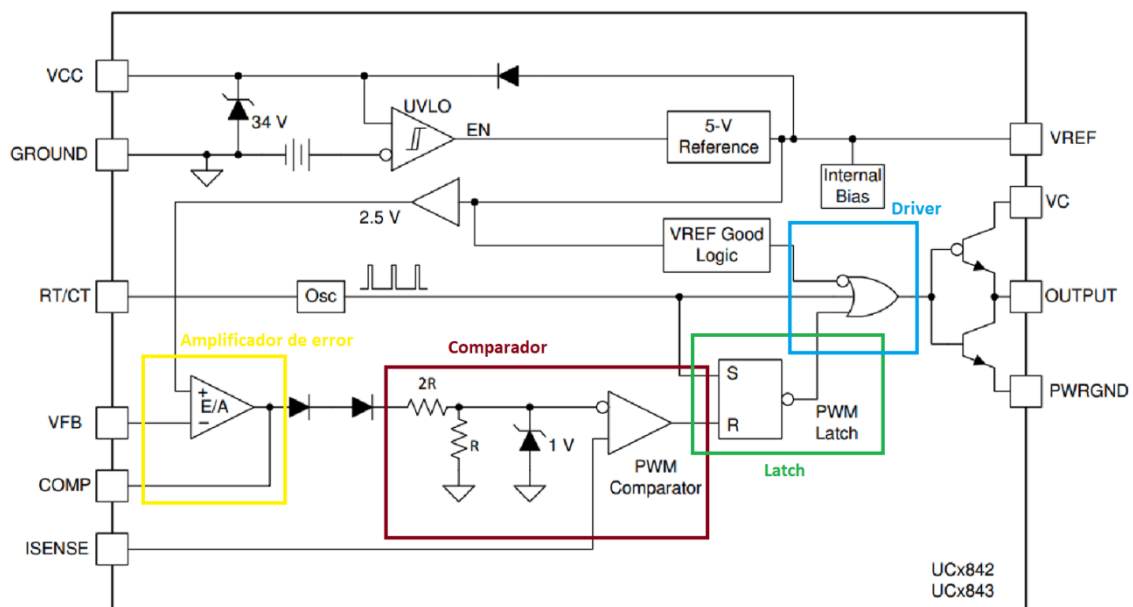


Figura 7: Esquema del control en modo de corriente del chip UC3843 [5]

En la figura 7 se muestran las distintas etapas del control en modo de corriente del chip UC3843. A continuación, se procederá a detallar cada etapa de manera individual:

- **Amplificador de error**

El amplificador de error tiene dos entradas: una fija, correspondiente a una tensión de referencia  $V_{REF}$  (igual a 2.5 V en este circuito integrado), y otra variable, denominada  $V_{FB}$ , que es proporcional a la tensión de salida  $V_{OUT}$ .

La señal  $V_{FB}$  se obtiene multiplicando  $V_{OUT}$  por un factor  $K_{FB}$ , definido por un divisor de tensión, con el objetivo de que dicha señal iguale el valor de referencia.

$$V_{FB} = V_{OUT} K_{fb} = V_{REF} \quad (31)$$

Dado que el amplificador se diseñan con alta ganancia en continua, cualquier diferencia entre  $V_{FB}$  y  $V_{REF}$  se amplifica y corrige automáticamente, forzando que ambas señales coincidan en régimen permanente.

La salida del amplificador genera la señal que determinan la anchura de los pulsos de control, modulando así el ciclo de trabajo para mantener  $V_{OUT}$  en el valor deseado.

Además, este amplificador requiere una compensación de fase, ya que este tiene un desfase intrínseco de  $90^\circ$  asociado a su comportamiento, que, sumado al desfase de la etapa de potencia puede superar los  $180^\circ$ . Esto daría lugar a condiciones de inestabilidad en el lazo de control si no se aplica una red de compensación adecuada.

La salida del amplificador, a la cual se llamará  $i_L^*$ , servirá como nivel de referencia para la corriente de la inductancia (siendo esta salida un nivel de voltaje).

- **Comparador**

Se compara la señal  $i_{SENSE}$  procedente de la etapa de potencia, con el valor de referencia generado por el amplificador de error.

Al comienzo de cada ciclo (suponiendo que se comienza con el tiempo ON), la corriente de la inductancia incrementa progresivamente. Mientras que esta señal no alcance o supere el valor de referencia  $i_L^*$ , el comparador mantiene su salida en nivel bajo.

Cuando la señal alcance la referencia, la salida del comparador producirá un nivel alto, lo que marca el fin del tiempo ON.

- **Latch**

Elemento que genera la señal  $V_{PWM}$  (señal cuadrada), necesaria para el control de los interruptores de la etapa de potencia.

El pulso cuadrado generado en el *Latch* se mantiene en alto hasta que la salida del comparador cambia de 0 a un nivel alto. Este cambio funciona como una señal *reset* en el *Latch*, haciendo que este pase a nivel bajo.

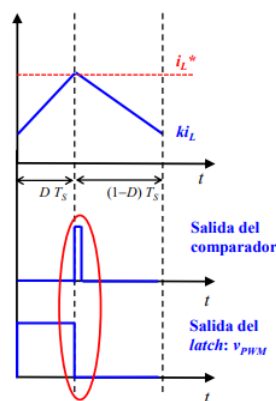


Figura 8: Valor de salida del Latch en función de la salida del comparador y de la corriente de la inductancia  $i_{SENSE}$  [3]

En la figura 8 muestra el pulso generado por el comparador cuando  $i_{L}$ , o como se ha llamado en el *datasheet*  $I_{SENSE}$ , alcanza el valor de salida del amplificador de error  $i_L^*$ . Cuando se genera el pulso en el comparador, el *Latch* hace *reset*, pasando su salida de un nivel alto a un nivel bajo.

- **Driver**

Como el *Latch* no proporciona la corriente suficiente para lograr una conmutación rápida del transistor, es necesario emplear un *Driver*. Este circuito tiene la función de amplificar la corriente de la señal de control, y así garantizar tiempos de conmutación reducidos en el MOS.

La salida OUTPUT del circuito integrado (representado en la Figura 8) es la señal de pulsos que controla directamente la puerta del transistor, alternándolo entre los estado de conducción y corte.

## 5. Diseño

### 5.1 Especificaciones

Para el desarrollo del convertor, se propusieron una serie de objetivos que el convertor debe cumplir:

- Voltaje de entrada  $V_{IN}$  entorno a 12.5 V.
- Voltaje de salida  $V_{OUT}$  igual a 25 V.
- Potencia máxima de salida 25 W.
- Una corriente de entrada  $I_{IN,DC}$  máxima de 2 A.
- Condición de funcionamiento en modo continuo.
- Uso de componentes de montaje en orificio pasante.
- Uso del control en modo de corriente.
- Rizado de salida  $< 1 \%$ .

El primer paso en el diseño es la selección del circuito integrado. En este caso, el uso del control en modo de corriente, junto con la especificación del uso de componentes de montaje en orificio pasante limita significativamente las opciones disponibles.

Entre las alternativas viables se encuentran los controladores UC3843 y UC3845, ambos compatibles con el control en modo de corriente.

A priori, se opta por el UC3843 por su capacidad para trabajar con un mayor rango de tensiones de entrada, ya que, a diferencia del UC3845, no impone una limitación en el ciclo de trabajo máximo, lo que aporta mayor flexibilidad.

A continuación se muestra el esquema completo del montaje que se llevará a cabo, cuya configuración se mostrará en detalle más adelante:

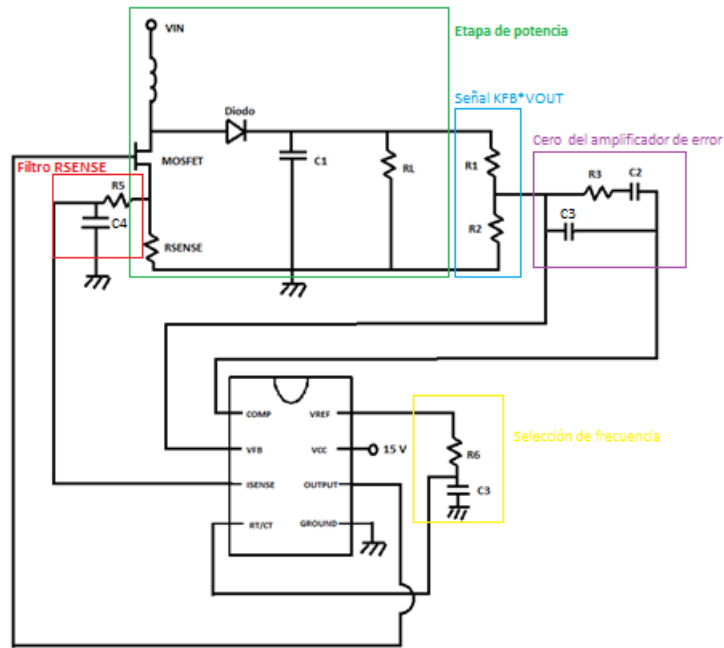


Figura 9: Esquema del convertor boost con control en modo de corriente basado en el UC384X

Donde mediante colores se han separado los componentes en función de las distintas señales que proporcionan. Tanto el filtro  $R_{SENSE}$  como la resistencia y el condensador de la selección de frecuencia serán explicados más adelante.

## 5.2 Elección de frecuencia de oscilación

Para determinar las frecuencias de oscilación a las cuales puede trabajar el chip, se ha de observar su *datasheet*. Según este, la frecuencia máxima admisible es de 500 KHz, siendo 100 KHz el valor recomendado.

Dado que no existe un valor mínimo dado por el *datasheet* para la elección de frecuencia, se seleccionan 50 KHz como frecuencia de oscilación. Una de las razones principales es evitar frecuencias excesivamente altas, ya que el montaje se realizará en placa de entrenador en lugar de diseñar una placa adecuada para operar a altas frecuencias.

Una vez seleccionada la frecuencia, se ha de buscar tanto el condensador como la resistencia que permitan ajustarla.

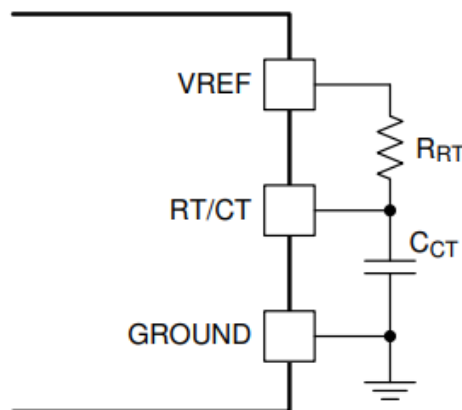


Figura 10: Modo de limitar la frecuencia de oscilación según el fabricante [5]

En la figura 10 se comprobó como mediante la resistencia  $R_{RT}$  y el condensador  $C_{CT}$  se puede controlar la frecuencia de oscilación.

Para buscar ambos componentes, se comprueba la gráfica dada por el *datasheet*:

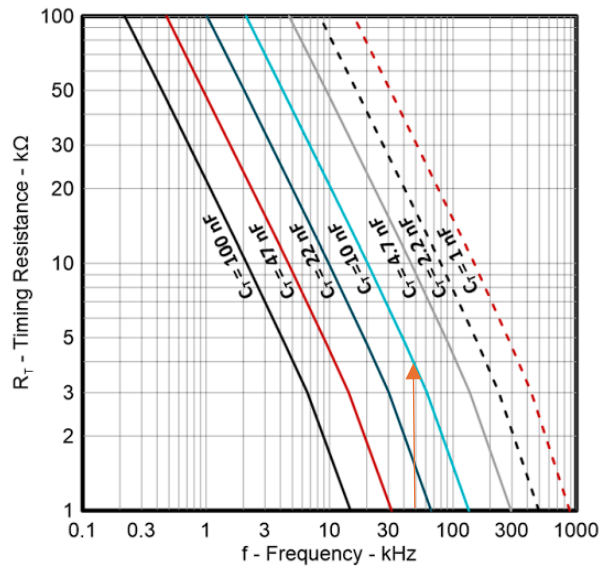


Figura 11: Resistencia y condensador frente a frecuencia [5]

En la figura 11 se representa la gráfica dada por el fabricante que relaciona la  $R_{RT}$  y  $C_{CT}$  frente a la frecuencia de oscilación. Donde la flecha roja indica el punto seleccionado a 50 KHz.

Para una  $f_{osc} = 50$  KHz se elige un condensador de 10 nF, lo que coincide con una resistencia de 4 KΩ.

La elección de este condensador genera un *Dead time* de alrededor de 1.75 μs:

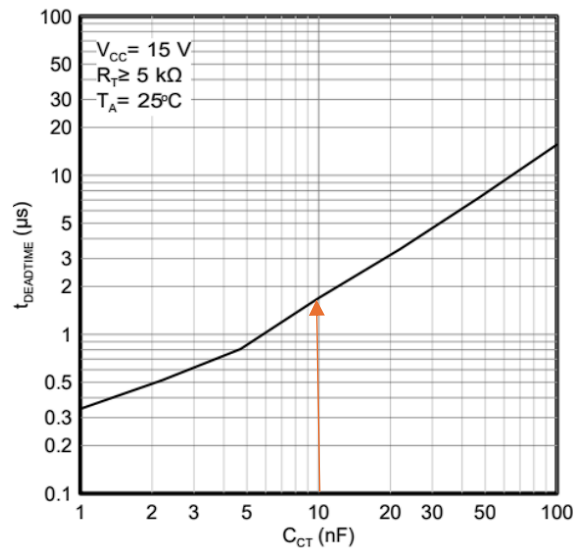


Figura 12: Dead Time frente a capacidad de condensador [5]

En la figura 12 se muestra el *Dead Time* asociado a la capacidad de 10 nF elegida. El oscilador interno del chip, limita el ciclo de trabajo en función del *Dead Time* y la  $f_{osc}$  de la siguiente manera:

$$D_{MAX} = 1 - \left( t_{DEADTIME} * \frac{f_{osc}}{2} \right) \quad (32)$$

Sustituyendo por los valores elegidos,  $D_{MAX} = 0.956$ , es decir, el ciclo máximo de trabajo que se podría tener es de un 95.6%.

### 5.3 Consideraciones previas sobre la potencia

Previo a seleccionar cada componente se ha de estimar la potencia máxima disipada en cada componente. Esta estimación permitirá fijar valores máximos de sus resistencias internas, lo cual será un criterio clave durante el proceso de elección.

Para hacer dicha estimación se fija un objetivo de rendimiento mínimo del 90%. Dado que la potencia máxima de salida se alcanza cuando  $R_L$  toma como valor  $25 \Omega$  y  $V_{OUT} = 25V$ , el valor de  $V_{OUT}$  es de 25 W. Por tanto, la potencia total máxima que puede ser disipada para cumplir el objetivo del rendimiento es de 2.5 W.

Esta disipación de potencia se reparte entre la inductancia, el condensador, el MOSFET y el diodo de la siguiente manera:

- Inductancia: Disipación máxima de 0.6 W, considerando que la potencia disipada en su resistencia serie debe ser, como mucho, el doble de la disipada por el MOSFET en DC. Esto se debe a que, en condiciones de máxima potencia de salida, el ciclo de trabajo no puede superar 0.5, lo que implica que la corriente eficaz al cuadrado del MOSFET, como mucho, será la mitad que la de la inductancia. Esto se aprecia en la ecuación (18), donde se comprueba como la corriente eficaz es proporcional a  $D$ .
- Condensador: Disipación máxima de 0.1 W, ya que solo disipa la componente alterna.
- MOSFET: Disipación máxima de 0.6 W, 0.3 W del total en el término DC, y 0.3 W en término de conmutación.
- Diodo: Disipación máxima de 1.2 W, porque tiene una caída de tensión inevitable.

Donde el objetivo de rendimiento del 90% no tiene en cuenta la existencia  $R_{SENSE}$ .

A continuación, se realizan cálculos asociados a la disipación de potencia en los componentes comentados previamente. Todos estos cálculos se harán suponiendo el peor de los casos posibles.

#### 5.3.1 Consideraciones sobre la inductancia

Como primera consideración, se debe asegurar la condición de funcionamiento en modo continuo. Haciendo uso de la ecuación (29), suponiendo que el valor de  $I_{OB}$  es igual al valor de la corriente de salida  $I_{OUT, min} = 0.5 A$ , y que el peor de los casos se da cuando el ciclo de trabajo es  $D = \frac{1}{3}$ , se obtiene el valor de la inductancia  $L$  necesario:

$$L \geq 74.1 \mu H$$

A continuación, se sustituye el valor de  $V_{OUT}$  de la ecuación (8) en la ecuación (4) para evitar que la variación total de la corriente dependa de  $V_{IN}$ :

$$\Delta iL = \frac{D(1-D)V_{OUT}T_S}{L} \quad (33)$$

Utilizando la ecuación (33), sustituyendo el valor de  $L$  mínimo calculado,  $D = 0.5$  (correspondiente al valor máximo), se obtiene la variación total de la corriente  $\Delta iL = 1.6875 A$ .

Por otro lado, utilizando la ecuación (25) y los valores previamente calculados, teniendo en cuenta que  $\langle iL_{max} \rangle = 2 A$  y la disipación de potencia máxima asignada de 0.6 W, se puede despejar  $r_L$  resultando:

$$r_L \leq 0.1416 \Omega$$

Finalmente, se estima el valor mínimo de corriente que tiene que soportar la inductancia. Este valor será la suma de la corriente media más mitad de la variación total de la corriente de la inductancia, resultando:

$$I_{soportada\ min} = \langle iL_{max} \rangle + \frac{\Delta iL}{2} = 2.84 A$$

### 5.3.2 Consideraciones sobre el condensador

Siguiendo con los objetivos propuestos, se debe calcular el valor mínimo del condensador que cumpla la característica de rizado establecida, así como el valor máximo de resistencia en serie admisible, respetando la disipación de potencia establecida.

En primer lugar, se calcula el área de la corriente del condensador cuando esta es negativa, utilizando la ecuación (14), lo que da como resultado un área de  $10 \cdot 10^{-6} C$ . Para este cálculo se ha elegido un valor de  $R_L = 25 \Omega$ , valor el cual disipa la  $P_{OUT}$  máxima (25 W)

A continuación, se sustituye la ecuación (14) en la (13) y, despejando el valor del condensador, se obtiene:

$$C_{Mínimo} = 40 \mu F$$

Una vez establecido este valor, se calcula la resistencia serie máxima permitida, para no superar la disipación de potencia asignada. Utilizando la ecuación (28) y considerando:

1. La potencia máxima disipada:  $P = 0.1 W$ .
2. El valor medio de la corriente de la inductancia:  $\langle iL \rangle = 2 A$ .
3. La variación total de la corriente:  $\Delta iL = 1.6875 A$ .
4. Corriente de salida:  $I_{OUT} = 1 A$ .
5. Caso más desfavorable:  $D = 0$ .

Se obtiene el siguiente valor:

$$r_{ESR} \leq 81 m\Omega$$

### 5.3.3 Consideraciones sobre el MOSFET

A partir de la disipación de potencia máxima asignada al MOSFET en conducción (0.3 W), se puede determinar el valor de la resistencia en serie  $R_{DS,ON}$  máximo admisible.

Utilizando la ecuación (18) y despejando  $R_{DS,ON}$ , se obtiene:

$$R_{DS,ON} \leq 0.1416 \Omega$$

Donde se ha tomado  $\Delta iL = 1.6875 A$ ,  $\langle iL \rangle = 2 A$  y  $D = 0.5$ , correspondiente al caso de máxima potencia de salida ( $P_{OUT} = 25 W$ )

Por definición, la tensión  $V_{DS,OFF}$  es la tensión entre drenador y fuente cuando el MOSFET está en estado OFF y el diodo en ON. En el convertidor *boost* la tensión es directamente  $V_{OUT}$ . Por tanto, el valor mínimo de tensión  $V_{DS,OFF}$  que debe soportar es de 25 V.

Por último, se tiene que definir la corriente mínima que tiene que soportar el MOSFET. Esta corriente es la misma que la que tiene que soportar la inductancia, resultando:

$$I_{soportada\ min} = 2.84\ A$$

### 5.3.4 Consideraciones sobre el diodo

A partir de la disipación de potencia máxima asignada, y considerando que el diodo es tipo Schottky, que no tiene unos tiempo de conmutación apreciables, se puede aproximar la disipación de potencia utilizando la ecuación (24). Despejando la tensión asociada al valor medio de la corriente que circula por el diodo ( $\langle i_L \rangle = 2\ A$ ), se obtiene el siguiente límite:

$$v_{caída\ diodo} \leq 0.6\ V$$

Del mismo modo que en el MOSFET, la corriente mínima que tiene que soportar el diodo es la misma que la soportada por la inductancia, siendo:

$$I_{soportada\ min} = 2.84\ A$$

## 5.4 Elección de componentes y disipación de potencia

Conociendo las limitaciones calculadas anteriormente, se procede a caracterizar distintos componentes para conocer si su elección es válida.

- Elección inductancia:

Se comienza caracterizando la inductancia 744707 WE-FE *Toroidal Choke*, de 100µH, 35  $V_{max}$ , disponible en el laboratorio:

Tabla 1: Caracterización de inductancia

Frecuencia	50 Hz	100 Hz	500 Hz	1000 Hz	5000 Hz	10000 Hz	50000 Hz	100000 Hz
Valor L	90 µH	93 µH	95 µH	94 µH	94 µH	94 µH	93 µH	92 µH
Valor $r_L$	0.027 Ω	0.031 Ω	0.031 Ω	0.034 Ω	0.066 Ω	0.120 Ω	1.050 Ω	3.250 Ω

Donde se observa en la Tabla 1 como  $L \geq 74.1\ \mu H$  en la frecuencia de oscilación. Además, se comprueba como la resistencia  $r_{L,DC}$  cumple la limitación calculada anteriormente. Por último, en el *datasheet* [6] se comprueba como soporta una corriente máxima de 6 A, superior a la mínima calculada.

A continuación, se calcula la potencia real disipada por la inductancia. Dado que la resistencia  $r_L$  presenta una dependencia con la frecuencia, se emplea la ecuación (26) para obtener una estimación precisa:

$$P_L = 0.25 W$$

Utilizando  $\Delta iL = 1.25 A$ , correspondiente a la variación de la corriente de la inductancia con  $L = 100 \mu H$  y donde la resistencia  $r_{L,DC}$  es la correspondiente en baja frecuencia (a 50 Hz). Se comprueba como la estimación de la potencia disipada era válida.

- Elección condensador:

Una vez seleccionada la inductancia, se caracterizan los condensadores disponibles en el laboratorio:

Tabla 2: Caracterización de condensadores disponibles

Frecuencia	C 220 $\mu$ F 50V <sub>max</sub>		C 470 $\mu$ F 63V <sub>max</sub>		C 1mF 63V <sub>max</sub>	
	Valor C	Valor $r_{ESR}$	Valor C	Valor $r_{ESR}$	Valor C	Valor $r_{ESR}$
50 Hz	212 $\mu$ F	0.480 $\Omega$	440 $\mu$ F	0.195 $\Omega$	970 $\mu$ F	0.097 $\Omega$
100 Hz	209 $\mu$ F	0.320 $\Omega$	441 $\mu$ F	0.135 $\Omega$	967 $\mu$ F	0.074 $\Omega$
500 Hz	204 $\mu$ F	0.160 $\Omega$	450 $\mu$ F	0.087 $\Omega$	1 mF	0.054 $\Omega$
1000 Hz	202 $\mu$ F	0.150 $\Omega$	430 $\mu$ F	0.078 $\Omega$	950 $\mu$ F	0.051 $\Omega$
5000 Hz	190 $\mu$ F	0.130 $\Omega$	430 $\mu$ F	0.072 $\Omega$	960 $\mu$ F	0.048 $\Omega$
10000 Hz	190 $\mu$ F	0.126 $\Omega$	440 $\mu$ F	0.071 $\Omega$	1.08 mF	0.048 $\Omega$
50000 Hz	280 $\mu$ F	0.125 $\Omega$	440 $\mu$ F	0.071 $\Omega$	1.08 mF	0.048 $\Omega$
100000 Hz	280 $\mu$ F	0.125 $\Omega$	440 $\mu$ F	0.071 $\Omega$	1.08 mF	0.048 $\Omega$

Se elige el condensador de 1 mF, ya que, aunque el de 470  $\mu$ F también tiene una resistencia en serie menor que el límite calculado (0.12  $\Omega$ ), el condensador de 1 mF ofrece una menor resistencia serie a 50 KHz. Ambas opciones son válidas al tener  $r_{ESR}$  menor que el límite calculado en las consideraciones sobre el condensador.

No se consideran los valores de  $r_{ESR}$  a muy baja frecuencia, ya que en ese régimen la impedancia capacitiva  $\frac{1}{\omega C}$  es mucho mayor que la resistencia serie, lo que implica que prácticamente no circula corriente alterna a través del condensador. En cambio, a la frecuencia de conmutación (50 KHz),  $\frac{1}{\omega C}$  es suficientemente baja como para que la resistencia en serie  $r_{ESR}$  se convierta en el factor dominante, siendo este el valor que se utiliza para estimar la disipación de potencia real.

Habiendo elegido el condensador de 1mF, sabiendo que su  $r_{ESR}$  a 50 KHz es de 0.048  $\Omega$ , se calcula la potencia disipada por este. Haciendo uso de la ecuación (28) se obtiene el siguiente valor:

$$P_{Disipada\ en\ c} = 0.051 W$$

Comprobándose así como la potencia disipada en C es menor que la potencia asignada en las consideraciones previas.

- Elección MOSFET:

En el laboratorio están disponibles los transistores IRF5XN. Se acaba optando por el IRF530N, transistor con una  $R_{DS,ON}$  menor que el límite calculado, un voltaje  $V_{DS,OFF}$  que soporta al menos 25 V y que soporta una corriente mayor que 2.84 A.

Según el *datasheet* [8], este transistor tiene una resistencia en serie entre drenador y fuente  $R_{DS,ON} = 90 \text{ m}\Omega$ , un valor máximo de corriente de drenador  $I_D = 17 \text{ A}$  y un voltaje drenador – fuente máximo  $V_{DS} = 100 \text{ V}$ .

Teniendo estos valores, se calcula la potencia DC disipada en el transistor. Haciendo uso de la ecuación (19) se llega al siguiente valor:

$$P_{MOS,DC} = 0.18 \text{ W}$$

Una vez verificado que la disipación de potencia en conducción (DC) es inferior al límite asignado, se procede a calcular la disipación de potencia en conmutación, con el objetivo de comprobar si esta también se mantiene por debajo de los 0.3 W estimados.

En el *datasheet* [8] del transistor IRF530N se proporcionan los tiempos de subida y de bajada con un voltaje puerta fuente  $V_{GS}$  de 10 V y una resistencia  $R_G$  de 12  $\Omega$ , lo que genera una corriente de 0.83 A.

Como el integrado proporciona una corriente de salida de 1 A, la corriente utilizada y la dada por el fabricante difieren. Debido a esta diferencia se debe hacer un ajuste proporcional para trabajar con tiempos de subida y bajada más cortos:

$$\text{Factor de corrección} = \frac{\text{Corriente utilizada}}{\text{Corriente dada por fabricante}} = \frac{1}{0.83} = 1.2$$

Por tanto, tanto el  $t_{ri} = 22 \text{ ns}$  como el  $t_{rv} = 25 \text{ ns}$  han de ser divididos por el factor de corrección, quedando de la siguiente manera:  $t_{rv} = 18.33 \text{ ns}$  y  $t_{ri} = 20.83 \text{ ns}$

A continuación, se calcula el valor máximo y mínimo de la corriente de la inductancia, así como  $V_{DS,OFF}$  utilizando la ecuación (20), (21) y (22), obteniendo:

$$i_{L,max} = 2.62 \text{ A}$$

$$i_{L,min} = 1.37 \text{ A}$$

$$V_{DS,OFF} = 25 \text{ V}$$

Utilizando la fórmula de la potencia disipada en conmutación según la ecuación (23):

$$P_{Conmutación} = 0.1 \text{ W}$$

Comprobándose como la potencia real teórica disipada en el transistor es menor que la asignada.

- Elección diodo:

Por último, se hace la elección del diodo que cumpla las limitaciones previas calculadas. Se selecciona el diodo 1N5822 por ser tipo Schottky con baja caída de tensión directa y tiempos de conmutación despreciables. Además, su capacidad de conducción (3 A) ofrece un margen de seguridad adecuado frente a los valores de corriente del diseño.

Consultando la gráfica que relaciona la caída de tensión con la corriente del diodo en el *datasheet* [7]:

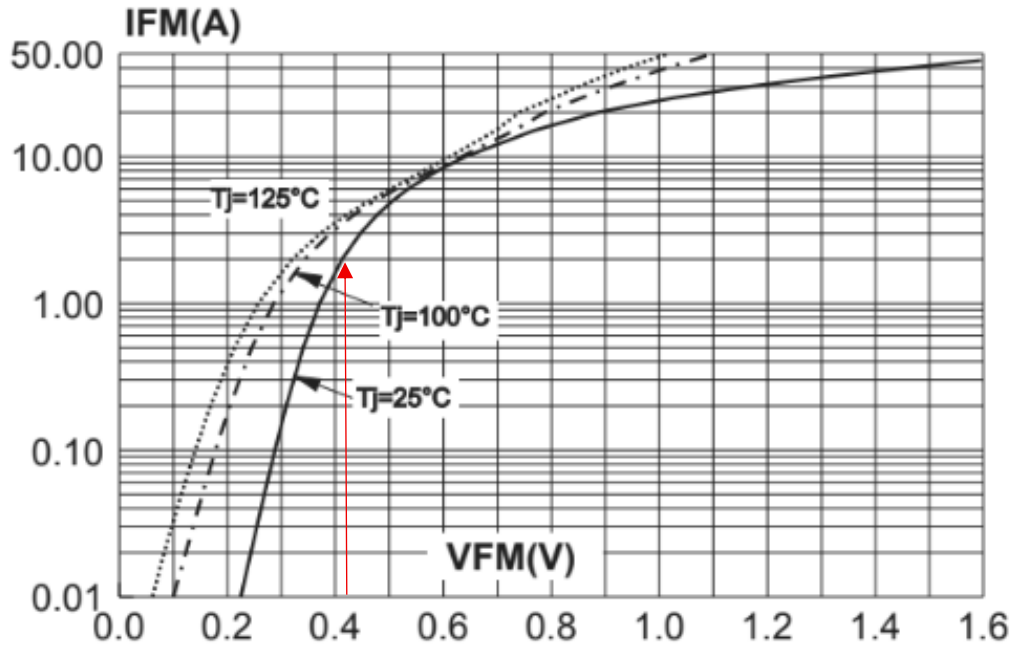


Figura 13: Caída de voltaje frente a corriente del diodo [7]

Donde la flecha roja que aparece en la figura 13 marca el punto elegido.

Se toma una corriente de 2 A ya que el valor medio de la corriente que circula por el diodo es de 2 A, correspondiente según la gráfica a 0.425 V (Valor de voltaje menor que el límite calculado en las consideraciones sobre el diodo).

Se calcula la potencia disipada según la ecuación (24), pero teniendo en cuenta que el diodo solo disipa en el tiempo correspondiente a (1-D):

$$P_{Diodo} = 0.85 W * (1 - D) = 0.425 W$$

Valor menor que los 1.2 W asignados en las consideraciones previas.

Comprobándose así como todos los componentes elegidos cumplen las limitaciones calculadas anteriormente.

- Elección  $R_{SENSE}$ :

Como el voltaje máximo que soporta el terminal  $V_{ISENSE}$  es de 1 V, la corriente máxima que circula por  $R_{SENSE}$  multiplicado por  $R_{SENSE}$  debe ser menor o igual que 1, es decir:

$$\langle i_{L,max} \rangle R_{SENSE} \leq 1 V \rightarrow R_{SENSE} \leq 0.38 \Omega$$

Donde  $\langle i_{L,max} \rangle = 2.62 A$ .

Por último, se calcula la disipación de potencia generada por  $R_{SENSE}$ , siendo esta igual a 0.25  $\Omega$ . Siguiendo la ecuación (30) se obtiene:

$$P_{R_{SENSE}} = 0.51 W$$

- Elección de filtro  $V_{ISENSE}$ :

Según el *datasheet* [5] es necesario el uso de un filtro RC en la entrada  $I_{SENSE}$  para evitar disparos falsos debido a ruidos transitorios generados durante la conmutación del MOSFET.

Para la elección de este filtro paso bajo se toma una frecuencia de corte alta (500 KHz), para eliminar el ruido sin dañar la señal útil de corriente. Se crea el filtro siguiendo la siguiente ecuación:

$$f_{Corte} = \frac{1}{2\pi RC} \quad (34)$$

Se selecciona una resistencia  $R = 10 K\Omega$ . Despejando de la ecuación (34) se obtiene:

$$C = 31.8 pF$$

Por tanto, para tener una frecuencia de corte de 500 KHz se crea el filtro con una resistencia  $R = 10 K\Omega$  y un condensador  $C = 31.8 pF$ .

## 5.5 Rendimiento del conversor

Debido a las pérdidas de potencia generadas en los distintos dispositivos, el rendimiento ( $\eta$ ) del conversor no será del 100 %. Teniendo en cuenta dichas pérdidas, el rendimiento se puede calcular de la siguiente manera:

$$\eta_{totalconRSENSE} = \frac{P_{OUT}}{P_{OUT} + P_L + P_C + P_{MOS,DC} + P_{Conmutacion} + P_{Diodo} + P_{RSENSE}} = 94.2\%$$

$$\eta_{totalsinRSENSE} = \frac{P_{OUT}}{P_{OUT} + P_{MOS} + P_{Diodo} + P_{Conmutacion} + P_L + P_C} = 96.2 \%$$

Donde  $P_{OUT}$  se ha calculado de la siguiente manera:

$$P_{OUT} = \frac{V_{OUT}^2}{R_L} = \frac{25^2}{25} = 25 W$$

## 6. Simulación en lazo abierto

Para la comprobación de los cálculos de disipación de potencia realizados, se procede a realizar una simulación en lazo abierto del convertor *boost*.

Donde la resistencia en serie de la inductancia  $r_L$  ha sido ajustada mediante un factor de corrección teniendo en cuenta la potencia disipada de manera teórica y la disipada en la simulación inicial, es decir:

$$\text{Factor ajuste } r_L = \frac{\text{Potencia disipada teórica}}{\text{Potencia disipada simulada}} = \frac{0.25}{0.114} = 2.19$$

Teniendo en cuenta este ajuste, la resistencia  $r_L$  toma el siguiente valor:

$$r_L = 0.059 \Omega$$

Aunque en el cálculo teórico de las pérdidas de la inductancia se consideran por separado las componentes de corriente continua  $r_{L,DC}$  y alterna  $r_{L,AC}$ , el modelo de simulación en PSpice solo permite introducir una resistencia en serie DC. Por ello, se ha realizado este ajuste empírico sobre dicha resistencia, de manera que la potencia total disipada en la simulación coincida con la obtenida de forma teórica.

A continuación se muestra el esquema empleado para la simulación:

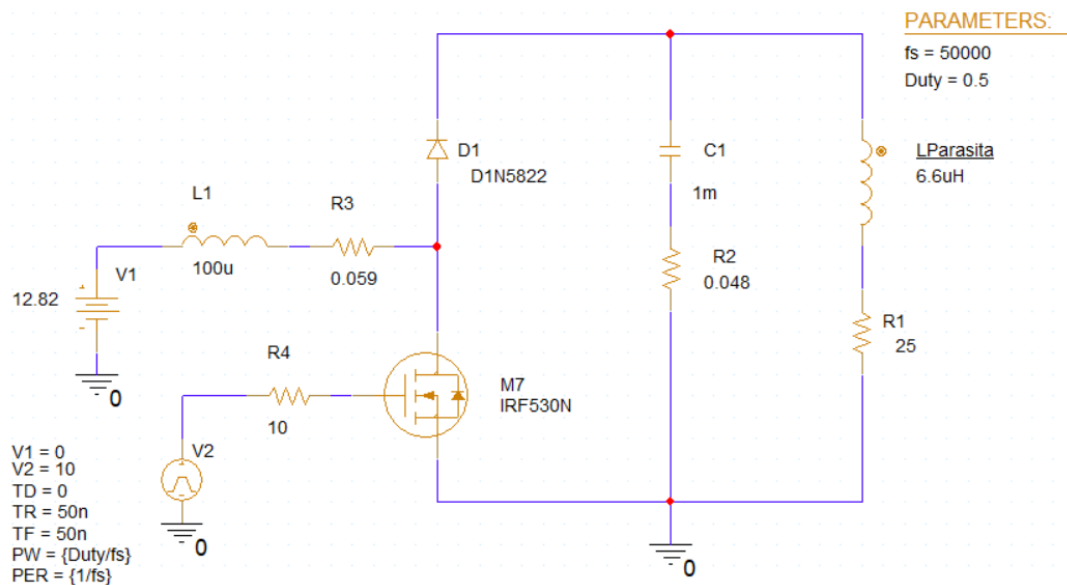


Figura 14: Esquema empleado para la simulación del convertor *boost*

En la figura 14 se ha montado el convertor *boost* con los dispositivos elegidos en el diseño. Además, se ha caracterizado la inductancia parásita de la resistencia RL obteniéndose:

$$L_{Parasita} = 6.6\mu H$$

A continuación, se simula la salida del circuito, comprobando que sea la correcta y que el rizado sea menor o igual que el 1%:

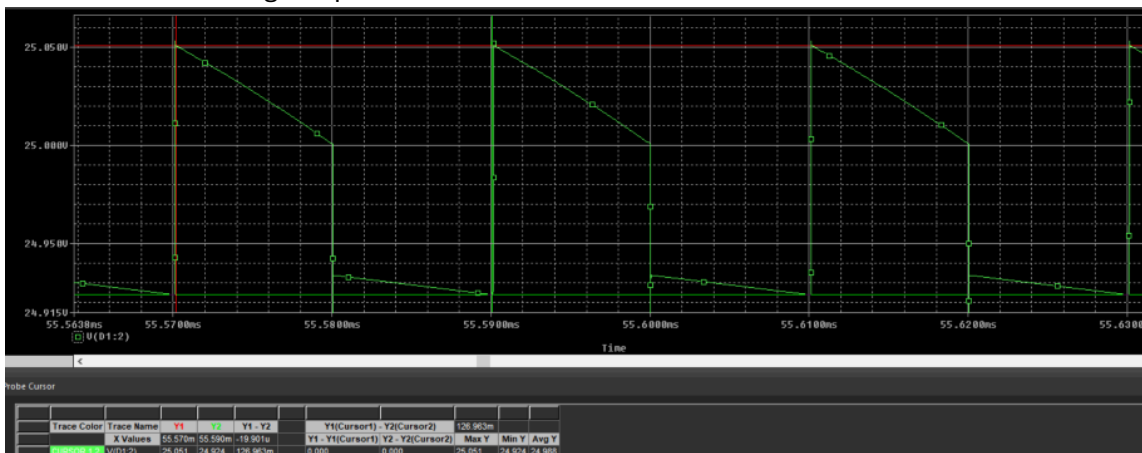


Figura 15: Rizado en la salida del sistema en lazo abierto

Se observa en la figura 15 como el voltaje de salida es el esperado, siendo el valor medio  $V_{OUT} = 24.99$  V. A continuación se comprueba como el sistema cumple con la característica de rizado propuesta:

$$Rizado = \frac{V_{max} - V_{min}}{V_{medio}} = \frac{25.05 - 24.92}{24.99} = 0.5 \%$$

Tras comprobar la tensión de salida, se observan los transitorios para comprobar que los tiempos tanto de subida como de bajada del MOSFET son los correspondientes con los calculados de manera teórica:

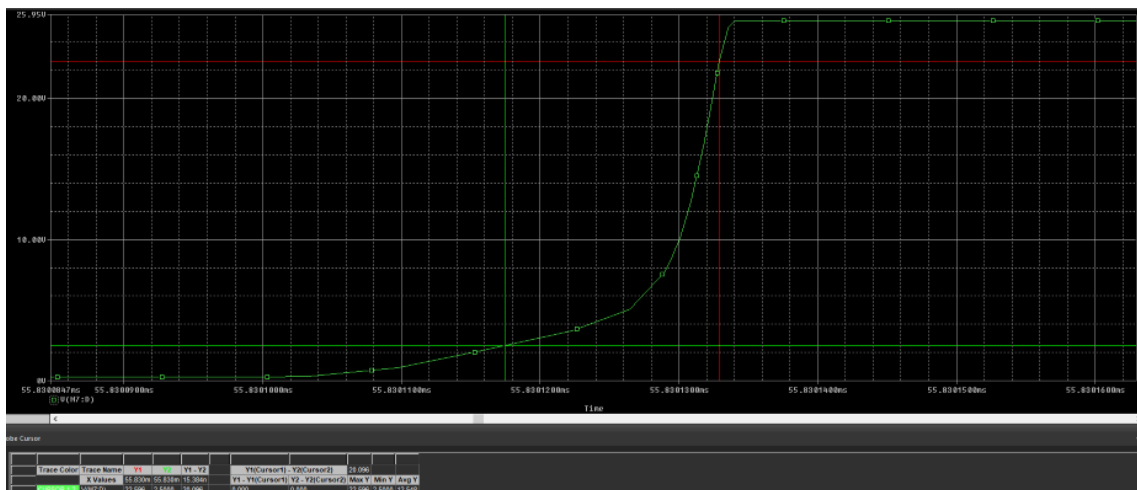


Figura 16: Transitorio del modo OFF a modo ON en lazo abierto

En la figura 16 se han marcado, mediante cursores, los instantes en los que el transitorio toma el valor del 10% y del 90%. El tiempo de establecimiento medido en la simulación es de 15.4 ns, valor ligeramente inferior al estimado teóricamente en el apartado anterior. Esta pequeña diferencia de tiempo es debida a que en el modelo PSpice, las características del diodo pueden no ser exactamente las mismas que las del utilizado.

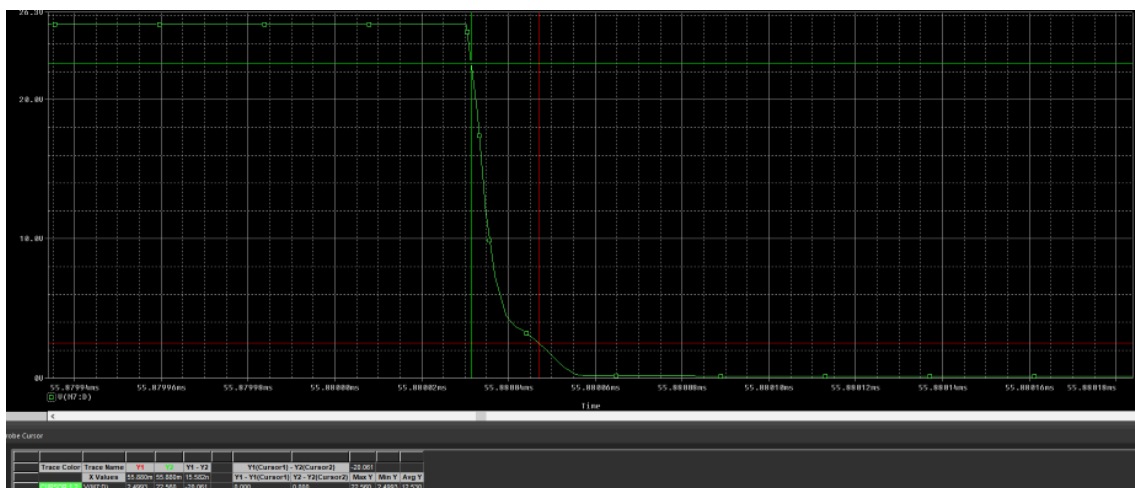


Figura 17: Transitorio del modo ON a modo OFF en lazo abierto

La figura 17 muestra el transitorio correspondiente al paso de estado ON a estado OFF en el MOSFET. Al igual que en la figura 16, el tiempo de establecimiento resulta inferior al estimado teóricamente. El tiempo de establecimiento medido es de alrededor de 15.6 ns.

Por último, se comprueban las pérdidas del circuito y se calcula el rendimiento de este. Para ello se ha de representar la transformada de Fourier del sistema y se toma el término a frecuencia 0, correspondiente con el valor medio de las señales.

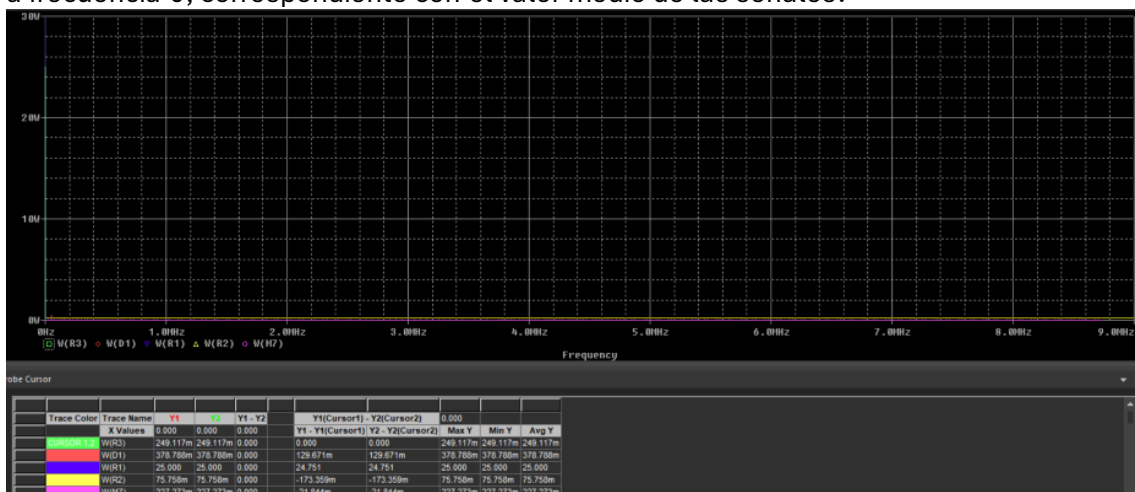


Figura 18: Representación mediante Fourier de la potencia media disipada en cada componente en la simulación en lazo abierto

Utilizando los datos proporcionados por la figura 18, se crea una tabla comparativa entre la potencia teórica disipada y la potencia disipada en la simulación.

Tabla 3: Comparativa de potencia disipada teórica y potencia disipada en simulación en lazo abierto

Componente	Potencia disipada teórica	Potencia disipada simulada
Resistencia $R_L$	25 W	25 W
Diodo	0.425 W	0.378 W
Resistencia parásita $r_L$	0.25 W	0.249 W
Resistencia $r_{ESR}$	0.051 W	0.075 W
MOSFET	0.28 W	0.227 W

En comprueba en la tabla 3 como la potencia disipada de manera teórica y la disipada en la simulación toman valores muy parecidos.

Por último, utilizando la ecuación (17) comentada en el marco teórico, se obtiene el siguiente rendimiento.

$$\eta_{simulacionLazoAbierto} = 96.4\%$$

Obteniendo un valor de rendimiento muy parecido al teórico, comprobándose así como este es correcto.

## 7. Diseño de red de compensación

Para asegurar que la tensión de salida se mantenga constante ante variaciones en la entrada, cambios térmicos en los componentes, ruido u otros factores, es imprescindible implementar un sistema de realimentación. Este sistema ajusta dinámicamente el ciclo de trabajo D de la señal  $V_{PWM}$  que controla la puerta del MOSFET (que actúa como interruptor) de la etapa de potencia, para mantener estable el valor de  $V_{OUT}$ . Donde el diagrama de bloques del sistema de realimentación es el siguiente:

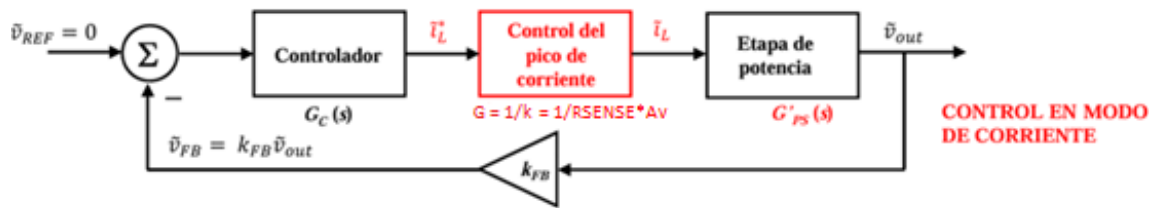


Figura 19: Bloques del modelo de pequeña señal para el control en modo de corriente [3][4]

En la figura 19, la señal de entrada  $V_{REF}$  es 0 al no tener variaciones. El bloque de controlador es el correspondiente con el amplificador de error comentado en la teoría control en modo de corriente, donde su función de transferencia  $G_c$  es lo que se procede a diseñar a continuación.

El bloque de control del pico de corriente es el correspondiente con el comparador y el *Latch*. Este tiene una ganancia:

$$G_{PC} = \frac{1}{k} = \frac{1}{R_{SENSE} Av} \quad (34)$$

Donde  $Av$  corresponde a la ganancia del amplificador de  $I_{SENSE}$  que tiene el integrado.

La ganancia  $G_{PS}$  de la Figura 19 es la función de transferencia de la etapa de potencia, tomando como salida  $V_{OUT}$  y como entrada la corriente de la inductancia.

Por último,  $k_{FB}$  debe tomarse como 1 ya que, como se comentará más adelante, en pequeña señal,  $V_{OUT}$  es directamente la entrada del amplificador de error.

El amplificador de error tiene como objetivo proporcionar una salida proporcional a la diferencia entre la tensión de referencia y la señal de realimentación. Su salida se expresa como:

$$V_c = V_{ref} + A_D (V_{ref} - k_{FB} V_{OUT}) \quad (35)$$

Donde  $A_D$  es la ganancia en continua del amplificador de error. Este se configura de modo que  $A_D$  tiende a infinito para frecuencias bajas. Bajo esta condición y en régimen permanente, el lazo de control fuerza la ecuación (31). De modo que la tensión de referencia y el coeficiente  $k_{FB}$  establecen directamente el valor deseado de la salida  $V_{OUT}$ . Esto se consigue incluyendo un polo en el origen a su función de transferencia. Sin embargo, este polo introduce un desfase de  $-90^\circ$ .

A su vez, la etapa de potencia introduce también un desfase que puede acercarse a los  $-180^\circ$  en determinadas frecuencias. La suma de desfases del controlador y la etapa de potencia puede, en algún momento, superar los  $-180^\circ$ . Cuando esto ocurre y además la ganancia del lazo es mayor o igual a 1, la realimentación inicialmente negativa se convierte en realimentación positiva, provocando inestabilidad.

Para evitar este problema, el amplificador de error no solo debe tener un polo en el origen, si no también una red de compensación que incluya uno o más ceros. Estos ceros deben situarse en una frecuencia adecuada (típicamente donde el desfase de la etapa de potencia es máximo) para proporcionar un aumento de fase  $\phi_{BOOST}$ . Este incremento de fase asegura que en la frecuencia donde la ganancia total del bucle es 1, el desfase total del sistema sea mayor que  $-180^\circ$ , cumpliendo así la condición de estabilidad.

Una vez comprendido el funcionamiento del lazo del control, se impone un margen de fase de  $60^\circ$ , valor estándar en muchos procedimientos de diseño para asegurar la estabilidad del sistema en condiciones reales de operación. Tal y como se indica en [9], “*for many practical designs, a target phase margin of  $60^\circ$  is considered good design practice*”.

El procedimiento de diseño se dividirá en 6 pasos:

### 1. Cálculo de ganancia en control de pico de corriente $G_{PC}$ y ganancia de salida $k_{FB}$ .

Estas dos ganancias son constantes y no afectan a la fase.

En primer lugar, la ganancia de salida  $k_{FB}$  en régimen de pequeña señal, se toma igual a 1. Esto se debe a que, según la configuración utilizada en este diseño, la salida entra directamente al amplificador de error sin ningún escalado adicional. Por tanto, el bloque de realimentación presenta ganancia unitaria, es decir:

$$k_{FB} = 1$$

La ganancia  $G_{PC}$  del bloque que genera los pulsos (comparador + *latch*) no es unitaria. Este bloque compara la señal de control  $V_C$ , salida del amplificador de error, con una señal proporcional a la corriente del inductor  $i_L$ , concretamente  $k \cdot i_L$ , donde  $k = R_{SENSE} \cdot A_V$ , siendo  $A_V$  la ganancia del amplificador interno del pin  $I_{SENSE}$ . Por tanto, la ganancia efectiva del bloque es  $G_{PC} = \frac{1}{k}$ .

### 2. Determinar frecuencia de corte $f_{co}$ , ganancia en esa frecuencia $G'_{PS}(f_{co})$ y fase en esa frecuencia $\phi_{PS}(f_{co})$ .

En la figura 20 muestra el circuito equivalente de pequeña señal obtención de la función de transferencia de la etapa de potencia:

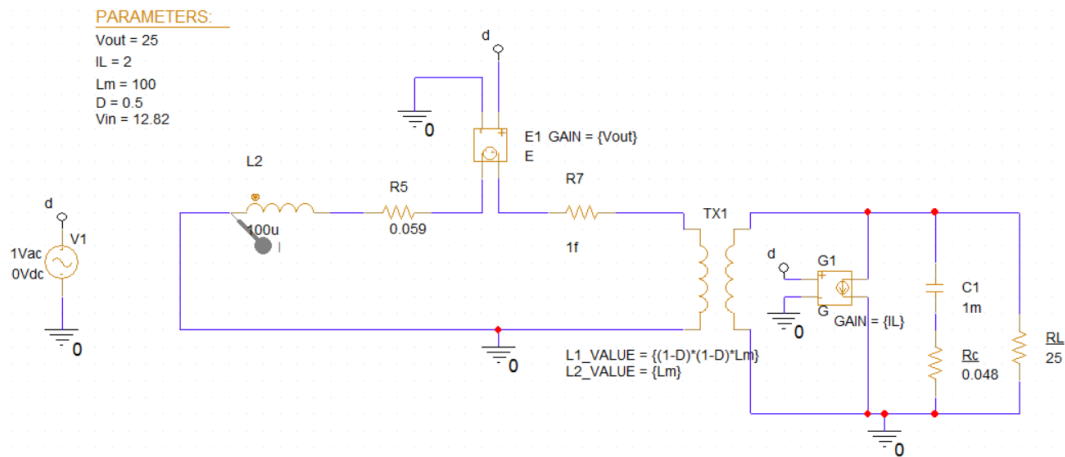


Figura 20: Circuito equivalente en pequeña señal

Donde en la figura 20 no se ha tenido en cuenta la inductancia parásita de  $R_L$ , ya que no ponerla hace que el desfase en la etapa de potencia sea mayor, lo que sitúa la simulación en el peor caso posible.

Se representa el diagrama de Bode del circuito de pequeña señal, para elegir la frecuencia de corte:

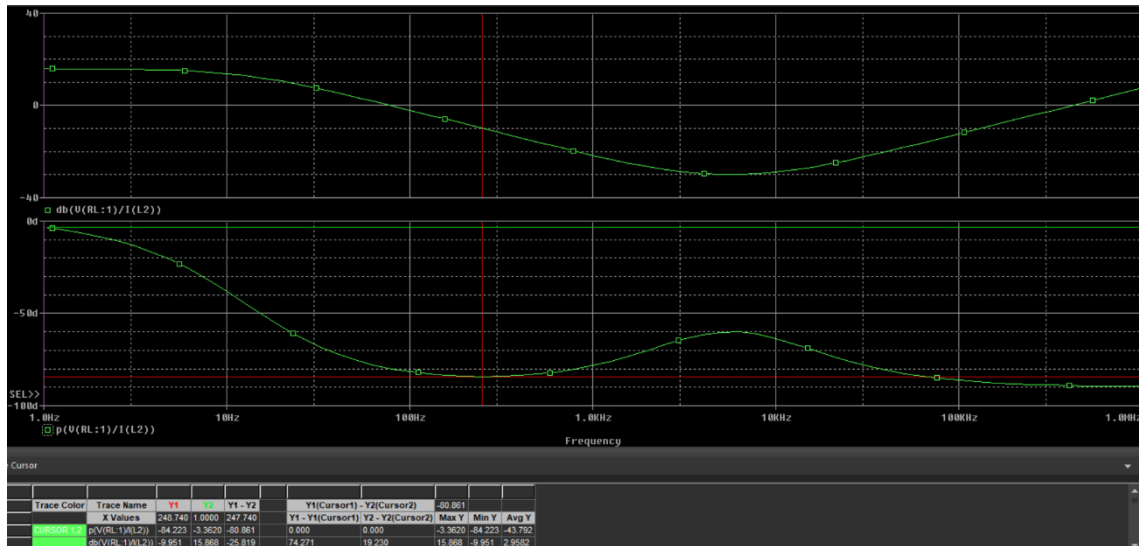


Figura 21: Diagrama de Bode del circuito de pequeña señal

En la figura 21 se elige una frecuencia de corte con máximo desfase en valor absoluto, frecuencia a la cual la ganancia total del lazo será la unidad. Tomando este valor alrededor de los 250 Hz, con una ganancia  $G_{CO}$  de -9.951 dB y un  $\phi_{PS}(f_{CO})$  de -84.22°.

Por encima de la frecuencia de corte la ganancia total del lazo será menos que la unidad y ya no habrá riesgo de comportamiento inestable a esas frecuencias.

Conociendo la ganancia en dB a esa frecuencia de corte, se hace la transformación a unidades naturales:

$$G_{CO} = 10^{-\frac{12.25}{20}} = 0.318$$

### 3. Calcular la compensación de fase $\phi_{BOOST}$ que debe proporcionar el amplificador de error

La cantidad que debe elevar la fase la red de compensación para que a la frecuencia de corte el desfase total sea  $-180^\circ + \text{Margen de fase}$  sigue la siguiente ecuación:

$$\phi_{BOOST} - 90^\circ + \phi_{PS} = -180^\circ + \text{Margen de fase} \quad (36)$$

Donde el desfase total es  $-90^\circ$  del polo del amplificador de error.  $\phi_{PS}$  es el desfase de la etapa de potencia.  $\phi_{BOOST}$  es el desfase de la red de compensación.

Haciendo uso de la ecuación (36) se puede obtener  $\phi_{BOOST}$  resultando:

$$\phi_{BOOST} = 54.22^\circ$$

### 4. Cálculo de la posición de cero y polo del amplificador de error k

Para garantizar la estabilidad del sistema, se emplea un amplificador de error con un cero y un polo, cuya función de transferencia es:

$$G_C = \frac{k_c \left(1 + \frac{s}{\omega_z}\right)}{s \left(1 + \frac{s}{\omega_p}\right)} \quad (37)$$

Donde se define el cero, el polo y el factor  $k_c$  de la siguiente forma:

$$\omega_z = \frac{1}{R_2 C_1} \quad (38)$$

$$\omega_p = \frac{C_1 + C_2}{R_2 C_1 C_2} \quad (39)$$

$$k_c = \frac{1}{R_2 (C_1 + C_2)} \quad (40)$$

Una vez conocida la función de transferencia del amplificador de error, se define el parámetro  $k$  como :

$$k = \sqrt{\frac{\omega_p}{\omega_z}} \quad (41)$$

Este valor determina la distancia entre el cero y el polo en la frecuencia central. Cuanto mayor es  $k$ , mayor es el aumento de fase  $\phi_{BOOST}$ .

Para que el aumento de fase de la red de compensación ocurra en la frecuencia de corte  $\omega_{co}$ , se colocan el cero y el polo de forma que queden equiespaciados en escala logarítmica respecto a dicha frecuencia. Esto se consigue mediante la relación:

$$\omega_z = \frac{\omega_{co}}{k}, \quad \omega_p = k \omega_{co} \quad (42)$$

Donde el máximo desfase ocurre para  $\omega_{co}$ , cuyo valor es el siguiente:

$$\phi_c(\omega_{co}) = -90 + \tan^{-1}(k) - \tan^{-1}\left(\frac{1}{k}\right) = -90 + \phi_{BOOST} \quad (43)$$

Por tanto, despejando k de la ecuación (43):

$$k = \tan\left(\frac{\phi_{BOOST}}{2} + 45\right) \quad (44)$$

Sustituyendo  $\phi_{BOOST}$  en la ecuación (44) se obtiene:

$$k = 3.09$$

Finalmente, para garantizar que la ganancia del lazo abierto sea la unidad en la frecuencia de cruce  $\omega_{co}$ , se evalúa la ganancia del amplificador de error en dicha frecuencia. Esta queda determinada por:

$$G_{co} = \frac{k_c k}{\omega_{co}} \quad (45)$$

## 5. Calcular valor $k_c$

Despejando el valor  $k_c$  de la ecuación (45) se obtiene:

$$k_c = 2390$$

$$\text{Siendo } \omega_{co} = 2\pi f_{co} = 1570 \frac{\text{rad}}{\text{s}}$$

## 6. Calcular los componentes del amplificador de error:

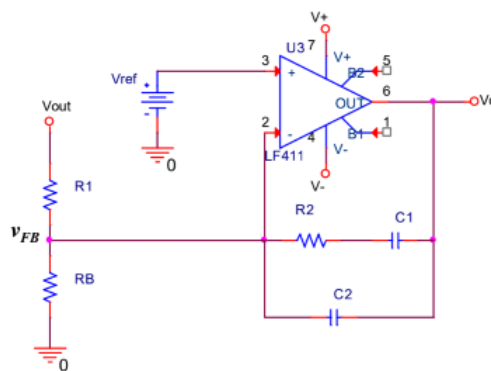


Figura 22: Amplificador de error de 1 cero [3]

En la figura 22 se muestra el amplificador de 1 cero que se va a realizar.

Desde el punto de vista de modo continuo, se tiene que ajustar el valor  $V_{FB}$  para conseguir que este sea igual a  $V_{REF}$ . Para ello se hace pasar la tensión  $V_{OUT}$  por un divisor de tensión con coeficiente  $k_{FB} = 0.1$ .

Se fija el valor de  $R_1 = 20 \text{ k}\Omega$ , siendo mucho mayor que  $R_L$ , evitando así una gran disipación de potencia y se comprueba que  $R_b$  tiene que ser  $2222\Omega$ . A continuación, se calculan el resto de componentes despejando  $C_1$ ,  $C_2$  y  $R_2$  de las ecuaciones (38), (39) y (40), obteniendo los siguiente valores:

$$C_2 = 2.18 * 10^{-9} \text{ F}$$

$$C_1 = 1.87 * 10^{-8} \text{ F}$$

$$R_2 = 105.3 \text{ k}\Omega$$

## 8. Simulación del control en modo de corriente

Tras haber realizado los cálculos necesarios para el diseño del control en modo de corriente, se procede a comprobar que el sistema funciona correctamente.

Para ello, se recrea el chip UC3843 en PSpice, así como se añaden los componentes calculados.

Inicialmente se crea la parte de potencia, teniendo en cuenta  $R_{SENSE} = 0.25 \Omega$ :

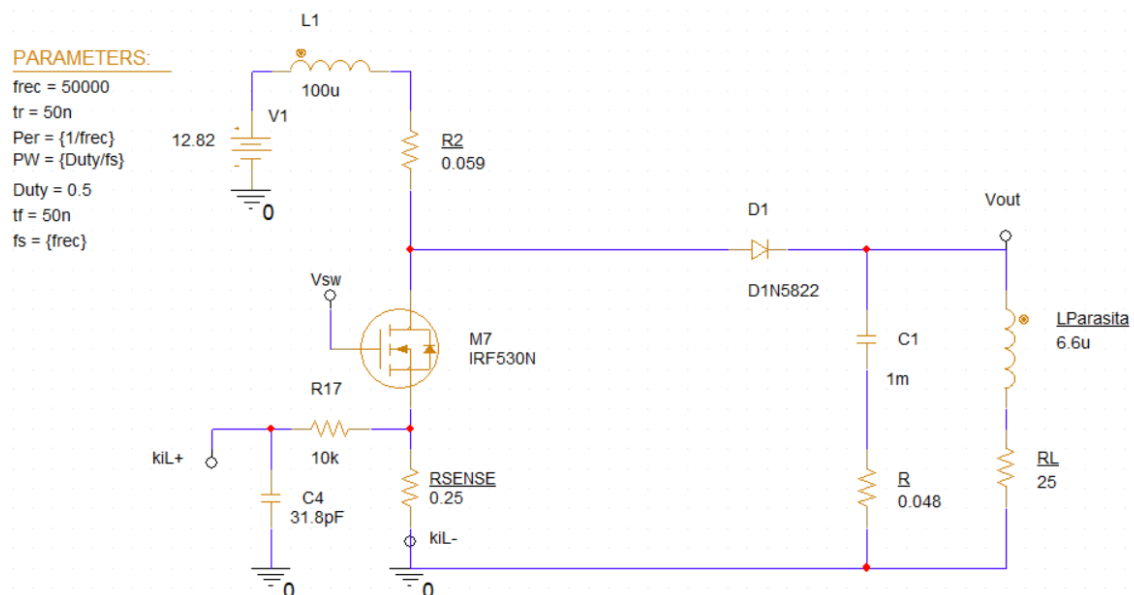


Figura 23: Etapa de potencia (convertor boost) en el control en modo de corriente

En la figura 23 se muestra la etapa de potencia del control en modo de corriente, así como el filtro de la señal  $I_{SENSE}$ .

A continuación, se implementa el lazo de control, explicado en el marco teórico:

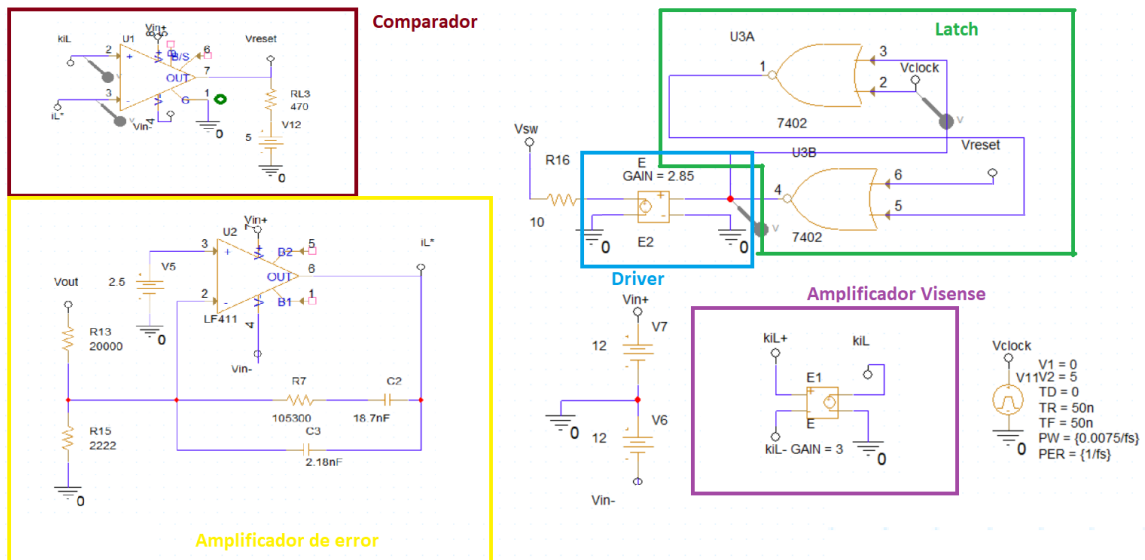


Figura 24: Esquema realizado para el control en modo de corriente en Pspice

Donde el esquema realizado en la figura 24 concuerda con el procedimiento explicado en el apartado anterior, así como lo comentado en el marco teórico.

Se hace notar que, aunque el amplificador  $V_{ISENSE}$  no está representado en el esquema de la figura 8, en el *datasheet* se detalla que tiene una ganancia de 3.

Se representa la salida del sistema, así las salidas de las distintas etapas del circuito.

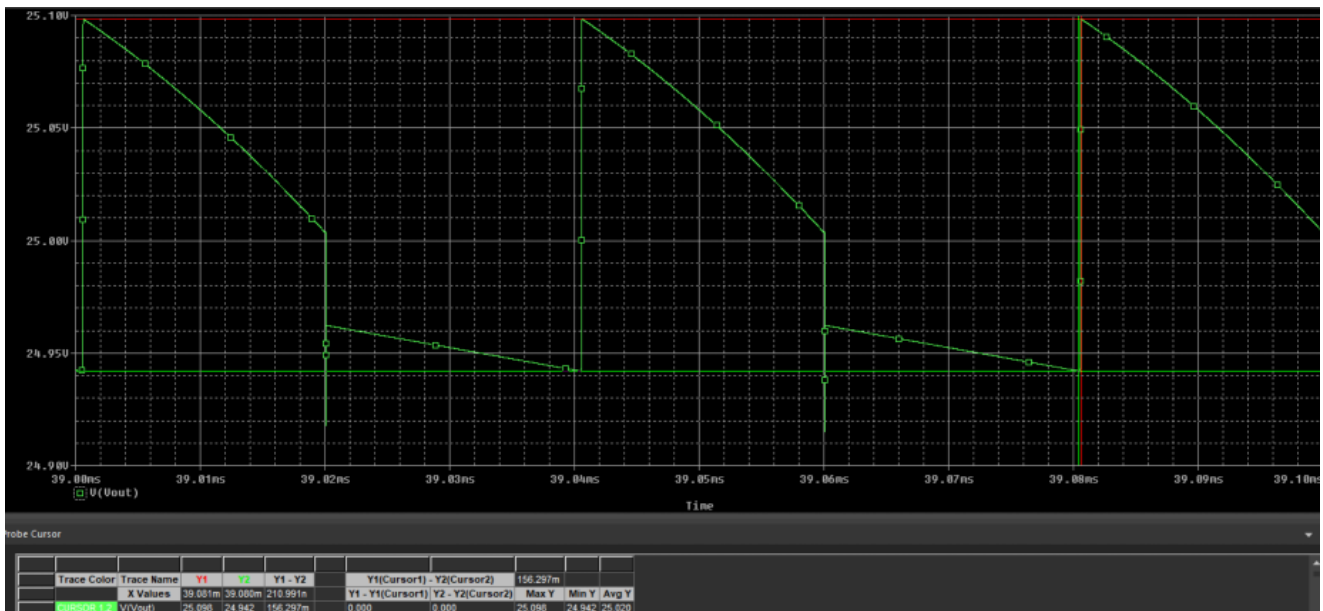


Figura 25: Voltaje de salida en el control en modo de corriente

En la figura 25 se observa como el voltaje de salida es el esperado,  $V_{OUT} = 25V$ . Además, se comprueba que el rizado sea  $< 1\%$ .

$$Rizado = \frac{V_{max} - V_{min}}{V_{medio}} = \frac{25.098 - 24.942}{25.02} = 0.6\%$$

A continuación se representan las señales de entrada y salida del comparador, observando así la señal de *reset* y las señales de salida del amplificador de error y amplificador  $V_{ISENSE}$ :

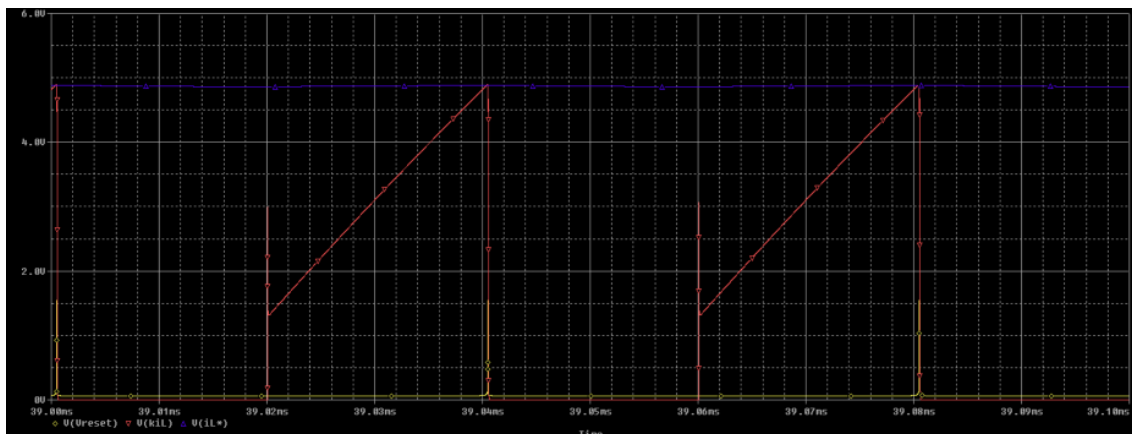


Figura 26: Señal de reset (amarillo), señal de salida del amplificador de error  $iL^*$  (azul) y señal de salida del amplificador  $V_{ISENSE}$   $kiL$  (rojo)

En la figura 26 comprueba como lo mencionado en el marco teórico es correcto. Cuando la señal de salida del amplificador de error,  $kiL$ , supera a la señal de salida del amplificador  $V_{ISENSE}$  se activa el comparador, generando la señal de *reset*. Sin embargo, la frecuencia a la que se está trabajando es la mitad de lo que se debería.

Se observa como el periodo de la señal es de  $40\mu s$ , equivalente a 25 KHz, valor correspondiente a la mitad de la frecuencia de oscilación usada para el diseño del convertidor. La explicación de este suceso se comentará más adelante.

Por último, se representa la señal de salida del *Latch*, que posteriormente será amplificada por el *driver*, completando así el control en modo de corriente:

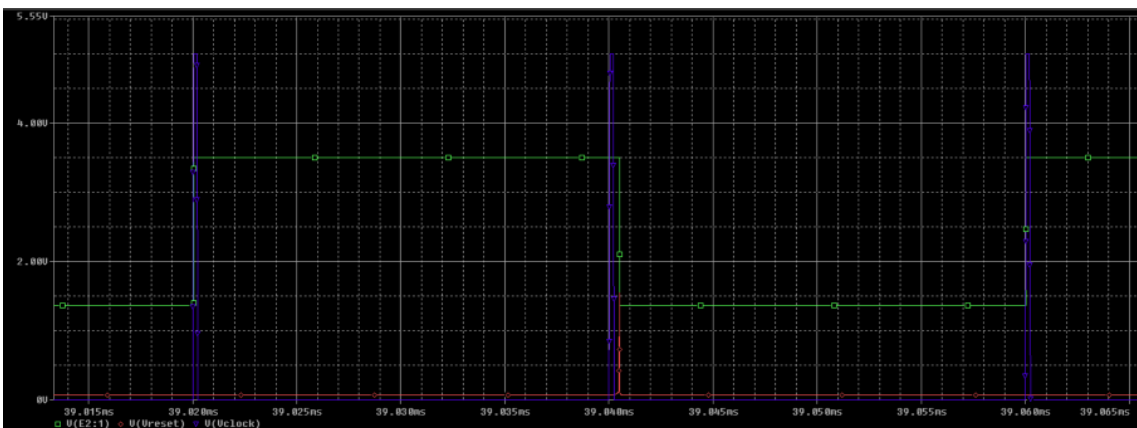


Figura 27: Señal de reloj (azul), señal de reset (rojo) y señal de pulsos de salida del control en modo de corriente (verde)

En la figura 27 se comprueba como la señal de pulsos de salida tiene el ciclo de trabajo de un 50%, señal encargada de controlar el MOS.

El pulso de salida debería iniciarse con cada pulso de reloj, pero esto no ocurre. Esto es debido a un efecto de aparición de subarmónicos, que tiene lugar cuando el ciclo de trabajo  $D \geq 0.5$ . En estos casos, la señal de control presenta una frecuencia de conmutación efectiva inferior a la prevista, y aparecen oscilaciones adicionales no deseadas en la corriente de la inductancia.

A continuación se representa la corriente  $i_L$  con y sin perturbación para observar cómo esta afecta a la evolución de la forma de la corriente:

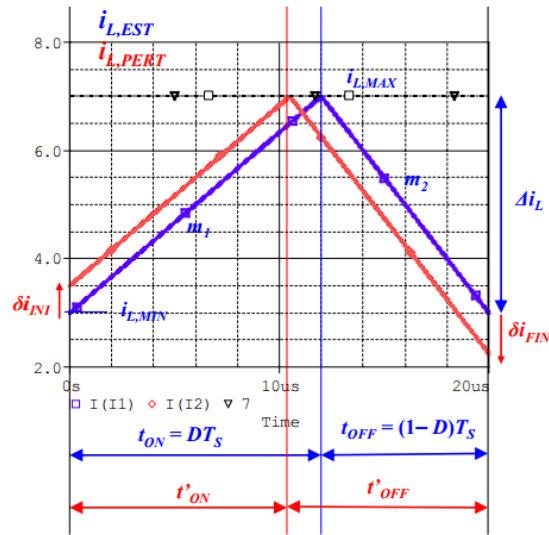


Figura 28: Corriente  $i_L$  con perturbación (rojo) y sin perturbación (azul) [3]

En la figura 28 se muestra el comportamiento de la corriente  $i_L$  en un ciclo de conmutación tras una perturbación inicial  $\delta i_{INI}$ . En dicha figura, las pendientes  $m_1$  y  $m_2$  corresponden respectivamente a la subida de corriente durante el tiempo ON y su descenso durante el tiempo OFF del interruptor.

Si la pendiente de bajada durante el tiempo OFF ( $m_2$ ) es mayor en valor absoluto que la de subida durante el tiempo ON ( $m_1$ ), la perturbación inicial en  $i_L$  se incrementa en el siguiente ciclo. Por tanto, si el cociente  $\frac{m_2}{m_1} > 1$ , el sistema entra en una dinámica inestable. Dado que las pendientes están relacionadas con el ciclo de trabajo  $D$  mediante:

$$\frac{m_2}{m_1} = \frac{D}{1-D} \quad (46)$$

Queda claro que el sistema pierde la estabilidad a partir de  $D > 0.5$ .

Para evitar este comportamiento inestable, se podría utilizar una técnica conocida como compensación de pendiente, que consiste en añadir una rampa artificial con pendiente positiva  $m$  a lo largo del ciclo, de modo que:

$$\left| \frac{m_2 - m}{m_1 + m} \right| < 1 \quad (47)$$

Con esta condición se garantiza que las perturbaciones disminuyan con cada ciclo. En el caso límite donde  $m = m_2$ , se anula completamente la perturbación en un solo ciclo, alcanzando máxima estabilidad.

## 9. Resultados experimentales

### 9.1 Circuito en lazo abierto

Para lograr conseguir que el control en modo de corriente sea correcto, se ha de montar el circuito en lazo abierto, y comprobar así que este funciona de la manera esperada.

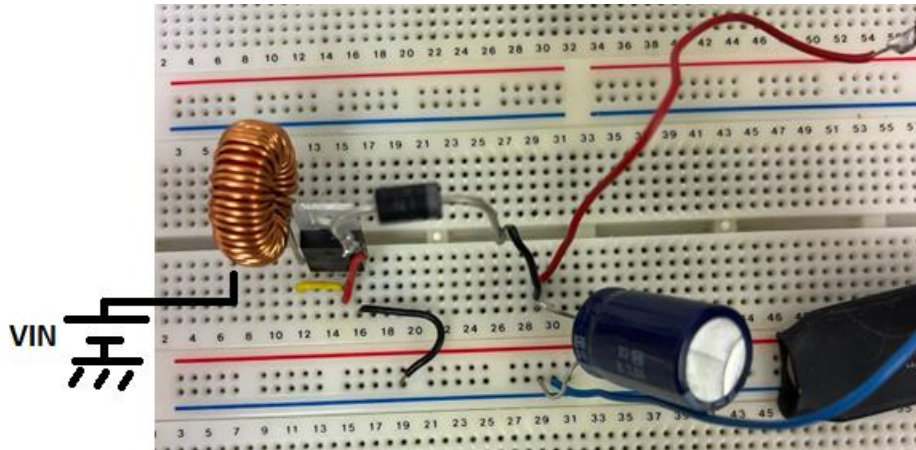


Figura 29: Conversor boost montado con  $V_{IN}$  dibujado

Donde los componentes elegidos para el montaje de la figura 29 son los comentados en la elección de componentes.

En este caso, como el control en modo de corriente no está en uso, la señal de pulsos de la puerta del MOS tiene que ser introducida mediante un generador de funciones. Esta señal es una sucesión de pulsos con amplitud 10 V, una frecuencia de 50KHz, y un ciclo de trabajo de un 50%.

Con el multímetro se comprueba que la salida es de 25 V, y con el osciloscopio se observa tanto el rizado, como las señales  $V_{DS}$  y  $V_{GS}$  del MOS.

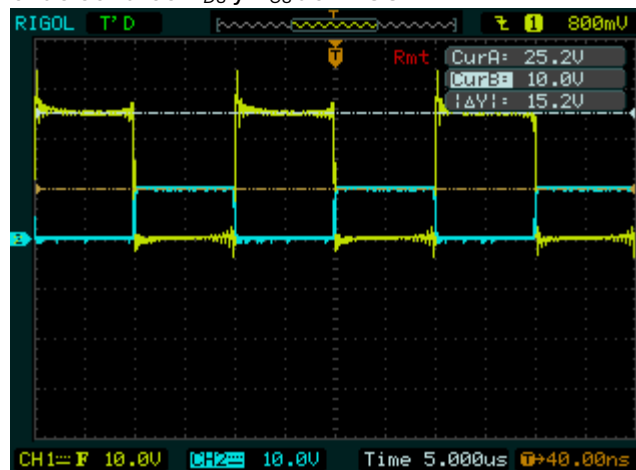


Figura 30:  $V_{DS}$  (amarillo) y  $V_{GS}$  (azul) del convertidor en lazo

En la figura 30 se comprueba como la señal  $V_{DS}$  es correcta, ya que tiene los 25 V de salida cuando el transistor está desactivado ( $V_{GS} < 0$ ) y el diodo conduce. De modo contrario, cuando el transistor está activado ( $V_{GS} > 0$ ), el diodo se desactiva y la señal  $V_{DS}$  toma valor 0.

A continuación, se comprueba el rizado en la salida. Como este constituye parte alterna de la señal, se tiene que cambiar el modo del osciloscopio de DC a AC.

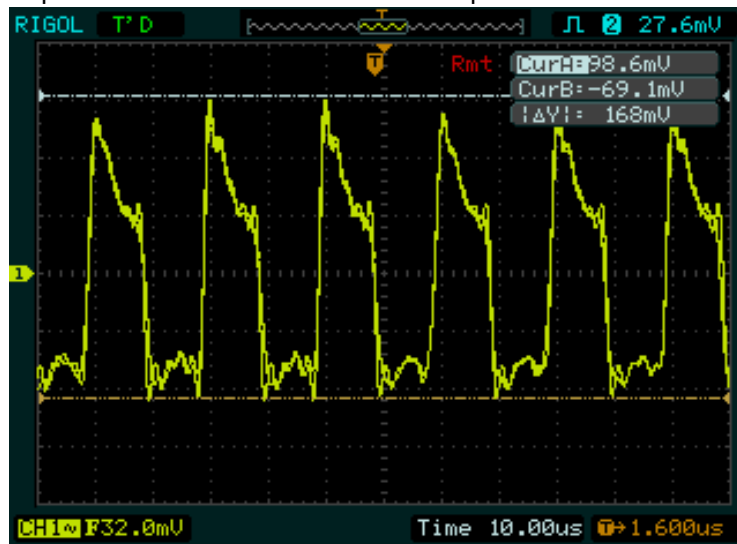


Figura 31: Rizado de salida del convertor en lazo abierto

Donde el rizado observado en la figura 31 se calcula de la siguiente manera:

$$\text{Rizado} = \frac{V_{\max} - V_{\min}}{V_{\text{medio}}} = \frac{0.168}{25.02} = 0.6\%$$

Comprobado así que este es  $< 1\%$  pedido en los requisitos del convertor.

Además de comprobar con el osciloscopio las señales, se ha de calcular el rendimiento del convertor.

Hay que añadir que, debido a la propia resistencia de los cables de la fuente de alimentación, existe una ligera caída de voltaje en la entrada, la cual se mide con el multímetro.

El rendimiento con  $R_L = 25 \Omega$  se calcula de la siguiente manera:

$$P_{OUT} = I_{OUT} V_{OUT} = \frac{V_{OUT}^2}{R_L} = \frac{25^2}{25} = 25 \text{ W}$$

$$P_{IN} = I_{IN} V_{IN \text{ REAL}} = 2.06 * 13.1 = 26.98 \text{ W}$$

$$\eta_{R_L=25\Omega} = \frac{P_{OUT}}{P_{IN}} = 92.6 \%$$

Comprobándose así como el rendimiento es ligeramente inferior al calculado de manera teórica. Esto es puede ser debido a las resistencias de interconexión del circuito vistas en el apartado de simulación en lazo abierto.

Para hacer una comparativa más exacta respecto al montaje experimental, se crea la simulación tomando en cuenta el valor de las resistencias de interconexión.

En este caso, se utiliza la misma resistencia del generador de pulsos, siendo esta  $50 \Omega$ . Además, se utiliza el valor de  $V_{IN}$  experimental que hace que la salida sea de  $25 \text{ V}$ .

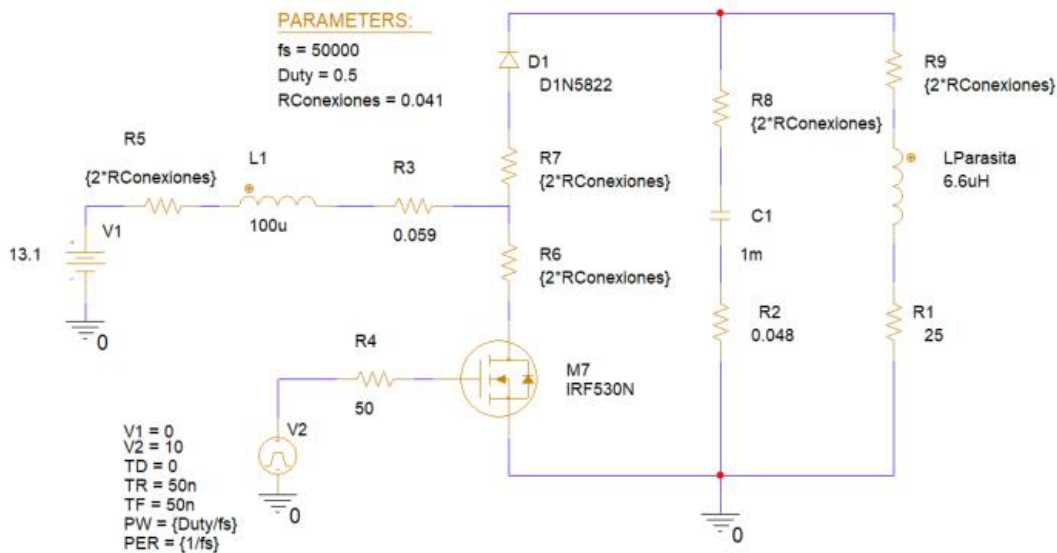


Figura 32: Esquema empleado para la simulación del convertor boost con las resistencias de interconexión

En la figura 32 se ajusta el valor de las resistencias de interconexión hasta tener la tensión de salida  $V_{OUT} = 25$  con el voltaje de entrada medido de manera experimental.

A continuación se representa las potencias disipadas en cada componente:



Figura 33: Disipación de potencia en convertor boost con resistencias de interconexión

Utilizando los datos proporcionados por la figura 33 se crea una tabla comparativa entre la potencia teórica disipada y la potencia disipada teniendo en cuenta las resistencias de interconexión.

Tabla 4: Comparativa entre potencia disipada de manera teórica y potencia disipada en simulación teniendo en cuenta las resistencias de interconexión

Componente	Potencia disipada teórica	Potencia disipada simulada
Resistencia $R_L$	25 W	25.025 W
Diodo	0.425 W	0.378 W
Resistencia parásita $r_L$	0.25 W	0.227 W
Resistencia $r_{ESR}$	0.051 W	0.075 W
MOSFET	0.28 W	0.227 W
Resistencias de interconexión	No es necesario	0.83 W

Donde utilizando los datos de la Tabla 4, y utilizando la ecuación (17) se obtiene el siguiente rendimiento:

$$\eta_{\text{simulacion con R Conexiones}} = 93.5\%$$

Valor mucho más cercano al calculado con las medidas experimentales tomadas en lazo abierto. Por tanto, se puede afirmar que gran parte de la caída en rendimiento se debe a las resistencias de interconexión.

## 9.2 Circuito con el lazo de control

Se monta el circuito con el lazo de control, añadiendo el filtro paso bajo en  $V_{\text{ISENSE}}$  previamente comentado. Debido a la falta de resistencias en el laboratorio de  $0.25 \Omega$ , para tener el valor de  $R_{\text{SENSE}}$  se opta por poner dos resistencias de  $0.5 \Omega$  en paralelo.

Además, se incorpora un condensador de  $0.1 \mu\text{F}$  en la alimentación del circuito integrado, ya que así lo recomienda el fabricante en el *datasheet* [5].

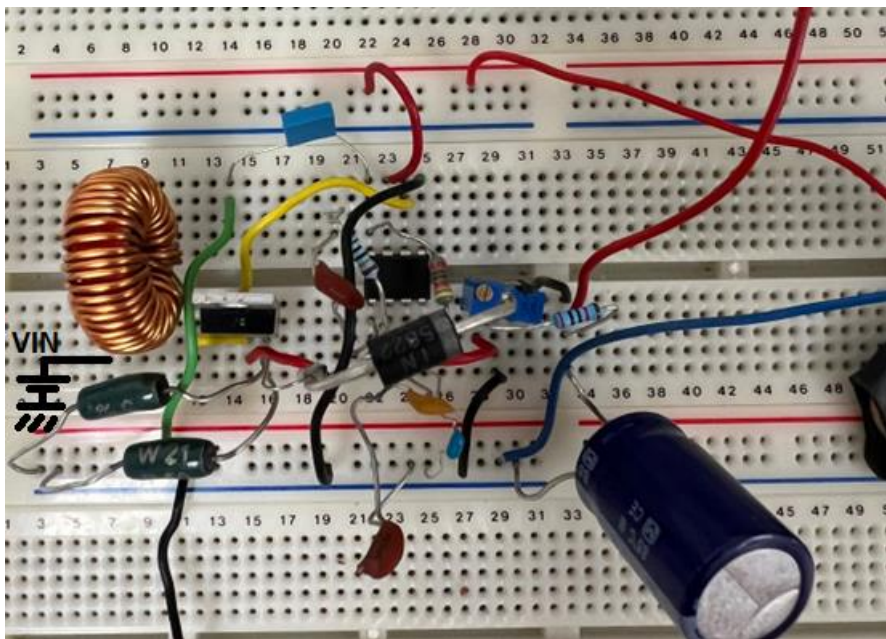


Figura 34: Montaje del convertor con control en modo de corriente

Tras realizar el montaje de la figura 34, se comprueba como sin valor de  $V_{\text{IN}}$ , el propio chip limita el ciclo de trabajo al 91.9% calculado en el diseño.

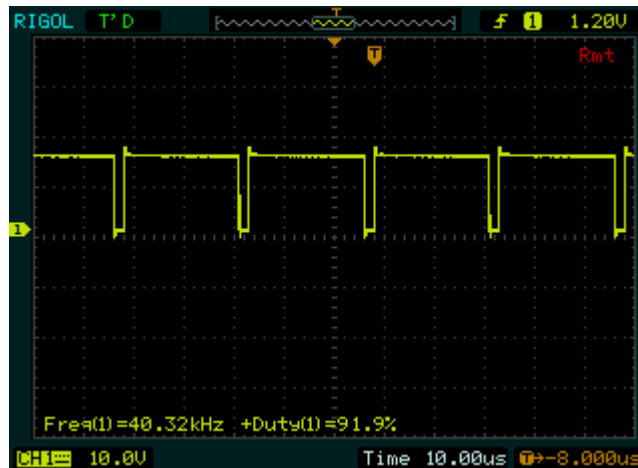


Figura 35: Limitación del ciclo de trabajo del chip UC3843

En la figura 35 se puede comprobar la limitación en el ciclo de trabajo en la salida del integrado. Además, se observa como la frecuencia de la señal es muy cercana a la calculada.

Tras esto, se aumenta el valor de  $V_{IN}$  hasta tener en la salida el voltaje requerido y se mide la salida del chip, así como el voltaje  $V_{ISENSE}$ . El voltaje de entrada necesario para tener un  $V_{OUT}$  de 25 V es de 13.1 V, mismo valor que en lazo abierto.

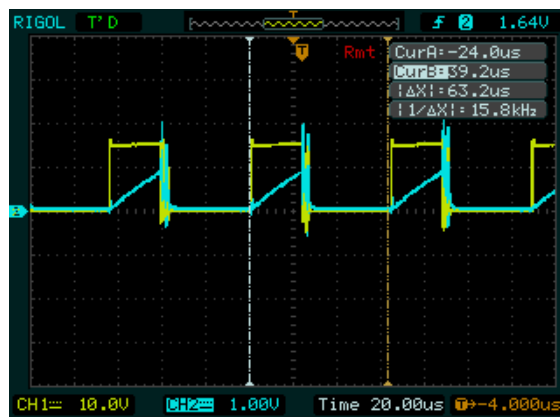


Figura 37: Salida del UC3843 (amarillo) y  $V_{ISENSE}$  (Azul)

En la figura 37 se puede comprobar como la señal de salida del integrado tiene un ciclo de trabajo en torno al 50%. Sin embargo, el periodo de esta señal es de 63.2  $\mu$ s, o 15.8 KHz, valor lejano a los 50 KHz teóricos. Esta diferencia es debido a la aparición de subarmónicos, efecto comentado anteriormente.

Del mismo modo, en la figura 37 se puede observar cómo  $V_{ISENSE}$  está en 0 cuando la señal de pulsos no está activa, mientras que cuando la señal pulsos se activa,  $V_{ISENSE}$  aumenta hasta un voltaje máximo de 1 V.

A continuación, se analiza la salida del sistema, comprobando mediante el osciloscopio el voltaje  $V_{OUT}$  y su rizado:

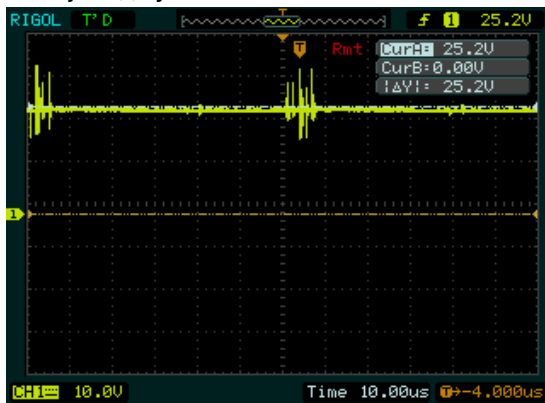


Figura 38: Voltaje de salida  $V_{OUTDC}$

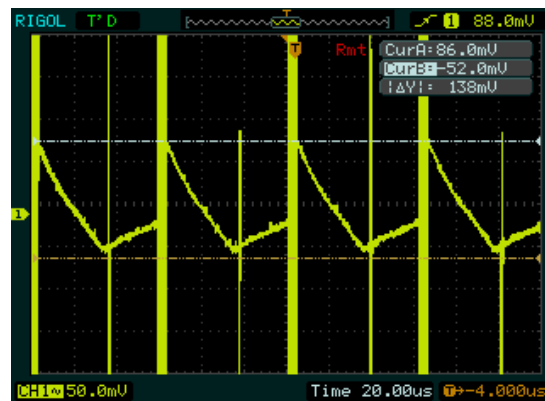


Figura 39: Rizado en voltaje de salida  $V_{OUT}$

Se observa en la figura 38 como la salida es correcta, ya que se tienen los 25 V esperados. Por último, se comprueba el rizado de salida utilizando la figura 39:

$$\text{Rizado} = \frac{V_{\max} - V_{\min}}{V_{\text{medio}}} = \frac{0.138}{25} = 0.5\%$$

Comprobando como este es menor que el 1% pedido en los requisitos.

Por último, se calcula el rendimiento del convertor:

$$P_{OUT} = I_{OUT} V_{OUT} = \frac{V_{OUT}^2}{R_L} = \frac{25^2}{57} = 10.96 \text{ W}$$

$$P_{IN} = I_{IN} V_{INREAL} = 0.96 * 12.98 = 12.46 \text{ W}$$

$$\eta_{R_L=25\Omega} = \frac{P_{OUT}}{P_{IN}} = 87.9 \%$$

Valor de rendimiento relativamente parecido al calculado de manera teórica. Esta diferencia, además de la disipación de potencia de las resistencias de interconexión, es debido a la disipación del propio chip.

Otro de los principales problemas observados era que cuando el voltaje de entrada era bajo, el circuito demandaba más corriente de entrada de la que podía suministrar la fuente, intentando conseguir los 25 V de salida. Para evitar este comportamiento, la resistencia  $R_L$  tenía que tomar un valor elevado, alrededor de los 75  $\Omega$ , reduciendo la corriente demandada, para posteriormente reducirse a medida que aumentaba el voltaje de entrada, consiguiendo así tener la salida en 25 V.

Pese a tener una salida correcta y todos los valores dentro de los parámetros, se tiene que comentar que no se ha conseguido realizar al 100% el control en modo de corriente. Esto es debido a que el objetivo era tener un máximo de 25 V, independientemente de si el valor de  $V_{IN}$  era superior a los 13.2 V de entrada, cosa que no se ha logrado con este integrado.

Por tanto y como alternativa, se procede a montar el circuito con el chip UC3845.

## 10. Montaje con chip UC3845

La diferencia principal frente a este chip, es que este limita el ciclo de trabajo en un 50%, lo que evita la demanda tan alta de corriente para valores bajos de  $V_{IN}$ .

Los componentes utilizados en este montaje son los mismos que los del chip UC3843, lo único que varía es la frecuencia de oscilación. Esta diferencia en la frecuencia de oscilación es debida a que este nuevo integrado, incluye internamente un flip-flip tipo T que divide por 2 la señal del oscilador antes de llegar al pin de salida.

Por tanto, para hacer el montaje de este chip se ha de elegir la resistencia y el condensador que ajustan la frecuencia de oscilación a 100 KHz, para poder trabajar con los 50 KHz.

Haciendo uso de la figura 13, tomando una frecuencia de 100 KHz, se elige un condensador de 2.2 nF y una resistencia de 8 kΩ. A continuación, se modifica el circuito anterior con estos nuevos componentes y se cambia al nuevo integrado.

Del mismo modo que el anterior chip limitaba el ciclo de trabajo, este lo hace pero sin dividir la frecuencia de oscilación a la mitad. Haciendo uso de la figura 14, utilizando el nuevo valor de la resistencia y del condensador, se calcula dicha limitación.

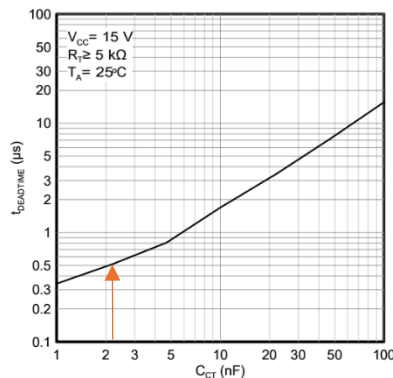


Figura 40: Dead time frente a condensador selector de frecuencia de oscilación

Donde el *Dead Time* seleccionado en la figura 40 corresponde a unos 0.5 μs (flecha roja). Por tanto, la limitación de ciclo de trabajo corresponde con el siguiente valor:

$$D_{MAX} = 1 - (t_{DEADTIME} * f_{OSC}) = 0.95$$

Que multiplicado por el 50 % máximo del propio chip = 47.5 %. Es decir, el valor límite del ciclo de trabajo corresponde al 47.5 %.

Se comprueba dicho valor de manera experimental, manteniendo  $V_{IN}$  a 0, alimentando el chip y midiendo la salida de este:

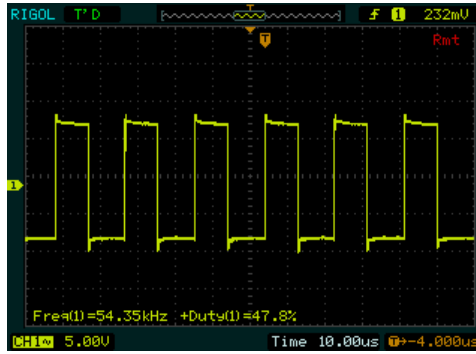


Figura 41: Limitación del ciclo de trabajo del chip UC3845

En la figura 41 se comprueba como el chip limita el ciclo de trabajo con un valor muy parecido al valor teórico. Además, se observa como la frecuencia de la señal de pulsos es correcta, ligeramente superior al valor teórico, ya que la resistencia tomada en la figura 13 puede no ser exactamente 8kΩ. Del mismo modo, como el condensador presentará una tolerancia.

Igual que en el apartado anterior, se observa la señal de salida del chip cuando la salida  $V_{OUT}$  es igual a 25 V. Este voltaje de salida corresponde a una entrada  $V_{IN Real} = 13.88$  V. Además, se analiza la tensión  $V_{ISENSE}$ , comprobando que esta sea menor que 1 V (limitado por el chip) y que tenga una forma correcta.

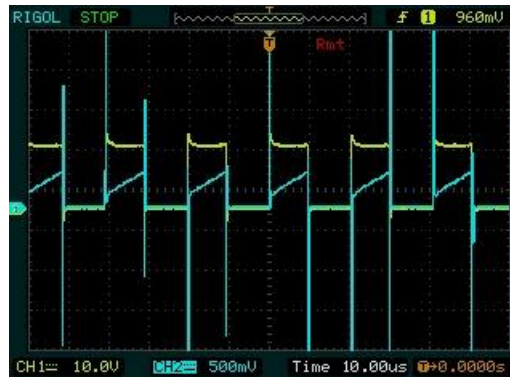


Figura 42: Salida del UC3845 (amarillo) y  $V_{ISENSE}$  (Azul)

En la figura 42 se puede comprobar como el periodo de la señal es de 24  $\mu$ s, lo que corresponde a una frecuencia de 43.47 KHz. Además, se observa como el voltaje  $V_{ISENSE}$  toma valor máximo 1 y está en modo ON cuando el transistor está en activa, mientras que está a 0 cuando el transistor está en corte.

Por último, se comprueba que la salida sea correcta, además del rizado y el rendimiento:

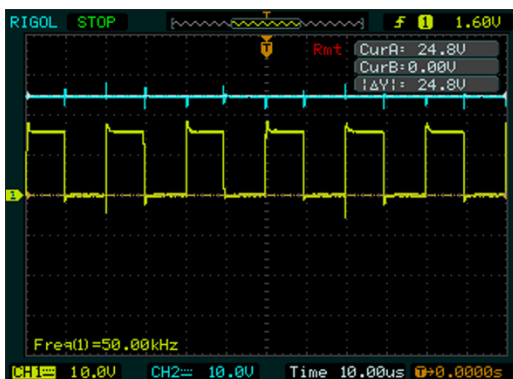


Figura 43: Voltaje de salida  $V_{OUTDC}$  y señal de salida del chip

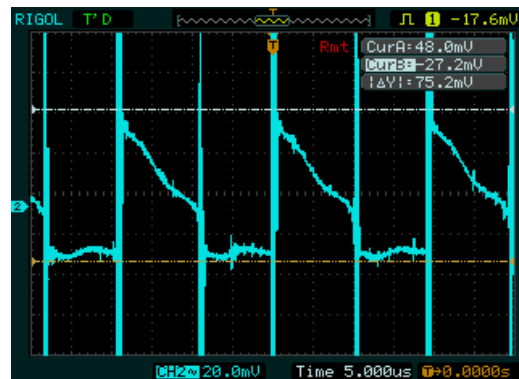


Figura 44: Rizado en voltaje de salida  $V_{OUT}$

Se observa en la figura 43 como el voltaje de salida  $V_{OUTDC}$  es correcto, ya que toma como valor 25 V. Además, se comprueba como el ciclo de trabajo es de  $D = 0.5$ . Respecto al rizado de salida observado en la figura 44, este se calcula a continuación:

$$Rizado = \frac{V_{max} - V_{min}}{V_{medio}} = \frac{0.0752}{25} = 0.03\%$$

Verificándose así como este es menor que el 1%.

Terminando con el rendimiento, este se calcula de la siguiente manera:

$$P_{OUT} = I_{OUT}V_{OUT} = \frac{V_{OUT}^2}{R_L} = \frac{25^2}{25} = 25 \text{ W}$$

$$P_{IN} = I_{IN}V_{INREAL} = 1.96 * 13.88 = 27.20 \text{ W}$$

$$\eta_{R_L=25\Omega} = \frac{P_{OUT}}{P_{IN}} = 91.9 \%$$

Obteniéndose un rendimiento muy parecido al esperado.

Gracias al uso de este circuito integrado, se ha conseguido implementar el control en modo de corriente, manteniendo la tensión de salida  $V_{OUT}$  constante en 25 V cuando la tensión de entrada  $V_{IN}$  supera los 13.88 V. Para lograrlo, el sistema ajusta automáticamente el ciclo de trabajo, reduciéndolo a medida que aumenta  $V_{IN}$ , de modo que  $V_{OUT}$  se mantiene en 25 V, independientemente de las variaciones en la entrada.

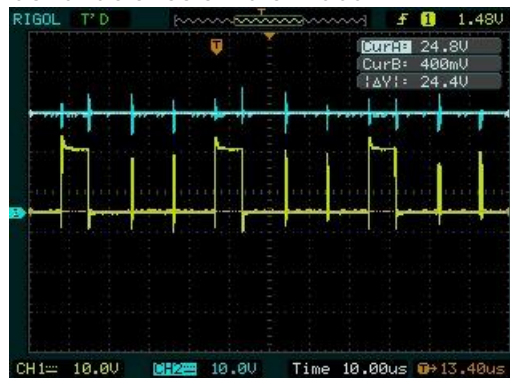


Figura 45: Cambio en el ciclo de trabajo (amarillo) para ajustar salida  $V_{OUT}$  igual a 25 V (azul) cuando  $V_{IN}$  toma valores superiores a 13.88 V

En la figura 45 se puede comprobar como el ciclo de trabajo ha pasado a tomar valor  $D = 0.25$ , manteniendo la tensión de salida en 25 V. En esta figura, se aumentó el valor de  $V_{IN}$  hasta los 19.1 V, comprobándose así como el control en modo de corriente es correcto. Además, se observa la aparición de subarmónicos explicados anteriormente, ya que la frecuencia de la señal de pulsos es de 26.3 KHz.

Por último, se comprueban los tiempos de conmutación del MOSFET, comparando los tiempos de conmutación teóricos frente a los reales:

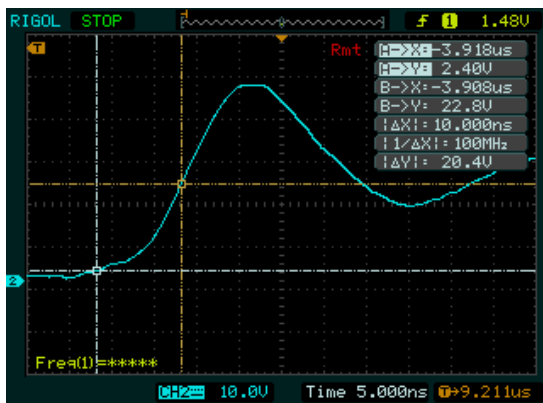


Figura 46: Voltaje  $V_b$  en conmutación modo OFF a ON



Figura 42: Voltaje  $V_b$  en conmutación modo ON a OFF

En ambas figuras se toma como referencia para medir los tiempos de subida el valor al 10% y al 90% del total. Por tanto, se hacen las mediciones alrededor de los 2.5 V y los 22.5 V. Se comprueba como los tiempos de subida y de bajada son muy parecidos a los calculados de manera teórica, siendo algo menores debido a las propias oscilaciones de la señal. Del mismo modo, la resolución del osciloscopio no permite tomar exactamente los valores a 22.5 V, lo que modifica ligeramente los tiempos.

Por tanto, se puede concluir que el sistema ha cumplido su objetivo principal: regular la salida mediante un lazo de realimentación basado en la corriente de la inductancia.

## 11. Conclusiones

En este Trabajo de Fin de Grado se ha diseñado, simulado, montado y analizado un convertidor DC-DC tipo *boost* con control en modo de corriente, empleando inicialmente el chip UC3843 y, tras identificar sus posibles limitaciones prácticas, el UC3845. A lo largo de todo el proceso, se han ido cumpliendo todos los objetivos propuestos, aunque se han presentado desafíos técnicos que obligaron al replantear algunos cambios de diseño.

Uno de los resultados principales ha sido el familiarizarse con el proceso de diseño del convertidor. En las pruebas experimentales se obtuvo una tensión de salida estable de 25 V, un rizado por debajo del 1% especificado, y una eficiencia comprendida entre el 87.9% y el 91.9%, todo esto en concordancia con las simulaciones realizadas.

No obstante, el UC3843 mostró dificultades para mantener una salida constante ante las variaciones de entrada, lo que limitó la implementación deseada del control con dicho integrado. Esto motivó el uso del UC3845, cuya arquitectura, aunque algo más restrictiva por su limitación del ciclo de trabajo al 50%, resultó correcto para el control del voltaje de salida.

En conjunto, este proyecto ha servido como base sólida para profundizar en el diseño y análisis de convertidores con control en modo de corriente, enfrentándose a retos reales propios de la electrónica de potencia.

## 12. Diagrama de Gantt

	Oct.	Nov.	Dic.	En.	Febr.	Mzo.	Abr.	My.	Jun.
Revisión bibliográfica									
Diseño etapa potencia									
Simulación lazo abierto									
Caracterización de componentes									
Montaje lazo abierto									
Simulación efectos reales									
Diseño convertidor realimentado									
Montaje circuito realimentado									
Revisión del diseño (Chip UC3845)									
Redacción de la memoria									

## 13. Bibliografía

- **[1]** Grand View Research, *DC-DC Converter Market Size, Share & Trends Analysis Report By Type (Isolated, Non-Isolated), By Input Voltage (Up to 40V, 40V to 100V), By Output Voltage (Up to 100V, 100V to 500V), By End Use, By Region, And Segment Forecasts, 2024 – 2030*. Disponible en: <https://www.grandviewresearch.com/industry-analysis/dc-dc-converter-market-report>. [Consulta: 19/05/2025].
- **[2]** I. Anshory, J. Jamaaluddin, A. Wisaksono, I. Sulistiyowati, H. Hindarto, B. S. Rintyarna, A. Fudholi, Y. A. Rahman, y K. Sopian, "Optimization DC-DC boost converter of BLDC motor drive by solar panel using PID and firefly algorithm" *Results in Engineering*, vol. 21, 2024. Disponible en: <https://www.sciencedirect.com/science/article/pii/S259012302300854X>.
- **[3]** Del Prado Millán, Á. (2023). *Apuntes de Electrónica de Potencia, 2023*. Universidad Complutense de Madrid. *Docta Complutense*. Disponible en: <https://hdl.handle.net/20.500.14352/87221>
- **[4]** N. Mohan, *Power Electronics: A First Course*. Wiley, 2012
- **[5]** Texas Instruments. (2024). *UCx84x Current-Mode PWM Controllers datasheet (Rev. H)*.
- **[6]** Würth Elektronik. (2020). 7447070 - WE-FI Line Choke 100  $\mu$ H, 6 A
- **[7]** STMicroelectronics. (2003). *1N5822 - Low Drop Power Schottky Rectifier*.
- **[8]** International Rectifier. (2005). *IRF530NPbF - HEXFET® Power MOSFET*.
- **[9]** Sheehan, R. (2007). *Understanding and Applying Current-Mode Control Theory*. National Semiconductor Corporation.  
Cita textual: "For many practical designs, a target phase margin of 60° is considered good design practice." (p. 25)