

ESTUDIO DEL COMPORTAMIENTO DE
MEMORIAS SRAM EN FUNCIÓN DE VARIABLES
FÍSICAS DE TRANSISTORES MOS

STUDY OF RAM MEMORIES' BEHAVIOR AS A
FUNCTION OF PHYSICAL VARIABLES OF MOS
TRANSISTORS



TRABAJO FIN DE GRADO
CURSO 2022-2023

AUTOR
ALEJANDRO DÍAZ BLÁZQUEZ

DIRECTORES
RODRIGO GARCÍA HERNANSANZ
JUAN ANTONIO CLEMENTE BARREIRA

GRADO EN INGENIERÍA DE COMPUTADORES
FACULTAD DE INFORMÁTICA
UNIVERSIDAD COMPLUTENSE DE MADRID

ESTUDIO DEL COMPORTAMIENTO DE
MEMORIAS SRAM EN FUNCIÓN DE VARIABLES
FÍSICAS DE TRANSISTORES MOS

STUDY OF RAM MEMORIES' BEHAVIOR AS A
FUNCTION OF PHYSICAL VARIABLES OF MOS
TRANSISTORS

TRABAJO DE FIN DE GRADO EN INGENIERÍA DE COMPUTADORES

AUTOR

ALEJANDRO DÍAZ BLÁZQUEZ

DIRECTORES

RODRIGO GARCÍA HERNANSANZ

JUAN ANTONIO CLEMENTE BARREIRA

CONVOCATORIA: JUNIO 2022

GRADO EN INGENIERÍA DE COMPUTADORES

FACULTAD DE INFORMÁTICA

UNIVERSIDAD COMPLUTENSE DE MADRID

10 DE MAYO DE 2023

RESUMEN

Estudio Del Comportamiento De Memorias SRAM En Función De Variables Físicas De Transistores MOS

Una de las principales herramientas para la creación de circuitos son los transistores. Estos dispositivos electrónicos actúan como interruptores controlados eléctricamente que permiten la creación de circuitos lógicos que pueden operar con señales de "1" y "0". Los transistores se han convertido en una pieza fundamental para la creación de la tecnología digital moderna, y su presencia es imprescindible en una gran cantidad de dispositivos electrónicos, desde microprocesadores hasta sensores. En este trabajo de fin de grado, se profundizará en el estudio de los transistores, abarcando desde su funcionamiento básico hasta su aplicación en circuitos digitales complejos de memorias SRAM. Se explicará en detalle cómo los transistores permiten la manipulación de las señales eléctricas y cómo se pueden utilizar para la creación de dispositivos lógicos simples y complejos. También se analizarán las características de los diferentes tipos de transistores, como los MOSFETs, y se explorará su uso en circuitos integrados y otros dispositivos electrónicos avanzados. El objetivo final de este trabajo es proporcionar una comprensión sólida de los transistores, así como su aplicación y funcionamiento en el diseño de circuitos electrónicos de memorias SRAM. Además, se espera que este trabajo sirva como una base sólida para futuros estudios en electrónica y tecnología de la información.

Palabras clave

Transistor, memoria, SRAM, longitud, anchura, canal, LTSpice, nanómetros, NMOS, PMOS.

ABSTRACT

Study of SRAM Memories' Behavior as a Function of Physical Variables of MOS Transistors

One of the main tools for creating circuits are transistors. These electronic devices act as electrically controlled switches allowing the creation of logic circuits that can operate with binary signals. Transistors have become a fundamental part of the creation of modern digital technology, and their presence is essential in many electronic devices, from microprocessors to sensors. In this BSc thesis, transistors will be studied in depth, ranging from its basic operation to its application in complex digital circuits of SRAM memories. It will be explained in detail how transistors allow for the manipulation of electrical signals and how they can be used to create simple and complex logic devices. The characteristics of different types of transistors, such as MOSFETs, will also be analyzed, and their use in integrated circuits and other advanced electronic devices will be explored. The goal of this work is to provide a solid understanding of transistors, as well as their application and operation in the design of electronic circuits for SRAM memories. Furthermore, it is hoped that this work will serve as a solid foundation for future studies in electronics and information technology.

Keywords

Transistor, memory, SRAM, length, width, channel, LTSpice, nanometers, NMOS, PMOS.

ÍNDICE DE CONTENIDOS

Capítulo 1 - Introducción	1
Chapter 1 - Introduction	11
Capítulo 2 - Historia de los Transistores.....	17
Capítulo 3 - El Transistor MOSFET.....	23
3.1 Longitud y Anchura del Canal	24
Capítulo 4 - Arquitectura de las Memorias SRAM.....	27
4.1 Celda SRAM	27
4.1.1 Operación de escritura	27
4.1.2 Operación de lectura.....	28
4.2 Decodificador de Línea de Palabra.....	32
4.3 Decodificador de Columna	34
4.4 Amplificador Diferencial de Salida	35
4.5 Arquitectura Completa.....	36
Capítulo 5 - Simulaciones.....	37
5.1 Escritura.....	37
5.2 Lectura.....	42
5.3 Lectura/Escritura	47
Capítulo 6 - Conclusiones y Trabajo Futuro	51
Chapter 6 - Conclusions and Future Work.....	55
Capítulo 7 - Bibliografía.....	59

ÍNDICE DE FIGURAS

Figura 1. Válvula de vacío	17
Figura 2. Equipo de investigación de AT&T	18
Figura 3. Primer transistor bipolar	19
Figura 4. William Shockley	19
Figura 5. Los 8 Traidores del Silicon Valley	20
Figura 6. Primer circuito integrado de la historia (Jack Kilby)	21
Figura 7. Circuito integrado de Fairchild Semiconductors.....	21
Figura 8. Estructura MOS	23
Figura 9. Anchura (W) y longitud (L) del canal	26
Figura 10. Tamaño real de un transistor de 40nm	26
Figura 11. Proyecto: Arquitectura\Celda SRAM.....	27
Figura 12. Proyecto: Condensadores de carga parásita	29
Figura 13. Proyecto: Condensadores de carga parásita	30
Figura 14. Proyecto: Condensadores de carga parásita	31
Figura 15. Proyecto: Condensadores de carga parásita	31
Figura 16. Proyecto: Arquitectura\Decodificador de línea	33
Figura 17. Proyecto: Arquitectura\Decodificador de columna	35
Figura 18. Proyecto: Arquitectura\Amplificador	35
Figura 19. Proyecto: Arquitectura\SRAM Completa	36
Figura 20. Proyecto: Transistor 16nm\SRAM Escritura\Base	37
Figura 21. Proyecto: Transistor 16nm\SRAM Escritura\Base	39
Figura 22. Frecuencia de escritura.....	39

Figura 23. Proyecto: Transistor 16nm\SRAM Escritura\SRAM Escritura Modificando L\ L(50)-1	40
Figura 24. Proyecto: Transistor 16nm\SRAM Escritura\SRAM Escritura Modificando L\ L(50)-2.....	40
Figura 25. Proyecto: Transistor 16nm\SRAM Escritura\SRAM Escritura Modificando W\ W(24)-1	41
Figura 26. Proyecto: Transistor 16nm\SRAM Escritura\SRAM Escritura Modificando W\ W(24)-2.....	42
Figura 27. Proyecto: Transistor 16nm\SRAM Lectura\Base	42
Figura 28. Proyecto: Transistor 16nm\SRAM Lectura\Base	43
Figura 29. Proyecto: Transistor 16nm\SRAM Lectura\Lectura-Rápida.....	44
Figura 30. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando W\W(15nm)	45
Figura 31. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando W\W(20nm)	45
Figura 32. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando W\W(25nm)	45
Figura 33. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando W\W(30nm)	45
Figura 34. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando W\Juntos)	46
Figura 35. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando L\L(20nm)	46
Figura 36. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando L\L(30nm)	46
Figura 37. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando L\L(40nm)	47

Índice de Figuras

Figura 38. Proyecto: Transistor 16nm\SRAM Lectura-Escritura\R-W-1	47
Figura 39. Proyecto: Transistor 16nm\SRAM Lectura-Escritura\R-W-1	48
Figura 40. Proyecto: Transistor 16nm\SRAM Lectura-Escritura\R-W-1	48
Figura 41. Proyecto: Transistor 16nm\SRAM Lectura-Escritura\R-W-2	49

ÍNDICE DE TABLAS

Tabla 1. Modelo 16nm NMOS	8
Tabla 2. Modelo 16nm PMOS	9
Tabla 3. Estados transistor NMOS.....	24
Tabla 4. Estados transistor PMOS	24
Tabla 5. Ecuaciones de corriente, transistor NMOS.....	25
Tabla 6. Ecuaciones de corriente, transistor PMOS	25
Tabla 7. Tabla de verdad de un decodificador de 2 a 4.....	32

Capítulo 1 - Introducción

Motivación

Las memorias SRAM son un tipo importante de memoria que se utiliza en muchos dispositivos electrónicos, especialmente en la industria de la informática. Estos dispositivos se componen de celdas de memoria que utilizan transistores MOSFET para almacenar y recuperar datos. Sin embargo, el diseño y funcionamiento de las memorias SRAM aún presentan desafíos, como la disminución del tamaño de los transistores y la reducción del consumo de energía. Una de las maneras de abordar estos desafíos es mediante el uso de diferentes tipos de transistores MOSFET. Los transistores MOSFET son dispositivos electrónicos que se utilizan para controlar el flujo de corriente eléctrica en un circuito. Hay diferentes tipos de transistores MOSFET, como los de canal p y los de canal n, que presentan diferentes propiedades eléctricas. Por lo tanto, un estudio del efecto de los diferentes tipos de transistores MOSFET en las memorias SRAM puede ser altamente motivador, ya que podría proporcionar información valiosa sobre cómo mejorar su diseño y funcionamiento. En particular, podría investigarse cómo afecta el uso de diferentes tipos de transistores MOSFET a la velocidad de acceso y la estabilidad de los datos almacenados en la memoria SRAM. Este estudio podría llevarse a cabo mediante simulaciones computacionales y pruebas experimentales, utilizando diferentes configuraciones de transistores y memorias SRAM. Los resultados de este estudio podrían proporcionar información valiosa para la optimización de las memorias SRAM y su integración en dispositivos electrónicos de próxima generación. En resumen, este estudio podría abordar algunos de los desafíos actuales en el diseño y funcionamiento de estas memorias. Además, podría tener un impacto significativo en la industria de la informática y la electrónica, al mejorar la eficiencia y el rendimiento de los dispositivos electrónicos.

Objetivos

1. Analizar el efecto de diferentes parámetros físicos de los transistores MOS (como por ejemplo el tamaño y longitud del canal) en el rendimiento de las memorias SRAM. Se pueden realizar simulaciones computacionales y pruebas experimentales para medir la velocidad de acceso, el consumo de energía y la estabilidad de los datos almacenados en la memoria SRAM en función de estos parámetros.
2. Investigar la influencia de la variabilidad de los parámetros físicos de los transistores MOS en las prestaciones de las memorias SRAM. La variabilidad de los parámetros físicos de los transistores MOS puede afectar la fiabilidad y la calidad de las memorias SRAM, por lo que es importante entender cómo se relacionan estas dos variables.
3. Diseñar y optimizar la estructura de la memoria SRAM para maximizar el rendimiento en función de los parámetros físicos de los transistores MOS. Utilizando los resultados de los objetivos anteriores, se pueden diseñar y optimizar la estructura de la memoria SRAM para maximizar su rendimiento en función de los parámetros físicos de los transistores MOS. Se pueden realizar simulaciones y pruebas experimentales para evaluar el rendimiento de las memorias SRAM optimizadas en comparación con las memorias SRAM convencionales.

Plan de trabajo

El estudio se ha realizado con LTSpice XVII, también conocido como "SwitcherCAD". Es un software de simulación de circuitos eléctricos y electrónicos de propósito general que es utilizado por ingenieros y diseñadores de todo el mundo para simular el comportamiento de circuitos complejos. Ha sido desarrollado por Analog Devices y es gratuito para descargar y usar.

LTSpice permite a los usuarios crear y simular circuitos de manera rápida y fácil. El software utiliza un modelo de simulación de eventos discretos para simular el comportamiento del circuito. Esto significa que el software divide el tiempo en pequeños intervalos y simula el comportamiento del circuito en cada intervalo. De esta manera, LTSpice puede simular circuitos complejos en una fracción del tiempo que llevaría realizar la simulación de manera analítica, hay de tres tipos:

- **Análisis DC:** Se realiza en estado estacionario, es decir, se asume que no hay variaciones en el tiempo. Se utiliza para estudiar el comportamiento del circuito en condiciones de equilibrio, como el cálculo de corrientes y tensiones en un punto específico del circuito.
- **Análisis Transitorio:** Se simula el comportamiento del circuito en el tiempo, considerando las variaciones de las señales. Se utiliza para estudiar el comportamiento dinámico del circuito y cómo responde a diferentes estímulos, como un cambio en la entrada.
- **Análisis de Frecuencia:** Se simula el comportamiento del circuito en función de la frecuencia de la señal. Se utiliza para estudiar cómo un circuito responde a diferentes frecuencias y cómo afecta esto a la señal de salida.

El software incluye una amplia gama de componentes electrónicos, desde resistencias y condensadores hasta dispositivos de potencia, transistores y circuitos integrados. Además, los usuarios pueden agregar sus propios modelos de componentes si no se encuentran en la biblioteca del software.

Los fabricantes de componentes electrónicos suelen proporcionar modelos de sus dispositivos para ser utilizados en programas de simulación como LTSpice. Estos

modelos se basan en medidas reales de los chips y se ajustan para que los resultados de la simulación sean lo más precisos posibles. Los modelos de dispositivos son esenciales para realizar simulaciones precisas y confiables de los circuitos electrónicos. Existen diferentes modelos:

1. Modelo ideal: Es el más básico. Se considera que el componente es perfecto y no tiene ninguna limitación o imperfección. Por ejemplo, un modelo ideal de un diodo no tendría ninguna resistencia interna ni limitación de corriente inversa.
2. Modelo de parámetros: En este modelo se tienen en cuenta algunos parámetros básicos del componente, como la resistencia interna, la capacitancia parásita, la inductancia parásita, etc. Los modelos de parámetros son más realistas que los modelos ideales, pero aún simplifican muchas de las características del componente.
3. Modelo de subcircuitos: Los modelos de subcircuitos permiten definir un modelo más detallado del componente mediante la construcción de un circuito equivalente que representa el comportamiento del componente. Estos modelos pueden tener en cuenta efectos más complejos, como la dependencia de la temperatura, la no linealidad, la histéresis, etc.
4. Modelo de dispositivos: Los modelos de dispositivos son los más complejos y detallados, y están diseñados para representar con precisión el comportamiento de los componentes en un amplio rango de condiciones. Estos modelos tienen en cuenta factores como la geometría del dispositivo, los efectos de la temperatura, la variación de los parámetros con la frecuencia, etc. Estos modelos a menudo requieren información detallada sobre las características del componente, como las curvas de transferencia, las curvas de impedancia, las curvas de polarización, etc. Este es el modelo que he utilizado para las simulaciones.

LTspice también ofrece una interfaz gráfica de usuario intuitiva que permite a los usuarios crear circuitos arrastrando y soltando componentes y conectándolos entre sí. Los usuarios pueden utilizar la función de copiar y pegar para copiar circuitos de un

archivo a otro. Una vez que se ha creado el circuito, los usuarios pueden simular su comportamiento utilizando la función de simulación de LTspice.

La función de simulación de LTspice es muy poderosa y ofrece una amplia gama de opciones de simulación. Los usuarios pueden simular circuitos en el dominio del tiempo, donde se muestra cómo cambia el voltaje o la corriente en función del tiempo; o en el dominio de la frecuencia, donde se muestra cómo el circuito responde a diferentes frecuencias de entrada. Los usuarios también pueden simular el comportamiento transitorio de los circuitos, lo que les permite ver cómo se comporta el circuito cuando se aplica una señal de entrada repentina.

Además, LTspice también ofrece herramientas avanzadas de análisis de resultados, como gráficos en 3D y herramientas de análisis de Fourier. Estas herramientas permiten a los usuarios visualizar el comportamiento del circuito en diferentes dimensiones y frecuencias.

Una de las principales ventajas de LTspice es que es gratuito y de código abierto. Esto significa que cualquier persona puede descargar el software y utilizarlo para simular circuitos sin tener que pagar por ello. Además, como es de código abierto, los usuarios pueden modificar el software y agregar sus propias características o componentes si así lo desean. LTspice utiliza modelos precisos de componentes electrónicos y ofrece una amplia gama de opciones de simulación para garantizar que las simulaciones sean exactas y confiables. Esto es especialmente importante para diseñadores de circuitos y otros profesionales que necesitan simular circuitos con rigurosos detalles para garantizar su correcto funcionamiento.

LTspice es una herramienta muy completa y poderosa para el diseño y la simulación de circuitos electrónicos. Su interfaz intuitiva y fácil de usar, combinada con su amplia biblioteca de modelos de dispositivos electrónicos, lo hacen una herramienta indispensable para estudiantes, ingenieros y diseñadores de circuitos. La capacidad de simular circuitos en el dominio del tiempo y en el dominio de la frecuencia, junto con sus herramientas de análisis de resultados, hacen de LTspice una herramienta esencial en el proceso de diseño y evaluación de circuitos electrónicos.

En el caso que nos concierne, LTspice simula un transistor MOS genérico como un modelo de dispositivo. Los modelos de dispositivos MOS están basados en la física subyacente del dispositivo y utilizan ecuaciones matemáticas para describir su comportamiento. Estos modelos de dispositivos se basan en parámetros físicos tales como la densidad de carga en la interfaz entre el óxido y el canal, la movilidad de los electrones, la anchura del canal, etc. He trabajado con un transistor real de 16 nanómetros de longitud de canal. Esta tecnología fue introducida por primera vez en la industria de semiconductores en el año 2014 por varias empresas líderes en la fabricación de chips, incluyendo *TSMC*, *Samsung* y *GlobalFoundries*. Se consideró una de las más avanzadas y de alta densidad disponibles en esos años, y se utilizaba en la fabricación de una amplia variedad de dispositivos electrónicos, desde procesadores hasta memorias y otros circuitos integrados.

La tecnología de proceso de 16nm permitió la producción de transistores con tamaños mucho más pequeños y características eléctricas mejoradas en comparación con las tecnologías anteriores. Con esta tecnología, se pudieron fabricar transistores con una mayor densidad de integración, mayor velocidad y menor consumo de energía en comparación con los transistores fabricados con tecnologías de proceso anteriores.

El *International Roadmap for Devices and Systems (IRDS)* estableció un plan estratégico para el futuro de la tecnología de semiconductores, que incluyó la reducción de la anchura del canal de los transistores en un 25% cada dos años para cumplir con la Ley de Moore. Actualmente, la tecnología de proceso de fabricación de semiconductores ha evolucionado hasta el nodo de 5nm.

En este proyecto, se ha utilizado el modelo matemático genérico "Predictive Technology Model" (PTM) para realizar las pruebas. Este modelo es un conjunto de ecuaciones matemáticas que describen el comportamiento eléctrico de los transistores en función de las características de fabricación y el diseño del transistor.

Los modelos PTM se utilizan ampliamente en la industria de la fabricación de semiconductores para predecir cómo funcionarán los transistores en diferentes condiciones de operación. Se basan en datos experimentales y se calibran para proporcionar una precisión óptima en la predicción del comportamiento del transistor.

La precisión de estos modelos es muy importante para la industria de la fabricación de semiconductores, ya que permite a los diseñadores de circuitos integrados y a los fabricantes optimizar el rendimiento y la eficiencia energética de los dispositivos electrónicos que utilizan transistores.

A continuación, se muestran los modelos NMOS (Tabla 1) y PMOS (Tabla 2):

* *PTM Low Power 16nm Metal Gate / High-K / Strained-Si*

* *nominal Vdd = 0.9V*

.model nmos nmos level = 54

+version = 4.0	binunit = 1	paramchk= 1	mobmod = 0
+capmod = 2	igcmmod = 1	igbmod = 1	geomod = 1
+diomod = 1	rdsmod = 0	rbodymod= 1	rgatemod= 1
+permod = 1	acnqsmode= 0	trnqsmode= 0	
+tnom = 27	toxe = 1.2e-009	toxp = 9e-010	toxm = 1.2e-009
+dtox = 3e-010	epsrox = 3.9	wint = 5e-009	lint = 0
+ll = 0	wl = 0	lln = 1	wln = 1
+lw = 0	ww = 0	lwn = 1	wwn = 1
+lwl = 0	wwl = 0	xpart = 0	toxref = 1.2e-009
+vth0 = 0.68191	k1 = 0.4	k2 = 0	k3 = 0
+k3b = 0	w0 = 2.5e-006	dvt0 = 1	dvt1 = 2
+dvt2 = 0	dvt0w = 0	dvt1w = 0	dvt2w = 0
+dsub = 0.1	minv = 0.05	voffl = 0	dvtp0 = 1e-011
+dvtp1 = 0.1	lpe0 = 0	lpeb = 0	xj = 5e-009
+ngate = 1e+023	ndep = 7e+018	nsd = 2e+020	phin = 0
+cdsc = 0	cdscb = 0	cdscd = 0	cit = 0
+voff = -0.1014	nfactor = 1.6	eta0 = 0.0095	etab = 0
+vfb = -0.55	u0 = 0.028	ua = 6e-010	ub = 1.2e-018
+uc = 0	vsat = 200000	a0 = 1	ags = 0
+a1 = 0	a2 = 1	b0 = 0	b1 = 0
+keta = 0.04	dwg = 0	dwb = 0	pclm = 0.02
+pdiblc1 = 0.001	pdiblc2 = 0.001	pdiblc3 = -0.005	drout = 0.5
+pvag = 1e-020	delta = 0.01	pscbe1 = 8.14e+008	pscbe2 = 1e-007
+fprout = 0.2	pdits = 0.01	pditsd = 0.23	pditsl = 2300000
+rsh = 5	rds = 170	rsw = 75	rdw = 75
+rdswmin = 0	rdwmin = 0	rswmin = 0	prwg = 0
+prwb = 0	wr = 1	alpha0 = 0.074	alpha1 = 0.005
+beta0 = 30	agidl = 0.0002	bgidl = 2.1e+009	cgidl = 0.0002
+egidl = 0.8	aigbacc = 0.012	bigbacc = 0.0028	cigbacc = 0.002
+nigbacc = 1	aigbinv = 0.014	bigbinv = 0.004	cigbinv = 0.004
+eigbinv = 1.1	nigbinv = 3	aigc = 0.015211	bigc = 0.0027432
+cigc = 0.002	aigsd = 0.015211	bigsd = 0.0027432	cigsd = 0.002

+nigc = 1	poxedge = 1	pigcd = 1	ntox = 1
+xrcrg1 = 12	xrcrg2 = 5		
+cgso = 5e-011	cgdo = 5e-011	cgbo = 2.56e-011	cgdl = 2.653e-010
+cgsl = 2.653e-010	ckappas = 0.03	ckappad = 0.03	acde = 1
+moin = 15	noff = 0.9	voffcv = 0.02	
+kt1 = -0.11	kt1l = 0	kt2 = 0.022	ute = -1.5
+ua1 = 4.31e-009	ub1 = 7.61e-018	uc1 = -5.6e-011	prt = 0
+at = 33000			
+fnoimod = 1	tnoimod = 0		
+jss = 0.0001	jsws = 1e-011	jswgs = 1e-010	njs = 1
+ijthsfwd= 0.01	ijthsrev= 0.001	bvs = 10	xjbvs = 1
+jsd = 0.0001	jswd = 1e-011	jswgd = 1e-010	njd = 1
+ijthdfwd= 0.01	ijthdrev= 0.001	bvd = 10	xjbvd = 1
+pbs = 1	cjs = 0.0005	mjs = 0.5	pbsws = 1
+cjsws = 5e-010	mjsws = 0.33	pbswgs = 1	cjswgs = 3e-010
+mjswgs = 0.33	pbd = 1	cjd = 0.0005	mjd = 0.5
+pbswd = 1	cjswd = 5e-010	mjswd = 0.33	pbswgd = 1
+cjswgd = 5e-010	mjswgd = 0.33	tpb = 0.005	tcj = 0.001
+tpbsw = 0.005	tcjsw = 0.001	tpbswg = 0.005	tcjswg = 0.001
+xtis = 3	xtid = 3		
+dmcg = 0	dmci = 0	dmdg = 0	dmcgt = 0
+dwj = 0	xgw = 0	xgl = 0	
+rshg = 0.4	gbmin = 1e-010	rbpb = 5	rbpd = 15
+rbps = 15	rbdb = 15	rbsb = 15	ngcon = 1

Tabla 1. Modelo 16nm NMOS

.model pmos pmos level = 54

+version = 4.0	binunit = 1	paramchk= 1	mobmod = 0
+capmod = 2	igcmmod = 1	igbmod = 1	geomod = 1
+diomod = 1	rdsmmod = 0	rbodymod= 1	rgatemod= 1
+permod = 1	acnqsmmod= 0	trnqsmmod= 0	
+tnom = 27	toxe = 1.22e-009	toxp = 9e-010	toxm = 1.22e-009
+dtox = 3.2e-010	epsrox = 3.9	wint = 5e-009	lint = 8e-010
+ll = 0	wl = 0	lln = 1	wln = 1
+lw = 0	ww = 0	lwn = 1	wwn = 1
+lwl = 0	wwl = 0	xpart = 0	toxref = 1.22e-009
+vth0 = -0.6862	k1 = 0.4	k2 = -0.01	k3 = 0
+k3b = 0	w0 = 2.5e-006	dvt0 = 1	dvt1 = 2
+dvt2 = -0.032	dvt0w = 0	dvt1w = 0	dvt2w = 0
+dsub = 0.1	minv = 0.05	voffl = 0	dvtp0 = 1e-011
+dvtp1 = 0.05	lpe0 = 0	lpeb = 0	xj = 7.2e-009
+ngate = 1e+023	ndep = 4.4e+018	nsd = 2e+020	phin = 0
+cdsc = 0	cdscb = 0	cdscd = 0	cit = 0

+voff = -0.08	nfactor = 1.8	eta0 = 0.0095	etab = 0
+vfb = 0.55	u0 = 0.0075	ua = 2e-009	ub = 5e-019
+uc = 0	vsat = 195000	a0 = 1	ags = 1e-020
+a1 = 0	a2 = 1	b0 = 0	b1 = 0
+keta = -0.047	dwg = 0	dwb = 0	pclm = 0.12
+pdiblc1 = 0.001	pdiblc2 = 0.001	pdiblc3 = 3.4e-008	droul = 0.56
+pvag = 1e-020	delta = 0.01	pscbe1 = 8.14e+008	pscbe2 = 9.58e-007
+fprout = 0.2	pdits = 0.08	pditsd = 0.23	pditsl = 2300000
+rsh = 5	rdsr = 220	rsw = 72.5	rdw = 72.5
+rdsrmin = 0	rdwmin = 0	rswmin = 0	prwg = 0
+prwb = 0	wr = 1	alpha0 = 0.074	alpha1 = 0.005
+beta0 = 30	agidl = 0.0002	bgidl = 2.1e+009	cgidl = 0.0002
+egidl = 0.8	aigbacc = 0.012	bigbacc = 0.0028	cigbacc = 0.002
+nigbacc = 1	aigbinv = 0.014	bigbinv = 0.004	cigbinv = 0.004
+eigbinv = 1.1	nigbinv = 3	aigc = 0.0097	bigc = 0.00125
+cigc = 0.0008	aigsd = 0.0115	bigsd = 0.00125	cigsd = 0.0008
+nigc = 1	poxedge = 1	pigcd = 1	ntox = 1
+xrcrg1 = 12	xrcrg2 = 5		
+cgso = 5e-011	cgdo = 5e-011	cgbo = 2.56e-011	cgdl = 2.653e-010
+cgsl = 2.653e-010	ckappas = 0.03	ckappad = 0.03	acde = 1
+moin = 15	noff = 0.9	voffcv = 0.02	
+kt1 = -0.11	kt1l = 0	kt2 = 0.022	ute = -1.5
+ua1 = 4.31e-009	ub1 = 7.61e-018	uc1 = -5.6e-011	prt = 0
+at = 33000			
+fnoimod = 1	tnoimod = 0		
+jss = 0.0001	jsws = 1e-011	jswgs = 1e-010	njs = 1
+ijthsfwd = 0.01	ijthsrev = 0.001	bvs = 10	xjbvs = 1
+jsd = 0.0001	jswd = 1e-011	jswgd = 1e-010	njd = 1
+ijthdfwd = 0.01	ijthdrev = 0.001	bvd = 10	xjbvd = 1
+pbs = 1	cjs = 0.0005	mjs = 0.5	pbsws = 1
+cjsws = 5e-010	mjsws = 0.33	pbswgs = 1	cjswgs = 3e-010
+mjswgs = 0.33	pbd = 1	cjd = 0.0005	mjd = 0.5
+pbswd = 1	cjswd = 5e-010	mjswd = 0.33	pbswgd = 1
+cjswgd = 5e-010	mjswgd = 0.33	tpb = 0.005	tcj = 0.001
+tpbsw = 0.005	tcjsw = 0.001	tpbswg = 0.005	tcjswg = 0.001
+xtis = 3	xtid = 3		
+dmcg = 0	dmci = 0	dmdg = 0	dmcgt = 0
+dwj = 0	xgw = 0	xgl = 0	
+rshg = 0.4	gbmin = 1e-010	rbpb = 5	rbpd = 15
+rbps = 15	rbdb = 15	rbsb = 15	ngcon = 1

Tabla 2. Modelo 16nm PMOS

Chapter 1 - Introduction

Motivation

SRAM memories are an important type of memory used in many electronic devices, especially in the computer industry. These memories are made up of memory cells that use MOSFET transistors to store and retrieve data. However, the design and operation of SRAM memories still pose challenges, such as reducing the size of the transistors and reducing power consumption. One of the ways to address these challenges is by using different types of MOSFET transistors. These are electronic devices used to control the flow of electrical current in a circuit.

There exist different types of MOSFET transistors, such as p-channel and n-channel ones, which have different electrical properties. Therefore, a study of the effect of different types of MOSFET transistors on SRAM memories can be highly motivating, since it could provide valuable information on how to improve their design and operation. In particular, it could be investigated how the use of different types of MOSFET transistors affects the access speed and the stability of the data stored in the SRAM memory. This study could be carried out through computational simulations and experimental tests, using different configurations of transistors and SRAM memories. The results of this study could provide valuable information for the optimization of SRAM memories and their integration into next-generation electronic devices. In summary, a study of the effect of different types of MOSFET transistors on SRAM memories could be highly motivating, since it could address some of the current challenges in the design and operation of these memories. Furthermore, it could have a significant impact on the computing and electronics industry, by improving the efficiency and performance of electronic industry, by improving the efficiency and performance of electronic devices.

Goals

1. To analyze the effect of different physical parameters of MOS transistors (such as channel size, channel length, etc.) on the performance of SRAM memories. Computational simulations and experimental tests can be performed to measure the access speed, power consumption, and stability of data stored in SRAM based on these parameters.
2. To investigate the influence of the variability of the physical parameters of MOS transistors on the performance of SRAM memories. The variability of the physical parameters of MOS transistors can affect the reliability and quality of SRAM memories, so it is important to understand how these two variables are related. This objective can be achieved by carrying out simulations and experimental tests.
3. To design and optimize the structure of the SRAM to maximize performance based on the physical parameters of the MOS transistors. Using the results of the above objectives, the structure of SRAM memory can be designed and optimized to maximize its.

Work plan

The study was performed with LTSpice XVII, also known as "SwitcherCAD". It is a general purpose electrical and electronic circuit simulation software that is used by engineers and designers around the world to simulate the behavior of complex circuits. It has been developed by Analog Devices and is free to download and use.

LTSpice allows users to create and simulate circuits quickly and easily. The software uses a discrete event simulation model to simulate circuit behavior. This means that the software divides time into small intervals and simulates the circuit behavior at each interval. In this way, LTSpice can simulate complex circuits in a fraction of the time it would take to perform the simulation analytically, there are three types:

- DC analysis: it is performed in steady state, i.e., it is assumed that there are no variations over time. It is used to study the behavior of the circuit under equilibrium conditions, such as the calculation of currents and voltages at a specific point of the circuit.
- Transient Analysis: It simulates the behavior of the circuit over time, considering the variations of the signals. It is used to study the dynamic behavior of the circuit and how it responds to different stimuli, such as a change in the input.
- Frequency Analysis: It simulates the behavior of the circuit as a function of the frequency of the signal. It is used to study how a circuit responds to different frequencies and how this affects the output signal.

The software includes a wide range of electronic components, from resistors and capacitors to power devices, transistors and integrated circuits. In addition, users can add their own component models if they are not in the software library.

Electronic component manufacturers often provide models of their devices for use in simulation programs such as LTSpice. These models are based on actual chip measurements and are adjusted to make the simulation results as accurate as possible.

Device models are essential for accurate and reliable simulations of electronic circuits. Different models are available:

1. Ideal model: This is the most basic model. The component is considered to be perfect and has no limitations or imperfections. For example, an ideal model of a diode would have no internal resistance or reverse current limitation.
2. Parameter model: This model takes into account some basic parameters of the component, such as internal resistance, parasitic capacitance, parasitic inductance, etc. Parameter models are more realistic than ideal models, but still simplify many of the component's characteristics.
3. Subcircuit model: Subcircuit models allow a more detailed model of the component to be defined by constructing an equivalent circuit that represents the behavior of the component. These models can take into account more complex effects such as temperature dependence, nonlinearity, hysteresis, etc.
4. Device model: Device models are highly intricate and comprehensive, and are crafted to precisely depict the behavior of components across a broad spectrum of conditions. These models take into account factors such as device geometry, temperature effects, parameter variation with frequency, etc. These models often require detailed information on component characteristics such as transfer curves, impedance curves, bias curves, etc. This is the model I have used for the simulations.

LTspice also offers an intuitive graphical user interface that allows users to create circuits by dragging and dropping components and connecting them together. Users can use the copy and paste function to copy circuits from one file to another. Once the circuit has been created, users can simulate its behavior using LTspice's simulation function.

The LTspice simulation function is very powerful and offers a wide range of simulation options. Users can simulate circuits in the time domain, where it shows how the

voltage or current changes as a function of time; or in the frequency domain, where it shows how the circuit responds to different input frequencies. Users can also simulate the transient behavior of circuits, allowing them to see how the circuit behaves when a sudden input signal is applied.

In addition, LTspice also offers advanced result analysis tools, such as 3D plots and Fourier analysis tools. These tools allow users to visualize circuit behavior in different dimensions and frequencies.

One of the main advantages of LTspice is that it is free and open source. This means that anyone can download the software and use it to simulate circuits without having to pay for it. Also, because it is open source, users can modify the software and add their own features or components if they wish. The software uses accurate models of electronic components and offers a wide range of simulation options to ensure that simulations are accurate and reliable. This is especially important for circuit designers and other professionals who need to simulate circuits in exacting detail to ensure proper operation.

LTspice is a very complete and powerful tool for electronic circuit design and simulation. Its intuitive and easy-to-use interface, combined with its extensive library of electronic device models, make it an indispensable tool for students, engineers and circuit designers. The ability to simulate circuits in time domain and frequency domain, together with its result analysis tools, make LTspice an essential tool in the process of electronic circuit design and evaluation.

In the case at hand, LTspice simulates a generic MOS transistor as a device model. MOS device models are based on the underlying physics of the device and use mathematical equations to describe its behavior. These device models are based on physical parameters such as charge density at the oxide/channel interface, electron mobility, channel width, etc. I have worked with a real transistor of 16 nanometer channel length. This technology was first introduced to the semiconductor industry in 2014 by several leading chip manufacturing companies, including TSMC, Samsung and GlobalFoundries. It was considered one of the most advanced and high-density

available in those years, and was used in the manufacture of a wide variety of electronic devices, from processors to memories and other integrated circuits.

The 16nm process technology enabled the production of transistors with much smaller sizes and improved electrical characteristics compared to previous technologies. With this technology, it was possible to manufacture transistors with higher integration density, higher speed and lower power consumption compared to transistors manufactured with earlier process technologies.

The International Roadmap for Devices and Systems (IRDS) established a strategic plan for the future of semiconductor technology, which included reducing the channel width of transistors by 25% every two years to comply with Moore's Law. Currently, semiconductor manufacturing process technology has evolved to the 5nm node.

In this project, the generic mathematical model "Predictive Technology Model" (PTM) has been used to perform the tests. This model is a set of mathematical equations that describe the electrical behavior of transistors as a function of manufacturing characteristics and transistor design.

PTM models are widely used in the semiconductor manufacturing industry to predict how transistors will perform under different operating conditions. They are based on experimental data and are calibrated to provide optimum accuracy in predicting transistor behavior. The accuracy of these models is very important to the semiconductor manufacturing industry, as it allows integrated circuit designers and manufacturers to optimize the performance and power efficiency of electronic devices using transistors.

The Tabla 1 and Tabla 2 show the model.

Capítulo 2 - Historia de los Transistores

Todo se crea en función a una necesidad.

En los años 1920, la compañía de telecomunicaciones estadounidense AT&T se enfrentó a un gran desafío para mantener la calidad de la señal de voz en las llamadas de larga distancia entre la costa este y la costa oeste de los Estados Unidos. A medida que la señal se transmitía por el cableado, se debilitaba, lo que generaba problemas de distorsión y ruido, lo que dificultaba la comunicación clara entre los interlocutores. La solución a este problema llegó gracias a los avances tecnológicos en la electrónica, específicamente con la invención de la válvula de vacío (Figura 1). Al utilizar la válvula de vacío como un amplificador de señal, la compañía pudo compensar la pérdida de amplitud en la señal durante la transmisión, lo que permitió una comunicación más clara y eficiente. Este avance tecnológico no solo mejoró la calidad de las llamadas de larga distancia entre las dos costas de Estados Unidos, sino que también sentó las bases para el desarrollo de nuevas tecnologías de comunicación a larga distancia y la consolidación de AT&T como líder en el mercado de las telecomunicaciones.

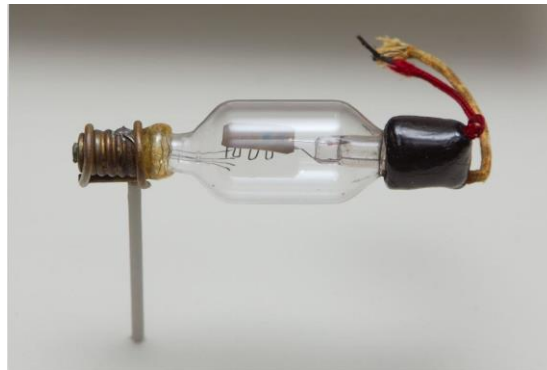


Figura 1. Válvula de vacío

Este dispositivo, aunque pueda verse muy rudimentario, en realidad es muy complejo. La válvula contiene unos filamentos muy delgados los cuales permiten la circulación de mucha corriente y de esa manera se logra que emitan electrones. Todo eso se produce dentro de la bombilla que está en vacío.

Lamentablemente no era muy efectivo poner muchos de estos amplificadores para tener una comunicación, ya que normalmente alguno fallaba, y con que alguno de estas válvulas fallara la comunicación ya no era posible.

La empresa *AT&T* tenía en sus laboratorios gente investigando este problema para encontrar una solución. Su objetivo era conseguir un dispositivo más fiable de estado sólido que amplificara las señales eléctricas.

En la Figura 2 podemos ver uno de estos equipos que estaban investigando este dispositivo, ordenados de izquierda a derecha son: John Bardeen, William Bradford Shockley y Walter Houser Brattain.

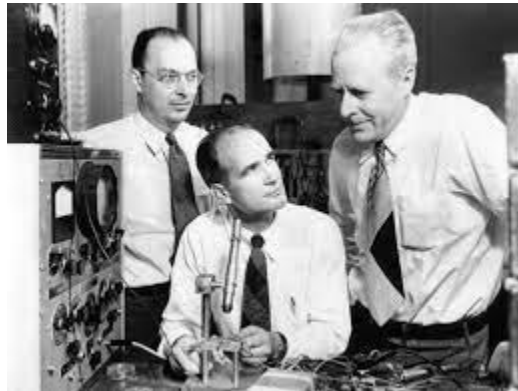


Figura 2. Equipo de investigación de AT&T

La historia de cómo estos tres hombres fabricaron el primer transistor bipolar es muy curiosa porque llevaban mucho tiempo trabajando en ese proyecto, ya que la empresa tenía mucho dinero invertido, pero ninguno conseguía tener un resultado. Llegó a tal punto en el que Shockley de alguna manera se empezó a desentender más del proyecto, sin embargo, John Bardeen y Walter Brattain continuaron con sus investigaciones.

Después de innumerables intentos, en las navidades de 1947 patentaron el primer transistor bipolar (Figura 3), con lo que eran capaces de amplificar una señal eléctrica.

William Shockley era una persona un poco rara pero muy inteligente y que era consciente de la importancia de aparecer en esa patente fue al día siguiente a la oficina de patentes a exigir a que le pusieran como uno de los inventores, dado que era el jefe del grupo, sin embargo, no lo consiguió.

Esas mismas vacaciones de Navidad se encerró 15 días en su casa y desarrolló toda la teoría de los transistores bipolares. Esto es de tal importancia que incluso hoy en día esta teoría es la que se sigue estudiando en mayor o menor medida.

10 años después a estas tres personas les dieron el Premio Nobel y cada uno se separó y siguió trabajando en lo sus propios proyectos.

Para la historia que nos ocupa William Shockley es el más importante. Él era sabedor de la importancia de lo que acababan de inventar y se fue al negocio privado. Montó una empresa cerca de su ciudad natal, en Palo Alto California, llamada *Shockley Semiconductor*, que fue la primera empresa instalada en lo que hoy se conoce el *Silicon Valley*.

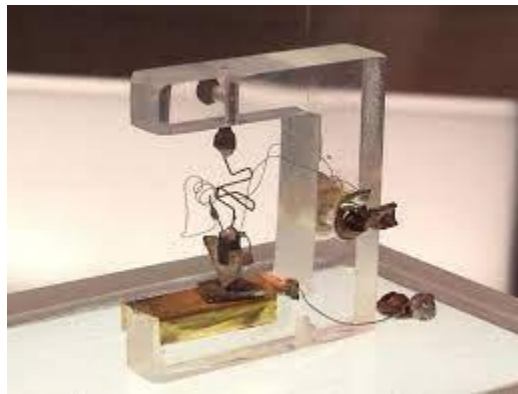


Figura 3. Primer transistor bipolar

En la Figura 4 vemos a William Shockley cómo celebra él con algunos de sus empleados el día que le llamaron desde la academia sueca para notificarle que había ganado el premio Nobel.



Figura 4. William Shockley

En esa imagen se puede ver que sus empleados están muy contentos, pero la realidad era muy diferente ya que una persona con esa personalidad no era muy agradable de aguantar. Esto llegó hasta tal punto que parte de la gente que está en la fotografía hartos de trabajar con su jefe y de ver hacia donde llevaba la decidieron formar un grupo propio. 8 de esos empleados se fueron y se les empezó a conocer como *Los 8 Traidores del Silicon Valley*. (Figura 5)



Figura 5. Los 8 Traidores del Silicon Valley

Estos 8 empleados, dirigidos por Robert Noyce (el que está en el centro de la imagen), tenían claro que el mundo de los semiconductores iba en una dirección diferente a la que su jefe consideraba y empezaron a buscar financiación.

El padre de uno de estos ingenieros se movía en bolsa y les puso en contacto con una persona que les pudo financiar y gracias a eso, se fundó una compañía que la llamaron *Fairchild Semiconductors*.

Como bien auguraron estos ingenieros, *Shockley Semiconductor* se fue a la quiebra, por el contrario, *Fairchild Semiconductors* con la visión que tenían en los años 60 triunfó.

El objetivo de era conseguir el circuito integrado, pero no eran los únicos que tenían ese objetivo, había otra empresa llamada *Texas Instruments* que también andaba tras el mismo objetivo, en concreto Jack Kilby que era un trabajador de dicha empresa que había salido hace poco de la universidad y había sido contratado como becario. En uno de sus primeros años trabajando se quedó el solo en vacaciones y

consiguió fabricar lo que se considera el primer circuito integrado (Figura 6) y el año 2000 recibió el Premio Nobel.

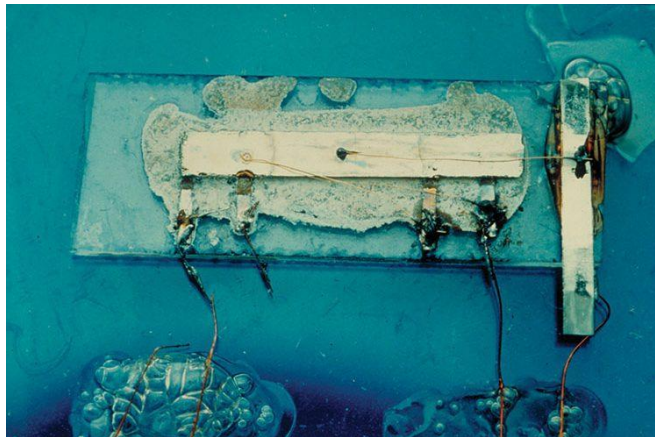


Figura 6. Primer circuito integrado de la historia (Jack Kilby)

En paralelo Fairchild Semiconductors unos meses después del circuito paralelo de Jack Kilby creó su propio prototipo de circuito integrado (Figura 7), con piezas que estaban mucho más definidas y cuya tecnología era muy similar a la que usamos hoy en día (fotolitografía, procesos de dopado por difusión, etc).

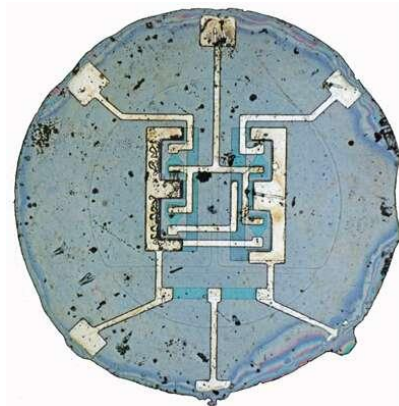


Figura 7. Circuito integrado de Fairchild Semiconductors

Robert Noyse y Gordon Moore fueron los dos fundadores de Intel, que es la empresa más importante hoy en día fabricando procesadores.

El número de transistores que se incluían en los circuitos integrados fue creciendo rápidamente. Una de las razones que condujeron a ese incremento fue la reducción del tamaño de éstos, con las consiguientes ventajas: mayor velocidad, menor consumo de

potencia y mayor número de dispositivos en un mismo circuito integrado, llamado "chip". El aumento inicial de la cantidad de transistores que se integraban en un chip, aunque todavía era un número muy reducido, llevó a Gordon Moore a enunciar una predicción el 19 de abril de 1965: "La complejidad de los circuitos integrados ha crecido a un ritmo de un factor dos por año. Este ritmo se va a mantener durante los próximos 10 años, llegando a 65000 transistores por chip en 1975". A este enunciado se le conoce como Ley de Moore.

Capítulo 3 - El Transistor MOSFET

El MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) es el transistor más utilizado en la industria de la microelectrónica. Se compone de dos terminales y tres capas: Un sustrato de silicio, puro P o N, sobre el cual se genera una capa de óxido de silicio (SiO_2) que posee características dieléctricas o aislantes. Por último, sobre esta se coloca una capa de metal (Aluminio o polisilicio), que posee características conductoras, como se muestra en la Figura 8.

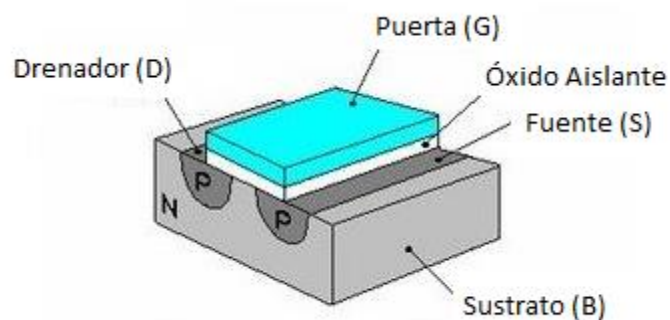


Figura 8. Estructura MOS

Un material del tipo N es aquel que tiene un exceso de electrones, es decir, está dopado negativamente. Mientras que un material de tipo P es aquel que tiene falta de electrones y por lo tanto exceso de "huecos". Los huecos son atribuidos a la ausencia de electrones, por lo que el material de tipo P está dopado positivamente.

Un MOSFET está compuesto básicamente por 3 terminales: Puerta(G), Fuente(S), Drenador(D). El sustrato(B), aunque es una parte importante de la estructura del MOSFET, no se considera un terminal activo.

Existen dos tipos de transistores MOS: los NMOS y los PMOS. En el caso de un transistor tipo PMOS como en la Figura 8, podemos observar que consta de un sustrato tipo N y dos pozos tipo P separados por una cierta distancia. En dicha zona se formará el canal. Uno de los pozos se denomina drenador (D) y el otro, fuente (S). Sobre el canal se deposita una capa de óxido aislante y, encima de ésta, se coloca una capa de metal que formará la puerta (G). El objetivo del MOSFET es controlar el flujo de corriente

existente entre la fuente y el drenador mediante un potencial aplicado en la puerta. Cuando se aplica un voltaje negativo a la puerta mayor que V_T (voltaje mínimo que se debe aplicar a G para que comience a conducir corriente entre S y D), se consigue invertir el sustrato en la zona inferior del óxido que atrae a los huecos (cargas positivas) hacia la superficie del canal, formando así un conducto que permite la circulación de la corriente eléctrica entre la fuente y el drenador. En el caso de un transistor tipo NMOS, la estructura es similar, pero el sustrato es de tipo P, los pozos son de tipo N, y la tensión en la puerta ha de ser positiva.

Cuanto mayor sea la tensión que le apliquemos a la puerta mayor será el canal, permitiendo así que circule más corriente. Sin embargo, llega un momento donde el canal no puede agrandarse más y no puede circular más corriente, en ese momento el MOSFET está saturado. En la Tabla 3 se pueden encontrar las ecuaciones características que generan los tres posibles estados en el transistor NMOS, mientras que en la Tabla 4 se encuentran las correspondientes al PMOS.

Región de Corte	Región Lineal	Región de Saturación
$V_{GS} < V_T$	$V_{GS} \geq V_T, \quad V_{DS} < V_{GS} - V_T$	$V_{GS} \geq V_T, \quad V_{DS} \geq V_{GS} - V_T$

Tabla 3. Estados transistor NMOS

Región de Corte	Región Lineal	Región de Saturación
$V_{GS} > V_T$	$V_{GS} \leq V_T, \quad V_{DS} > V_{GS} - V_T$	$V_{GS} \leq V_T, \quad V_{DS} \leq V_{GS} - V_T$

Tabla 4. Estados transistor PMOS

3.1 Longitud y Anchura del Canal

El ancho y la longitud del canal son dos dimensiones físicas clave de los transistores MOS. Estas dimensiones afectan directamente el comportamiento eléctrico del transistor.

El ancho del canal se refiere a la dimensión del ancho de la región activa del transistor MOS en la dirección perpendicular al flujo de corriente. Este tamaño se denota

como "W". El ancho del canal afecta directamente a la corriente máxima que puede pasar a través del transistor MOS. Los transistores MOS con anchos de canal más grandes pueden manejar corrientes más altas que los transistores MOS con anchos de canal más pequeños ya que el parámetro de transconductancia (k) aumenta con dicha anchura, como se aprecia en la siguiente ecuación:

$$k = KP * \frac{W}{L}$$

Por otro lado, la Tabla 5 y la Tabla 6 muestran las ecuaciones de corriente del NMOS y PMOS respectivamente.

Corte	Lineal	Saturación
$ID = 0$	$ID = k[(V_{GS} - V_T) * V_{DS} - \frac{V_{DS}^2}{2}]$	$ID = \frac{1}{2} * k * (V_{GS} - V_T)^2$

Tabla 5. Ecuaciones de corriente, transistor NMOS

Corte	Lineal	Saturación
$ID = 0$	$ID = -k[(V_{GS} - V_T) * V_{DS} - \frac{V_{DS}^2}{2}]$	$ID = -\frac{1}{2} * k * (V_{GS} - V_T)^2$

Tabla 6. Ecuaciones de corriente, transistor PMOS

La longitud del canal se refiere a la dimensión de la longitud de la región activa del transistor MOS. Este tamaño se indica como "L". La longitud del canal afecta directamente el voltaje umbral (V_T) del transistor MOS, es decir, el voltaje de puerta mínimo requerido para que el transistor comience a conducir corriente. Un transistor MOS con una longitud de canal más corta tendrá un voltaje de umbral más bajo y, por lo tanto, se activará más fácilmente.

En la Figura 9 se observa de manera gráfica qué son la anchura y la longitud de canal del transistor MOS.

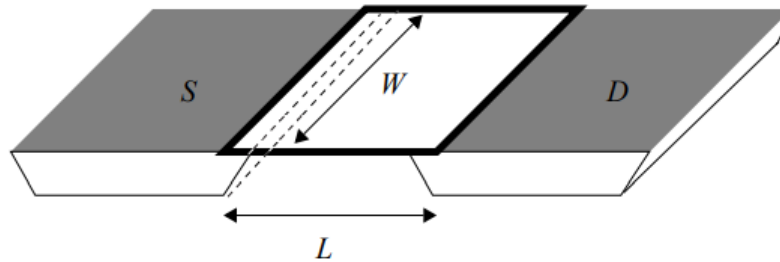


Figura 9. Anchura (W) y longitud (L) del canal

El ancho y la longitud del canal son parámetros importantes que afectan el comportamiento eléctrico de los pozos MOS. La selección correcta de estos parámetros es fundamental para el diseño y la optimización de circuitos electrónicos que utilizan transistores MOS.

Debemos tener en cuenta que cuando se dice que un transistor tiene un tamaño de por ejemplo 40 nanómetros, se refiere a la longitud del canal. Pero el transistor es más grande que dicha medida, ya que el tamaño físico de la oblea de silicio que contiene el transistor es superior a esos 40 nanómetros. En la Figura 10 podemos ver un ejemplo claro.

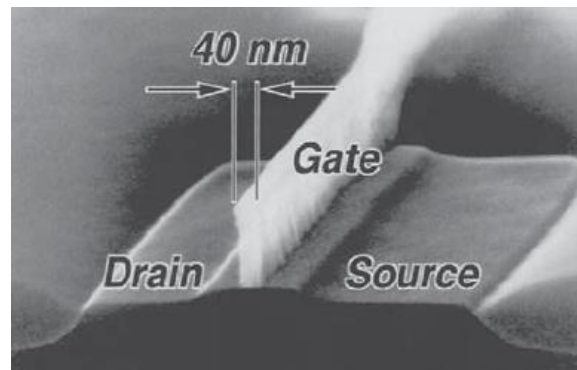


Figura 10. Tamaño real de un transistor de 40nm

Con el MOSFET se ha conseguido un interruptor controlado eléctricamente a escala muy reducida, lo cual hace mucho más fácil juntar una cantidad considerable de MOSFET en un chip que de otro tipo de transistores. Cada vez se pueden fabricar MOSFET mucho más pequeños, que ocupen menos espacio y que sean mucho más eficientes.

Capítulo 4 - Arquitectura de las Memorias SRAM

4.1 Celda SRAM

La celda SRAM está formada por un circuito biestable que está formado por dos inversores uno enfrente al otro, al cual accedemos mediante dos transistores.

La línea de palabra activa los dos transistores de acceso al biestable y la línea de bits contiene el valor leído o el valor que queremos escribir. En la Figura 11 se observa el circuito de una celda SRAM a nivel transistor:

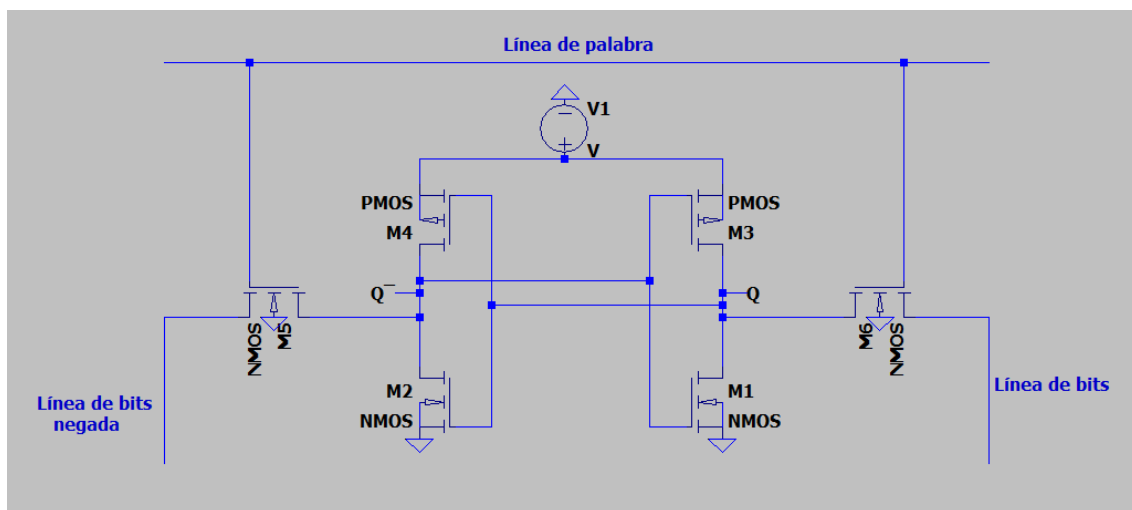


Figura 11. Proyecto: Arquitectura\Celda SRAM

4.1.1 Operación de escritura

Para realizar una operación de escritura, los transistores M5 y M6 han de conducir, para ello se debe cumplir que el voltaje de la línea de palabra sea mayor que la tensión umbral para que dichos transistores dejen de estar en corte y pasen a conducir.

Para almacenar un 1 lógico en la celda, hay que poner en la línea de bits el valor V_{DD} y en la línea de bits negada hay que poner un 0.

En el caso de almacenar un 0, la línea de bits tendrá en valor 0, mientras que la negada tendrá V_{DD} .

En una memoria SRAM hay decenas de miles de celdas por lo que existen diferentes líneas de palabras y de bits que deben ser seleccionadas correctamente para realizar la operación. Las líneas de palabra están siempre físicamente conectadas a los transistores de acceso. Lo que varía es el estado de esos transistores, que puede ser abierto o cerrado, y es lo que determina si la línea de palabra está activa o no, es decir, de todas las M líneas de palabras que tiene nuestra memoria solo estarán activadas las que estén conectadas a V_{DD} . Cuando se activa una línea de palabras se activan las N celdas de esa línea, por lo que para seleccionar la celda concreta basta con activar las líneas de bits para seleccionar la columna donde queremos escribir.

Las memorias SRAM requieren un tiempo determinado para escribir los datos, ya que el cambio de estado del biestable es un proceso que requiere cierto tiempo para completarse. Por lo tanto, el tiempo necesario para escribir va a depender de las capacidades equivalentes de los puntos Q y \bar{Q} y de la corriente que tengamos disponible para cargarlos.

Los transistores de paso ($M5$ y $M6$) no van a permitir alcanzar el valor V_{DD} , sino que va a quedar un valor de $V_{DD} - V_T$, siendo este último la tensión umbral, pero esto no influye en el resultado ya en los biestables basta que la tensión supere el punto de transición que típicamente es $V_{DD} / 2$, para que la propia realimentación del par de biestables haga que la información cargada tienda a 0 o a V_{DD} .

4.1.2 Operación de lectura

Al realizar una operación de lectura, primero ha de haber un valor almacenado en Q y en \bar{Q} para extraer. A su vez, las memorias SRAM son memorias no destructivas por lo tanto no solo se extrae el valor, sino que además mantenemos el dato. Se realiza de la siguiente forma:

1. En primer lugar, lo que se necesita es precargar la línea de bits y la línea de bits negada a una tensión de $V_{DD} / 2$.

2. El segundo paso es desconectar las líneas de bits de $V_{DD} / 2$, es decir lo que hemos cargado en el paso anterior, pero no lo mantenemos ya que se genera una capacidad parásita la que almacena dicha tensión.
3. El tercer paso es activar la línea de palabra para que los transistores $M5$ y $M6$ conduzcan. En ese momento se habrá conectado los puntos Q y \bar{Q} con las líneas de bits. Dependiendo de lo que se haya almacenado, pueden ocurrir dos casos diferentes.

Son los siguientes:

- $Q = V_{DD}$ y $\bar{Q} = 0$ (Figura 12)

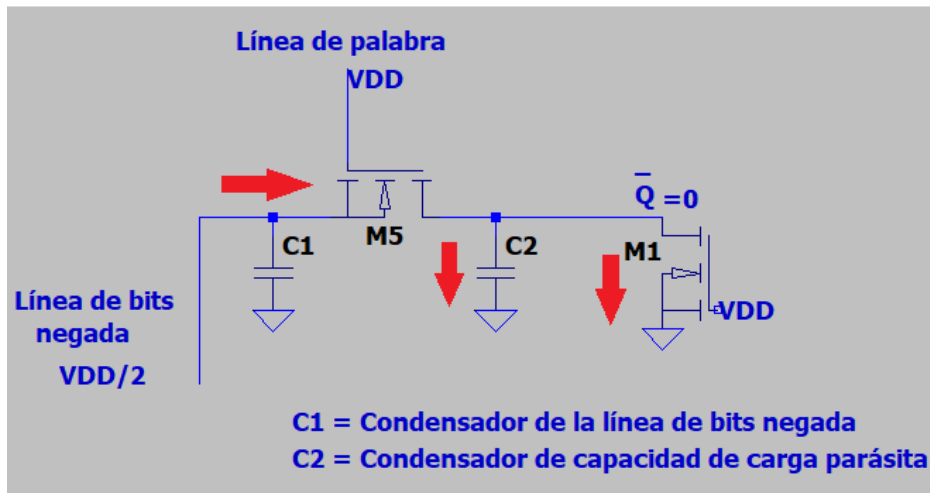


Figura 12. Proyecto: Condensadores de carga parásita

En la línea de bits negada hay un valor precargado de $V_{DD} / 2$ que se pone en contacto con un valor $\bar{Q} = 0$ por lo tanto el condensador $C1$ se descarga en la dirección de las flechas hacia tierra mediante el condensador $C2$ y el transistor $M1$, perdiendo cierta tensión, es decir ahora la tensión será algo menor que $V_{DD} / 2$.

El otro lado se encuentra el circuito análogo (Figura 13):

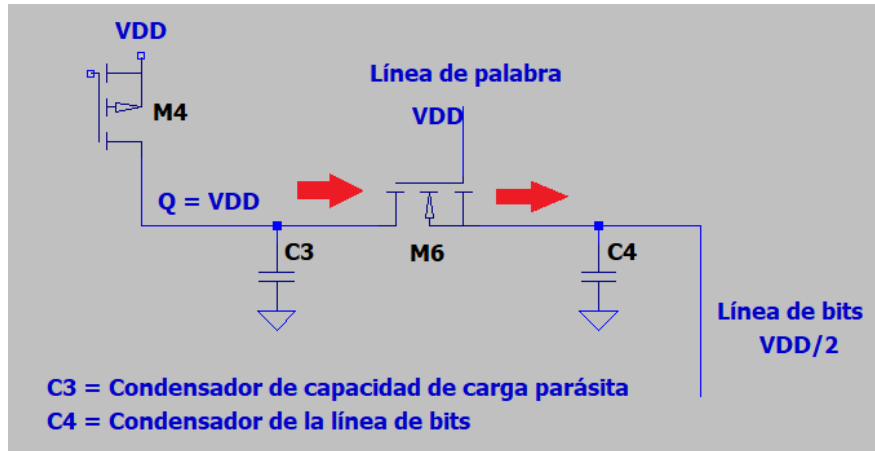


Figura 13. Proyecto: Condensadores de carga parásita

En este caso sucede lo contrario, cuando se activa la línea de palabra se pone en contacto Q (que contiene en ese momento V_{DD}) con la línea de bits que está a una tensión de $V_{DD} / 2$, por lo que la capacidad $C3$ se descarga a través de la capacidad $C4$ y el valor de la tensión que tiene la línea de bits sube su valor por encima de $V_{DD} / 2$.

Esto quiere decir que obtenemos un voltaje diferencial entre la línea de bits y la línea de bits negada.

Se consigue leer el dato cuando:

$$| \text{Voltaje de la línea de bits} - \text{Voltaje de la línea de bits negada} | \\ \approx \text{décimas de voltios}$$

Es decir, si:

$$\text{Voltaje de la línea de bits} - \text{Voltaje de la línea de bits negada} > 0$$

ese pequeño valor posteriormente se llevará al circuito amplificador para que se lea un 1.

Durante este proceso, el valor de la tensión en Q desciende un poco (como se apreciará en las simulaciones realizadas en el próximo capítulo), pero gracias al biestable vuelve a su estado original. Es muy importante que nunca se llegue a bajar el valor en Q por debajo de $V_{DD} / 2$ ya que, de lo contrario, se cambiaría el dato que hay guardado en la celda de memoria.

- $Q = 0$ y $\bar{Q} = V_{DD}$ (Figura 14)

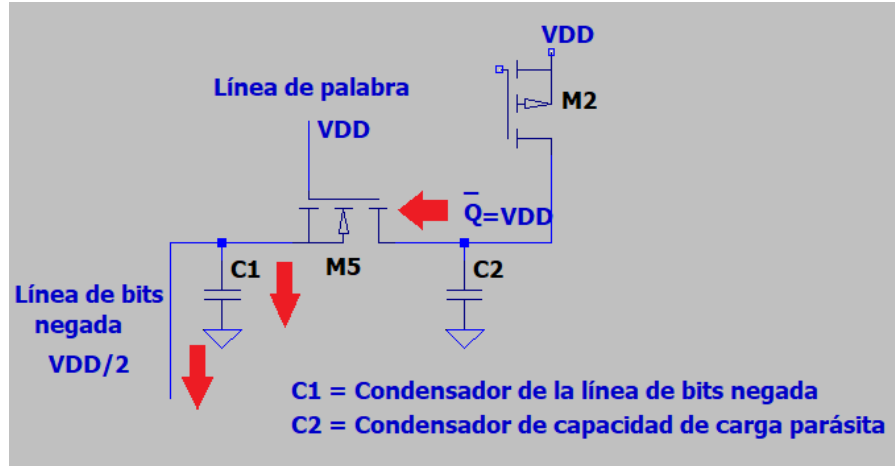


Figura 14. Proyecto: Condensadores de carga parásita

En \bar{Q} tenemos guardado V_{DD} y cuando la línea de palabra está activada se conecta con la línea de bits negada. Esto produce una corriente que descarga el condensador C2 al condensador de la línea de bits, lo que produce que el valor de $V_{DD} / 2$ aumente ligeramente.

El otro lado se encuentra el circuito análogo (Figura 15):

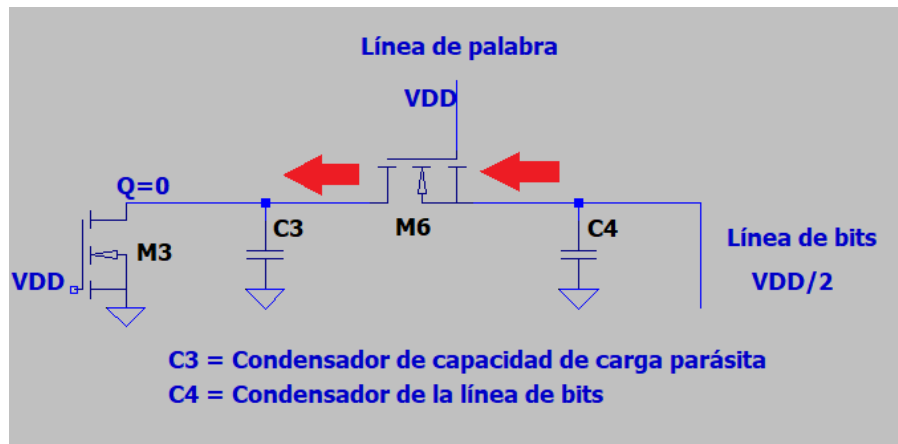


Figura 15. Proyecto: Condensadores de carga parásita

En este caso sucede lo contrario, cuando se activa la línea de palabra se pone en contacto Q con la línea de bits lo que produce que haya una corriente. En este caso el condensador C4 se descarga a través del

condensador C3 y el transistor M3. Por tanto, el valor final en la línea de bits es menor que $V_{DD} / 2$.

Esto quiere decir que obtenemos un voltaje diferencial entre la línea de bits y la línea de bits negada. Hemos conseguido leer el dato cuando ese proceso ya está en el orden de:

$$| \text{Voltaje de la línea de bits} - \text{Voltaje de la línea de bits negada} | \\ \approx \text{décimas de voltios}$$

Es decir, si:

$$\text{Voltaje de la línea de bits} - \text{Voltaje de la línea de bits negada} < 0$$

ese pequeño valor posteriormente se llevará al circuito amplificador para que se lea un 0.

4.2 Decodificador de Línea de Palabra

Se necesitan M bits para direccionar una memoria con 2^M líneas de palabra. Seleccionar cada una de las líneas de palabras consiste en conectar esa línea de palabra a V_{DD} , las líneas que no están seleccionadas estarán conectadas a tierra.

A continuación, se muestra un ejemplo de memoria con cuatro líneas de palabras.

Por ejemplo, si hubiese 4 líneas, se necesitarán 2 bits de selección y cada línea solo se va a activar para una única combinación de valores. La Tabla 7 muestra las posibles combinaciones.

B1	B0	Fila 0	Fila 1	Fila 2	Fila 3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Tabla 7. Tabla de verdad de un decodificador de 2 a 4

Este decodificador se podría realizar mediante puertas NOR, siendo:

- $Fila\ 3 = \overline{\overline{B1 + B0}}$
- $Fila\ 2 = \overline{\overline{B1 + B0}}$
- $Fila\ 1 = \overline{\overline{B1 + B0}}$
- $Fila\ 0 = \overline{\overline{B1 + B0}}$

En la Figura 16 se representa el decodificador en LTSpice, donde se utilizan transistores NMOS y PMOS que simulan puertas NOR.

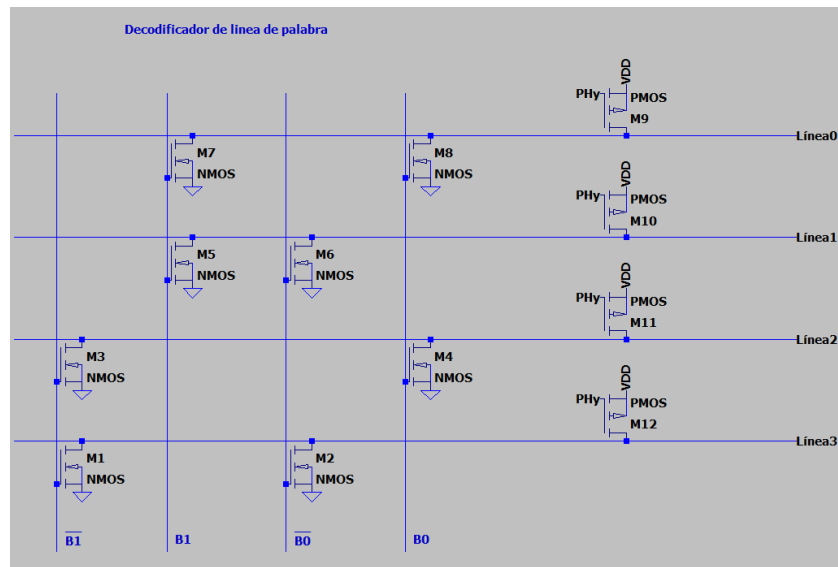


Figura 16. Proyecto: Arquitectura\Decodificador de línea

Cuando no se accede a la memoria, el valor de PHy (ver Figura 16) es 1. Por lo tanto, si $PHy=1$ todos los PMOS están desconectados de V_{DD} por lo que la memoria tendrá los valores que tenga previamente almacenados y no hay consumo cuando no estamos accediendo a la memoria.

Tenemos 2 fases, ambas se usan para la lectura y para la escritura:

1. Fase de Precarga:

En este caso $PHy = 0$ y por lo tanto todas las líneas se conectan a V_{DD} ya que los transistores PMOS dejan pasar la corriente.

2. Fase de Evaluación:

En esta fase el valor de P_{Hy} pasa a valer 1, por lo que los transistores PMOS cortan su valor. De este modo las líneas de palabras quedan desconectadas de V_{DD} , pero con el valor precargado.

Todos los valores de B_1 y B_0 , las 4 líneas, adquieren el valor necesario para acceder a la línea de palabra concreta. Luego los transistores NMOS se activan o desactivan según los valores dados por B_1 y B_0 .

Las líneas de palabra que no queremos evaluar, que son todas menos una, se conectarán a tierra mediante esos transistores y por lo tanto solo quedará cargada a V_{DD} la línea que queremos evaluar.

Esta operación reduce el consumo frente a cualquier otra lógica en la cual los PMOS estuvieran siempre activos.

4.3 Decodificador de Columna

Un decodificador de columna NOR es similar que el decodificador de línea de palabras. Hay una dirección de columna con N bits, que actuarían sobre 2^N columnas de bits.

En este decodificador, la entrada de N bits se utiliza para seleccionar una de las líneas de salida. Si la combinación de N bits seleccionada produce, por ejemplo, una salida de 1 (V_{DD}) en la línea 2 del decodificador, esto activa el transistor correspondiente en la línea 2. Además, como la otra línea de bits (la que está negada) está cortocircuitada, también se activa. Esto es porque la línea negada también está conectada a un transistor que está en paralelo con el transistor activado por la línea seleccionada. Por lo tanto, ambos transistores se activan al mismo tiempo y la corriente fluye a través de ambos. En la Figura 17 está el diseño a nivel transistor.

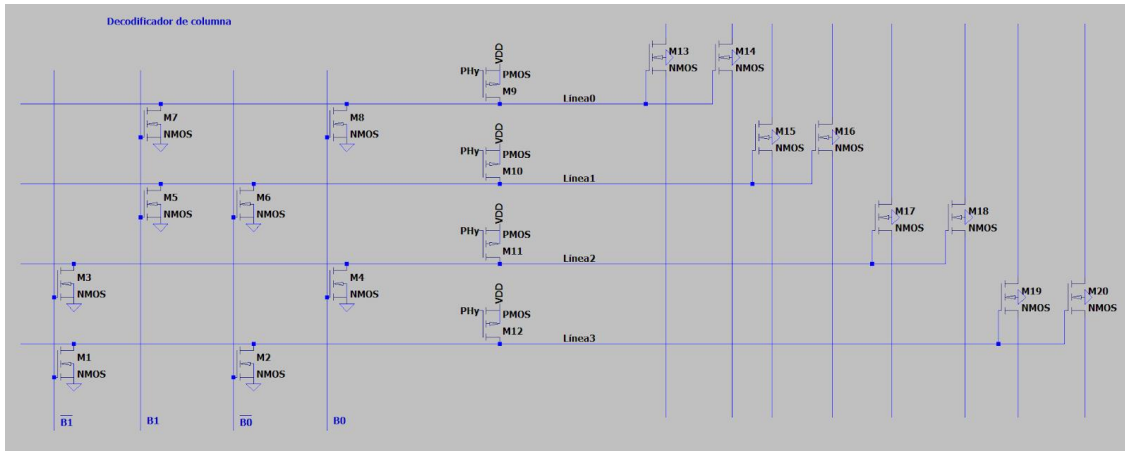


Figura 17. Proyecto: Arquitectura\Decodificador de columna

4.4 Amplificador Diferencial de Salida

Un amplificador diferencial de salida en una memoria SRAM es un componente que se encarga de amplificar y regenerar la señal eléctrica que se almacena en las celdas de memoria de la SRAM. El amplificador es necesario para mantener la integridad de la información almacenada en la memoria, ya que la señal eléctrica se debilita con el tiempo y puede perder su nivel de voltaje suficiente para ser detectado. Este amplificador es capaz de detectar y amplificar esta señal débil para asegurar que la información almacenada se pueda recuperar con precisión.

La Figura 18 muestra el circuito del amplificador, es similar a una celda SRAM:

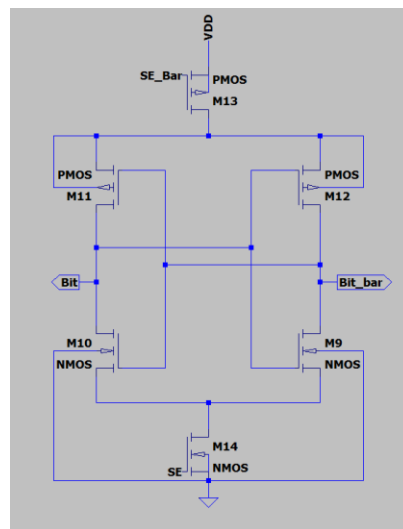


Figura 18. Proyecto: Arquitectura\Amplificador

Tenemos que recordar que la propiedad más importante del biestable es que dicho circuito si se desequilibra con respecto a su punto de estabilidad, evoluciona hacia uno de los dos posibles estados estables (1 o 0). Por lo tanto, para este circuito, es suficiente que la señal proporcionada sea de unas pequeñas décimas de voltios para que la señal del amplificador sea un 0 o un 1.

Este amplificador aporta otros 2 transistores, uno de tipo N y otro de tipo P, los cuales están controlados por las señales *SE* y *SE_Bar* que se activarán a la vez para que el elemento haga su función.

4.5 Arquitectura Completa

La Figura 19 contiene una memoria SRAM de 4x4 celdas, con un decodificador de fila (líneas de palabras), uno de columna (líneas de bits) y 4 amplificadores.

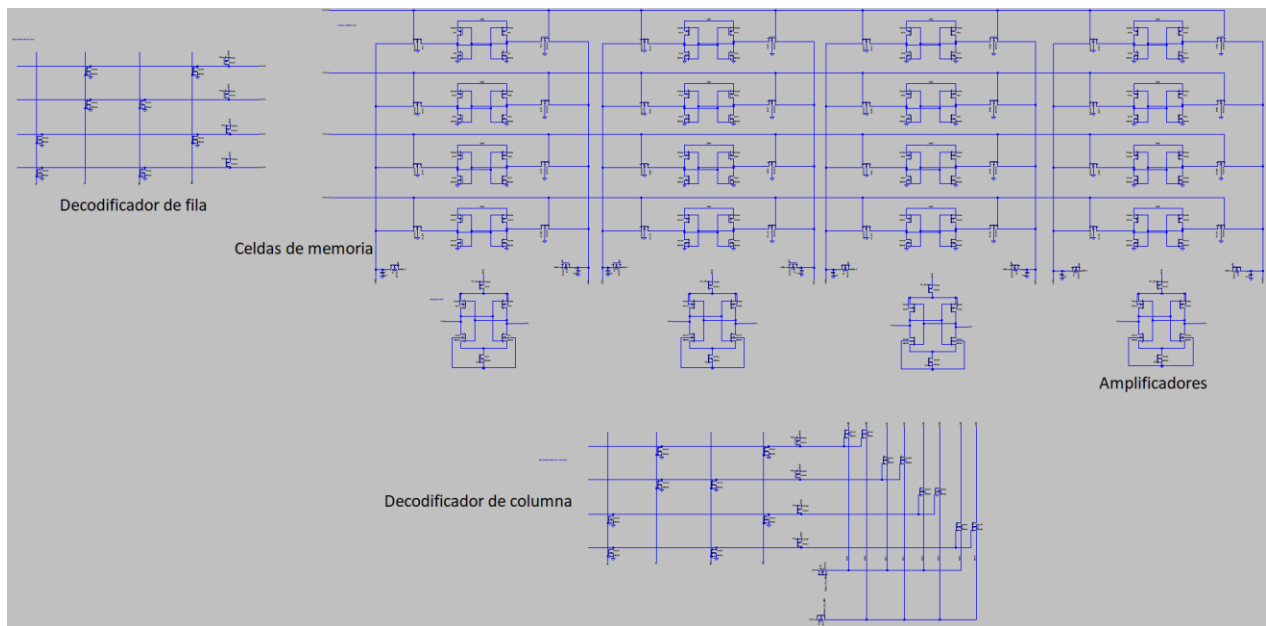


Figura 19. Proyecto: Arquitectura\SRAM Completa

Capítulo 5 - Simulaciones

Para tener una comprensión más clara y detallada del funcionamiento de las memorias SRAM, se ha decidido aislar en las simulaciones una celda de memoria y estudiarla individualmente. De esta manera, se pueden analizar los parámetros de los transistores que están presentes en la celda de memoria y comprender mejor cómo interactúan entre sí. El objetivo de este enfoque es tener una mejor comprensión de los tiempos de la celda de memoria, como el tiempo de lectura y el tiempo de escritura. Una vez que se hayan entendido estos tiempos en la celda de memoria individual, se podrá extrapolar este conocimiento al conjunto completo de celdas de memoria en una memoria SRAM.

5.1 Escritura

La Figura 20 contiene el primer circuito con el que he trabajado:

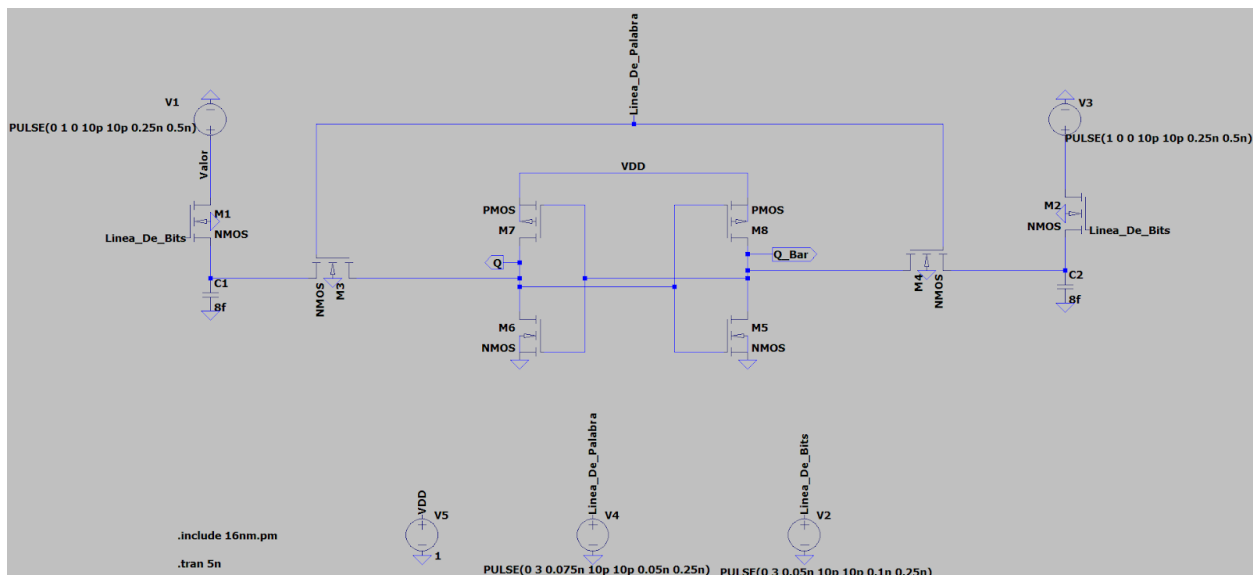


Figura 20. Proyecto: Transistor 16nm\SRAM Escritura\Base

El transistor de 16 nanómetros se ha incluido con la instrucción: `.include 16nm.pm`. A partir de aquí todos los transistores PMOS y NMOS que incluya serán de este tipo. Las longitudes del canal (L) de los transistores PMOS y NMOS son de 16 nanómetros que es el mínimo que nos permite la tecnología de este modelo. Por otro lado, las anchuras del

canal (W) de los transistores PMOS y NMOS son de 11 nanómetros, que es el mínimo de ancho que nos permite esta tecnología para la anchura.

Para que la escritura se haga de forma correcta, tenemos que duplicar la anchura (W) de los transistores $M3$ Y $M4$. El motivo es que estos transistores deben tener una baja resistencia para permitir que se lea y escriba rápidamente la información almacenada en la celda. La resistencia de acceso depende de la anchura del transistor NMOS, ya que la corriente que fluye a través del transistor depende directamente de su área de canal efectiva. Por lo tanto, cuanto mayor sea la anchura del transistor NMOS de acceso, menor será su resistencia de acceso.

El proceso de escritura es el siguiente:

- Activo el transistor de la línea de bits para que se ponga a V_{DD} y a 0 la negada o viceversa.
- Abro la línea de palabra y en ese momento los transistores $M3$ y $M4$ están en contacto con la línea de bits y se observa que el biestable evoluciona hacia donde queremos escribir.
- Cierro la línea de palabra.
- Cierro la línea de bits.
- Posteriormente el biestable hace su trabajo de llevar el valor a V_{DD} o a 0 según lo que se haya escrito. Este valor no vuelve a cambiar hasta que no se abra de nuevo la línea de palabra.

En la Figura 21 se realiza la escritura de 1 voltio o de 0 voltios en la celda SRAM (la gráfica $V(\text{valor})$ es el dato que se quiere almacenar que corresponde a una señal periódica):

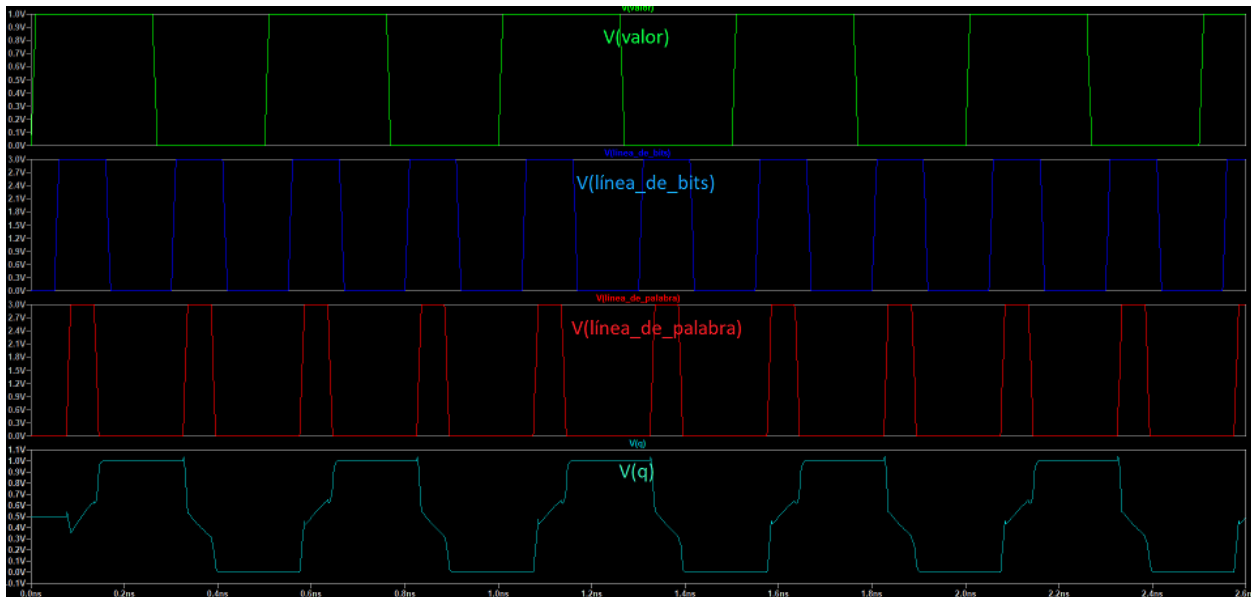


Figura 21. Proyecto: Transistor 16nm\SRAM Escritura\Base

En la Figura 22 he creado dos cursores, colocados al inicio y al final del pulso de reloj de la línea de bits, ya que esta línea es la que marca el inicio y fin de la escritura en la celda. Se observa que la escritura se realiza en menos de 1 nanosegundo, concretamente en 120 picosegundos con una frecuencia de 4 GHz.

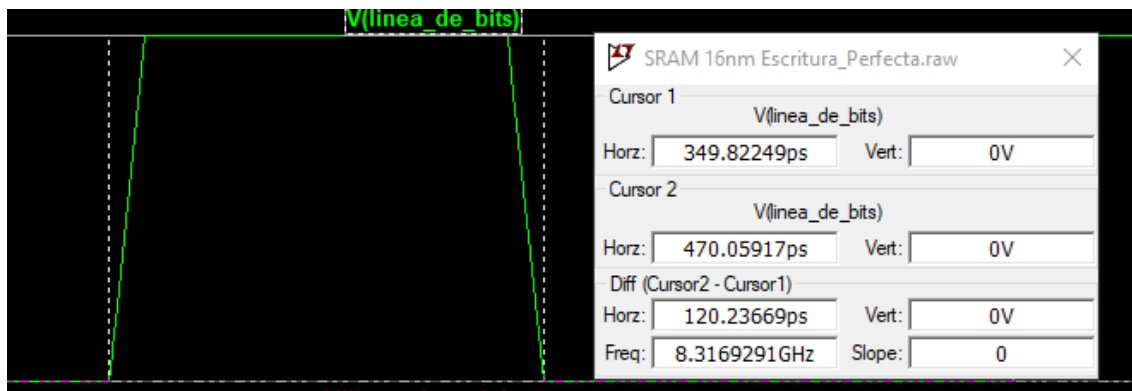


Figura 22. Frecuencia de escritura

Al modificar la longitud de canal de todos los transistores y mantener la anchura con los mismos nanómetros, la escritura se realiza incorrectamente. Para que se vea correctamente he aumentado la longitud del canal a 50 nanómetros, en la Figura 23 se ven los resultados.

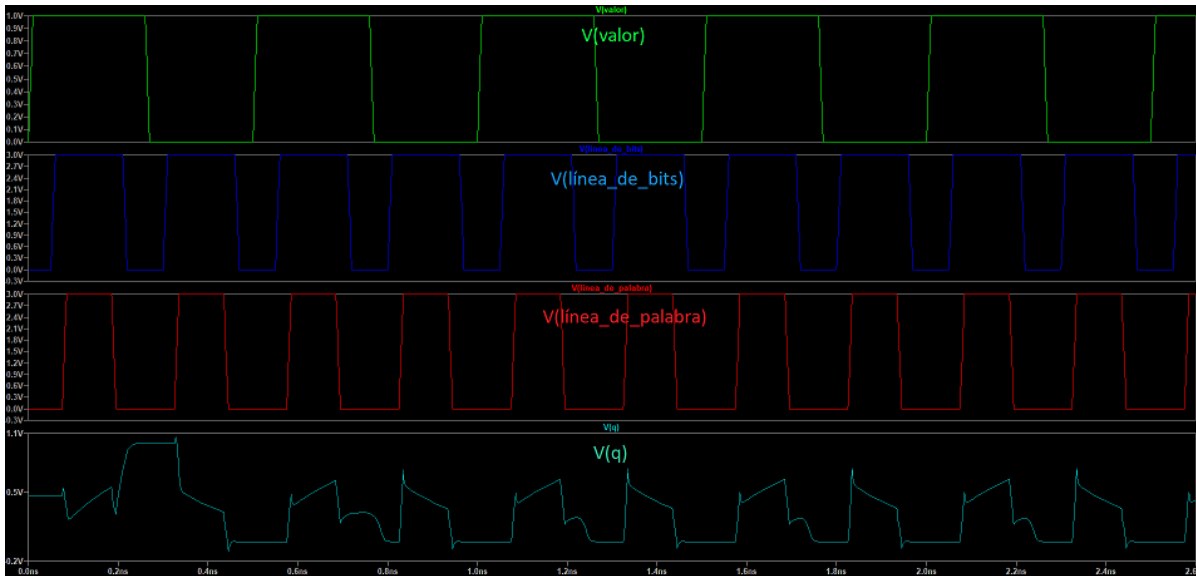


Figura 23. Proyecto: Transistor 16nm\SRAM Escritura\SRAM Escritura Modificando L\ L(50)-1

Si la longitud de canal aumenta, la resistencia de encendido también aumentará, lo que significa que se necesitará una tensión más alta para encender el transistor. Por lo que tenemos que aumentar la tensión de entrada, la línea de bits, la línea de palabra y V_{DD} . Dichas tensiones las aumentaremos de 3 voltios a 4 voltios. Como las escrituras se realizan más lentamente tendremos que disminuir la frecuencia para que la operación sea hecha correctamente. Los nuevos resultados se muestran en la Figura 24.

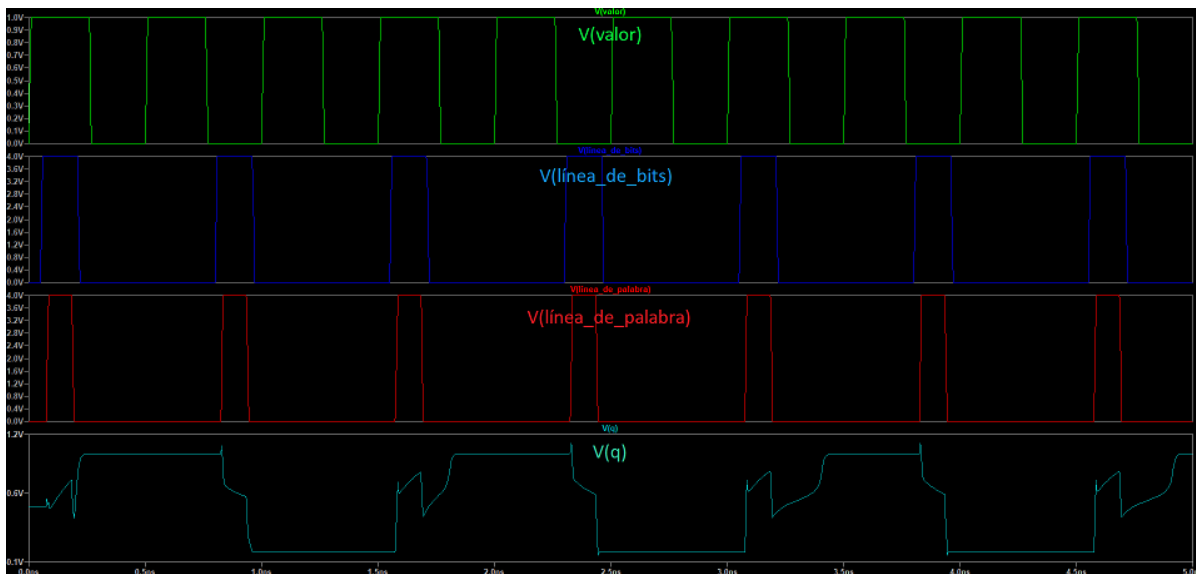


Figura 24. Proyecto: Transistor 16nm\SRAM Escritura\SRAM Escritura Modificando L\ L(50)-2

Si ahora en vez de modificar la longitud del canal de los transistores se modifica la anchura del canal al doble de la que tenían, es decir, a 22 nanómetros, menos los NMOS que controlan la línea de palabra que deben tener el doble (44 nanómetros) por lo explicado en el principio de este punto, se observa que la escritura no varía significativamente. Esto sucede porque cuando aumentamos la anchura de canal de un transistor la resistencia del canal disminuye y, por lo tanto, se puede manejar más corriente. Esto puede llevar a una mejora en la velocidad de conmutación y, por lo tanto, en la velocidad de escritura de la memoria SRAM.

Para ver este cambio he desconectado las líneas de bits con el biestable para ver las diferentes variaciones de voltaje que se obtiene (Figura 25).

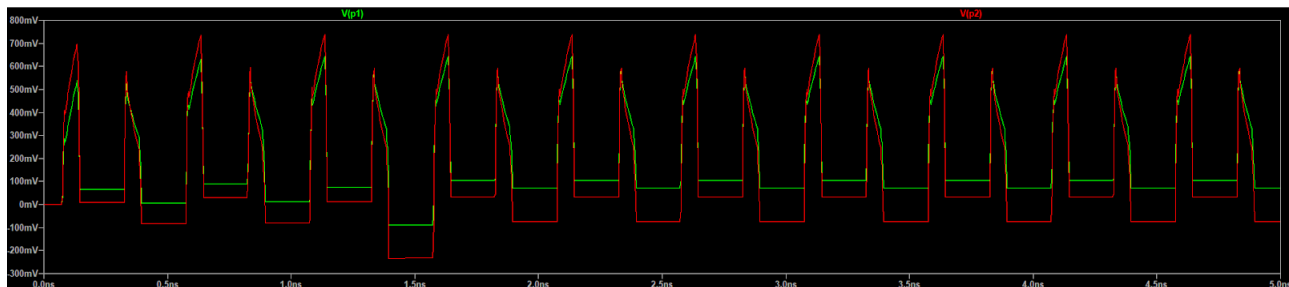


Figura 25. Proyecto: Transistor 16nm\SRAM Escritura\SRAM Escritura Modificando W\ W(22)-1

La gráfica roja (V(P2)) obtiene una tensión más alta debido al aumento de la anchura del canal de los transistores.

La Figura 26 demuestra la escritura de ambos circuitos con las diferentes anchuras.

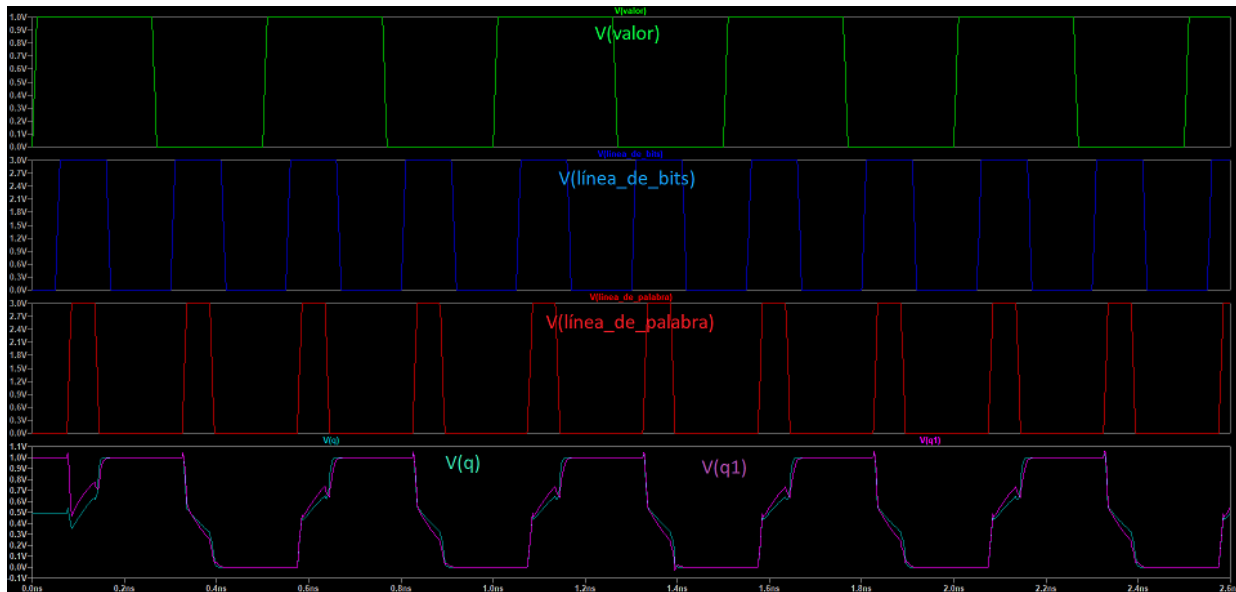


Figura 26. Proyecto: Transistor 16nm\SRAM Escritura\SRAM Escritura Modificando W\ W(22)-2

5.2 Lectura

En esta sección se presentan los resultados obtenidos a través de la simulación del circuito diseñado para leer un dato en una memoria SRAM. La Figura 27 muestra el circuito que se ha trabajado en este proyecto, y se han llevado a cabo una serie de simulaciones para evaluar su rendimiento.

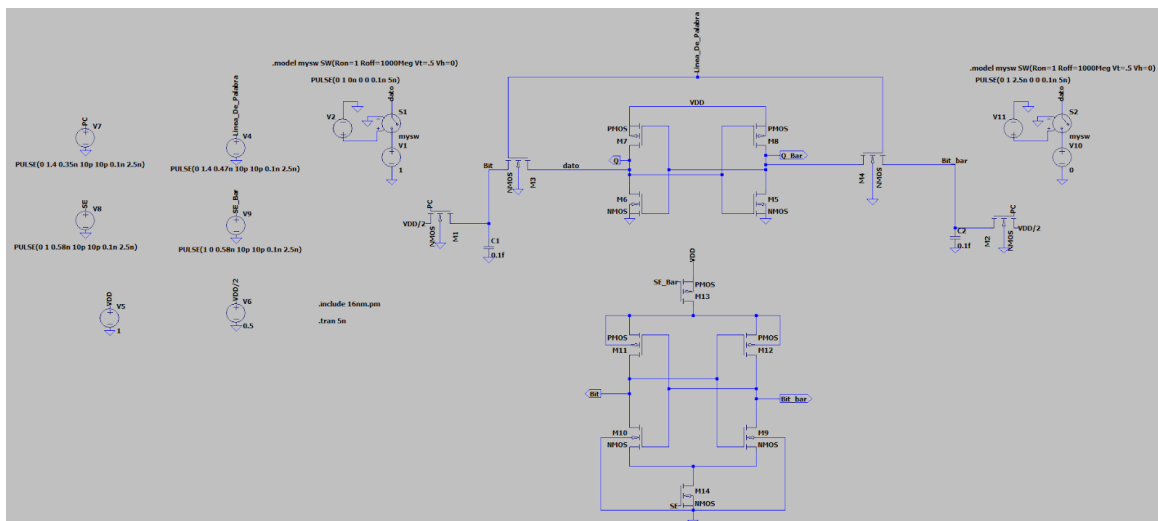


Figura 27. Proyecto: Transistor 16nm\SRAM Lectura\Base

Se han colocado dos Switches que introducen un 1 y un 0 respectivamente en la celda SRAM y después lo aísla, esto se hace para simular que haya un 1 guardado en Q y seguidamente un 0 (la variable *dato* es el valor que se introduce en Q).

El proceso de lectura es el siguiente (Figura 28):

- Se activa la señal ($V(PC)$) que precarga la línea de bit y la línea de bit negada a $V_{DD} / 2$, se tiene que asegurar que la línea de palabra está desactivada ya que si no podría borrarse el dato que está cargado en la memoria.
- Se abre la línea de palabra una vez se haya precargado a $V_{DD} / 2$, esto debe de suceder rápido ya que, de lo contrario, las líneas de bits se pueden descargar.
- Se conecta el amplificador diferencial de salida a las líneas de bits (activando para ello $V(SE)$ y $V(SE_Bar)$) para que la salida de la celda evolucione a 1 o a 0 según el dato que existía en esa celda de memoria.

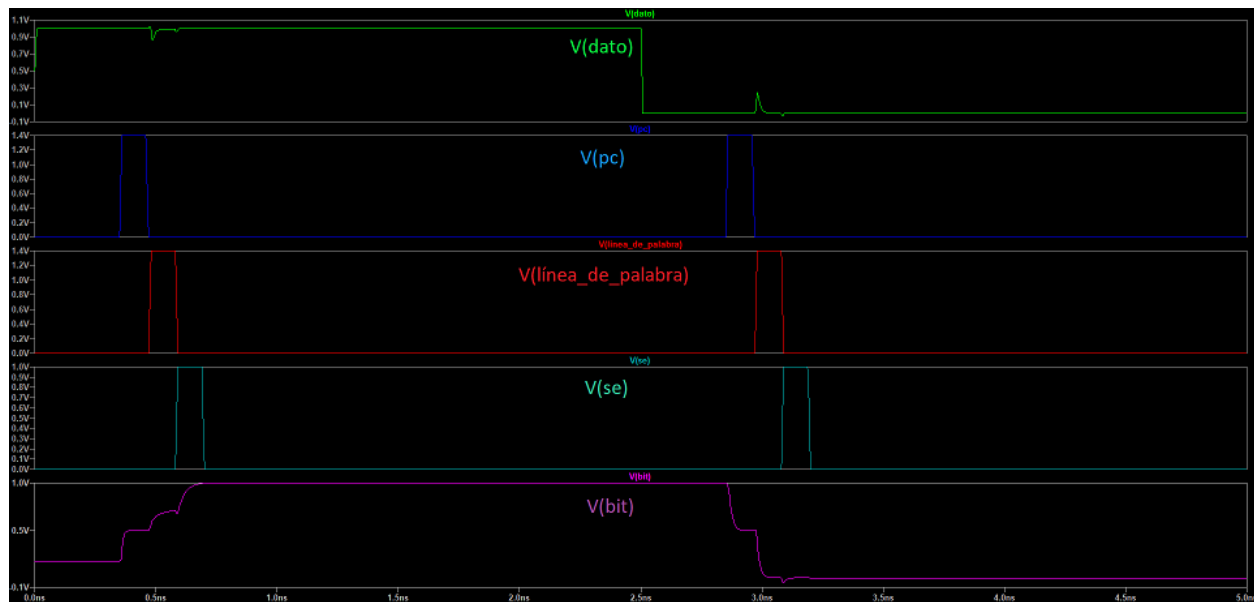


Figura 28. Proyecto: Transistor 16nm\SRAM Lectura\Base

En la Figura 28, se observa que, cuando se activa la línea de palabra, la carga que estaba guardada en Q ($V(dato)$) procede a descargarse ligeramente, ya que en la línea de bits está precargada a $V_{DD} / 2$. Por tanto, es muy importante que el valor que

hay en Q en ningún momento baje de $V_{DD} / 2$ ya que, de lo contrario, el biestable hará que cambie el valor guardado a 0. Esto también sucede a la inversa, es decir, cuando está almacenado el 0 en la celda, empezará a cargarse, y no tiene que sobrepasar $V_{DD} / 2$ para que no cambie el valor almacenado a 1. Este efecto no se produce en la Figura 28, donde se observa que la salida de la celda ($V(\text{bit})$) es correcta.

Para garantizar una escritura rápida y precisa, he creado y coordinado un circuito idéntico con las frecuencias de las señales de manera adecuada en otro proyecto. Los resultados se representan en la Figura 29 y muestran que las lecturas se realizan correctamente:

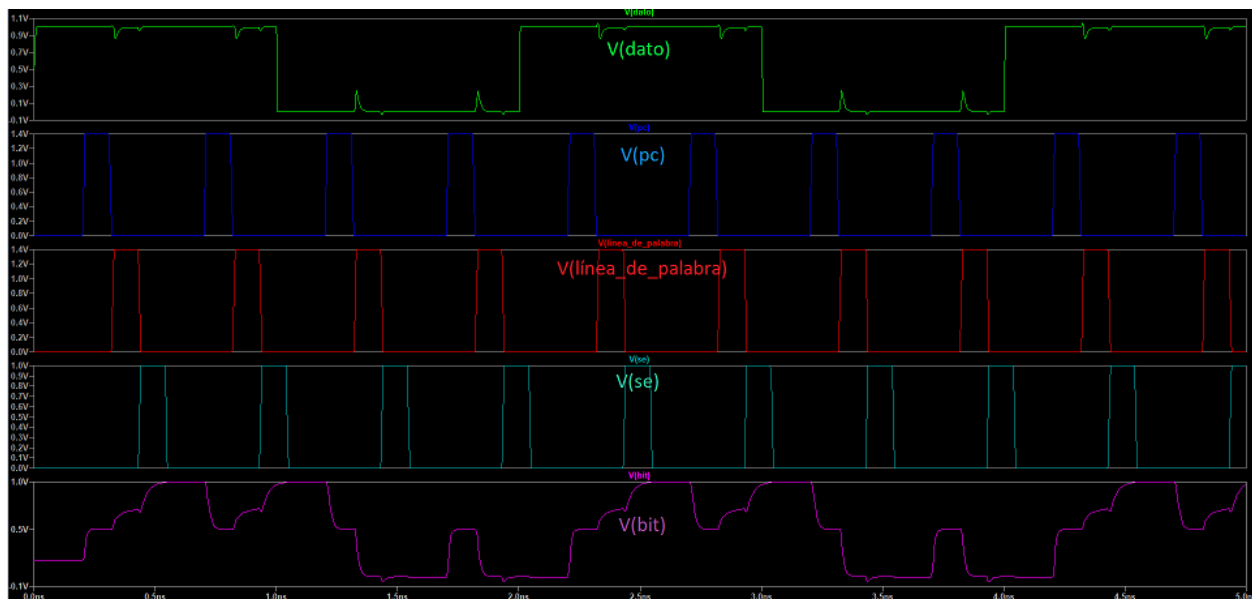


Figura 29. Proyecto: Transistor 16nm\SRAM Lectura\Lectura-Rápida

Cada vez que se activa la línea de palabra (momento en el cual el valor que está almacenado en Q es el que se leerá) y posteriormente las señales del amplificador, la salida de éste varía correctamente.

Si modificamos la anchura del canal de los transistores, pero únicamente los del biestable de la celda SRAM, a 15 nanómetros (Figura 30), 20 nanómetros (Figura 31), 25 nanómetros (Figura 32) y 30 nanómetros (Figura 33) respectivamente, se obtienen los siguientes resultados:

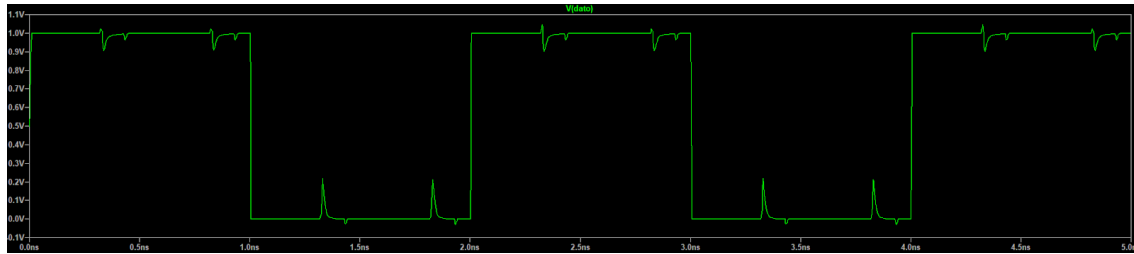


Figura 30. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando W\W(15nm)

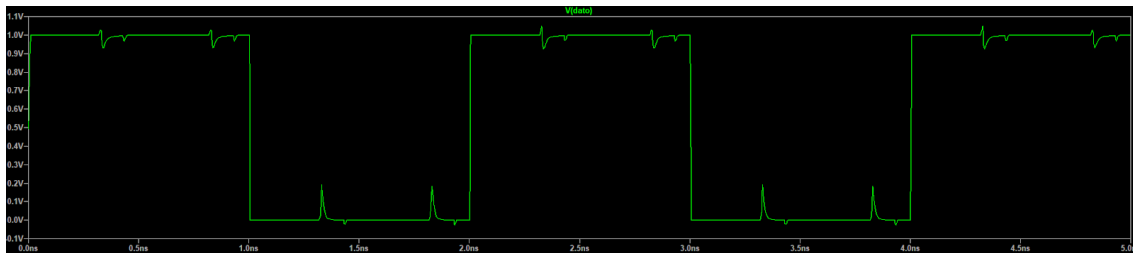


Figura 31. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando W\W(20nm)

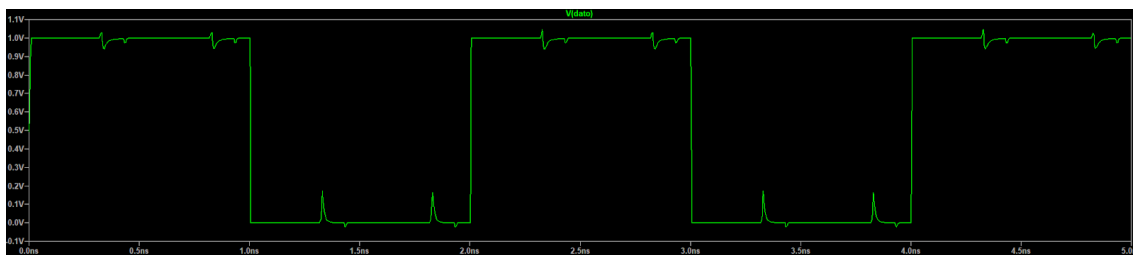


Figura 32. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando W\W(25nm)

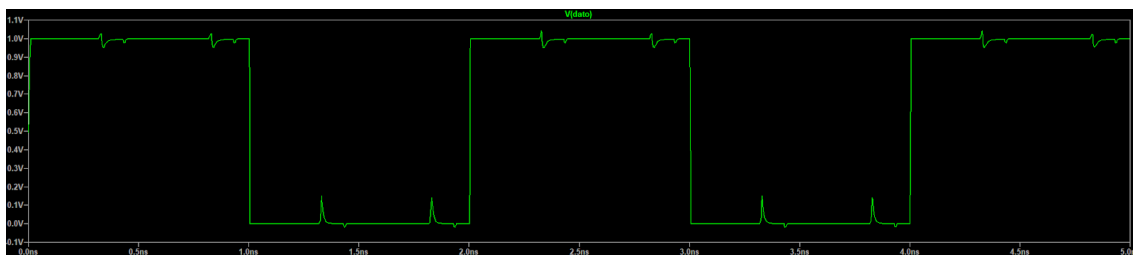


Figura 33. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando W\W(30nm)

La Figura 34 muestra claramente la diferencia entre las caídas de tensión en V(dato) cuando su valor es 1 se realiza una lectura, para las diferentes anchuras de canal de las Figuras 30-33, permitiendo así una fácil visualización y comparación entre los resultados obtenidos.

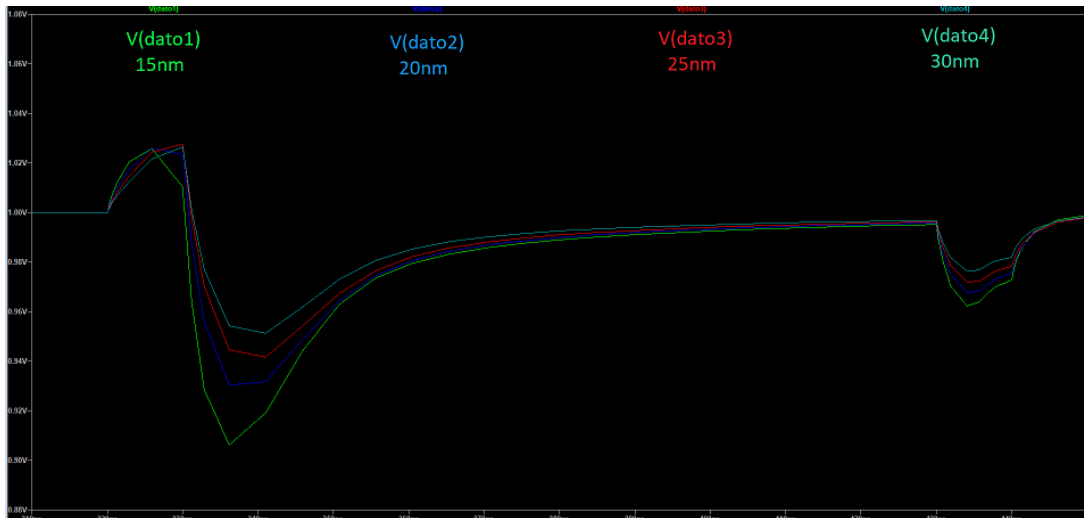


Figura 34. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando W\Juntos)

Cada vez que aumentamos la anchura del canal, se mejora la capacidad de conducción de la celda y por lo tanto se reduce la resistencia de la ruta de acceso a los datos. Pero si se aumenta demasiado se produce un aumento en la corriente de fuga lo que conlleva a un aumento de la temperatura y ruido.

Por otro lado, si se aumenta de la longitud del canal de los transistores de los biestables, a 20 nanómetros (Figura 35), 30 nanómetros (Figura 36) y 40 nanómetros (Figura 37) respectivamente:

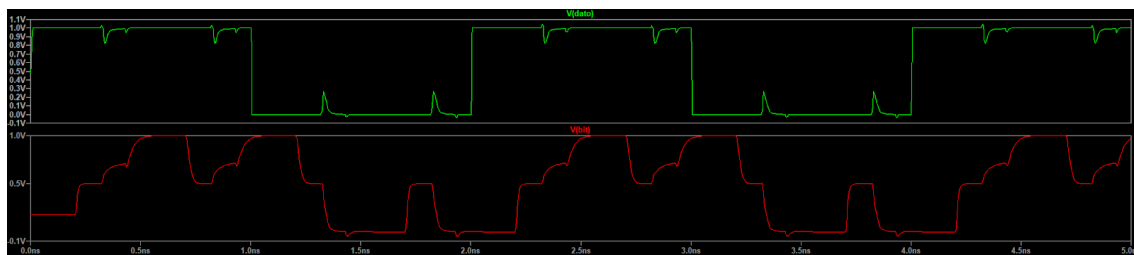


Figura 35. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando L\L(20nm)

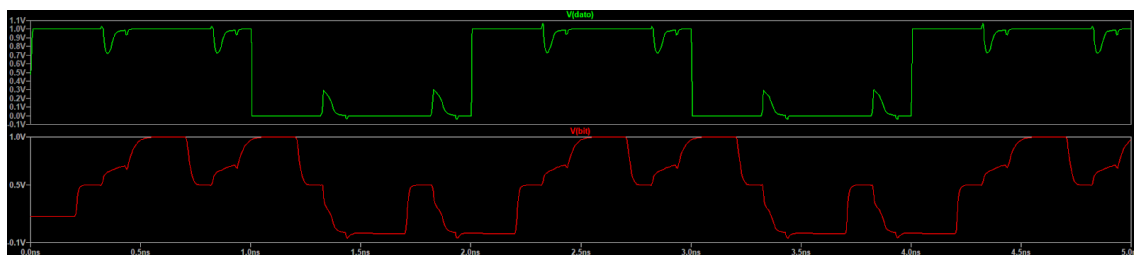


Figura 36. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando L\L(30nm)

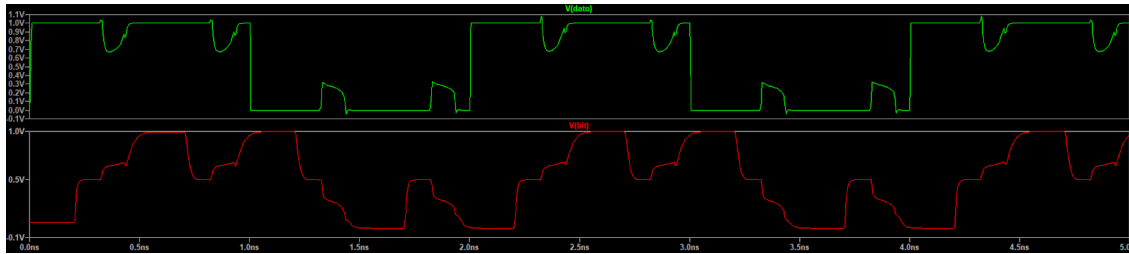


Figura 37. Proyecto: Transistor 16nm\SRAM Lectura\SRAM Lectura\SRAM Lectura Modificando L\L(40nm)

La resistencia aumenta y la ganancia disminuye, lo que hace que la celda SRAM sea más lenta y menos sensible a las señales de entrada. Sin embargo, una ventaja potencial de aumentar la longitud de canal de los transistores es que puede reducir el consumo de energía de la celda SRAM, ya que los transistores tendrán una resistencia más alta y, por lo tanto, consumirán menos corriente.

5.3 Lectura/Escritura

La Figura 38 es la unión de los dos proyectos anteriores, tanto el de lectura como el de escritura. Ambos tienen las mismas configuraciones de anchura y longitud de los transistores NMOS y PMOS.

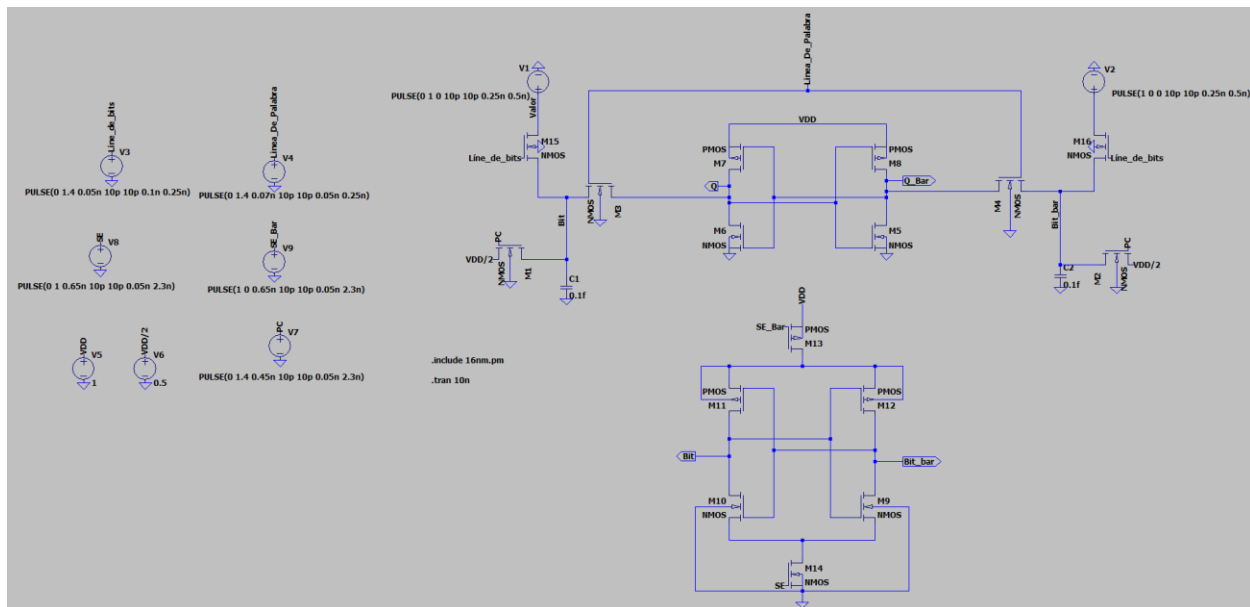


Figura 38. Proyecto: Transistor 16nm\SRAM Lectura-Escritura\R-W-1

La escritura se realiza de forma correcta como se puede ver en la Figura 39:

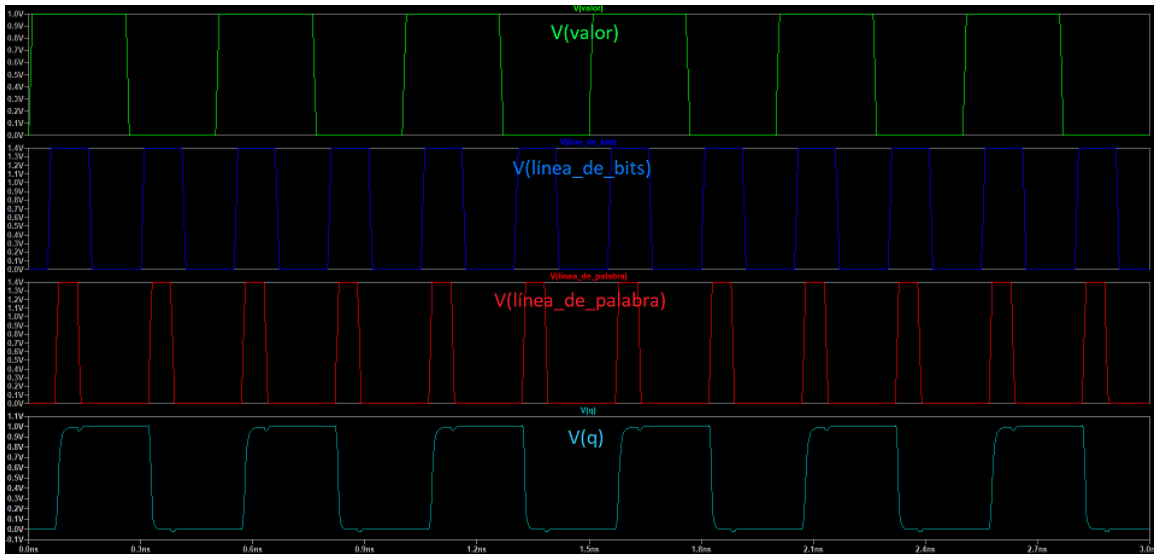


Figura 39. Proyecto: Transistor 16nm\SRAM Lectura-Escritura\R-W-1

Mientras que la lectura es incorrecta (Figura 40):

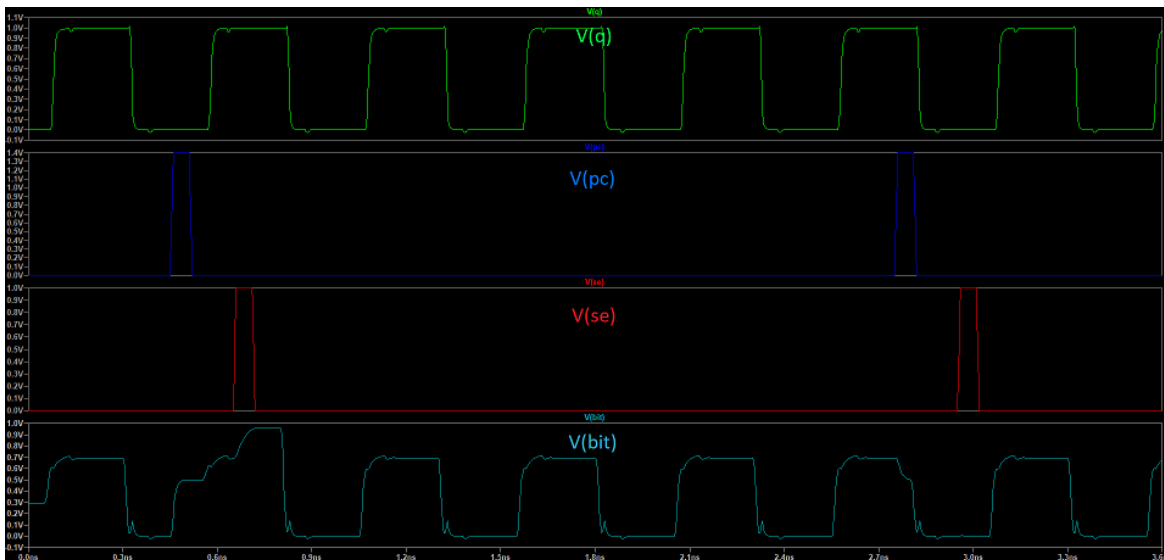


Figura 40. Proyecto: Transistor 16nm\SRAM Lectura-Escritura\R-W-1

Esto se debe a que cuando se está haciendo una escritura (activada la señal V(Línea_De_Bits), Figura 39) también está intentando leer, es decir, están activadas las señales V(SE) y V(SE_Bar). Lo cual conlleva a un uso incorrecto de la memoria.

Para realizar bien dicha lectura tenemos que separar las señales de escritura y lectura, para ello disminuimos la frecuencia de la línea de bits. Gracias a ello podemos realizar correctamente la lectura (**¡Error! No se encuentra el origen de la referencia.**):

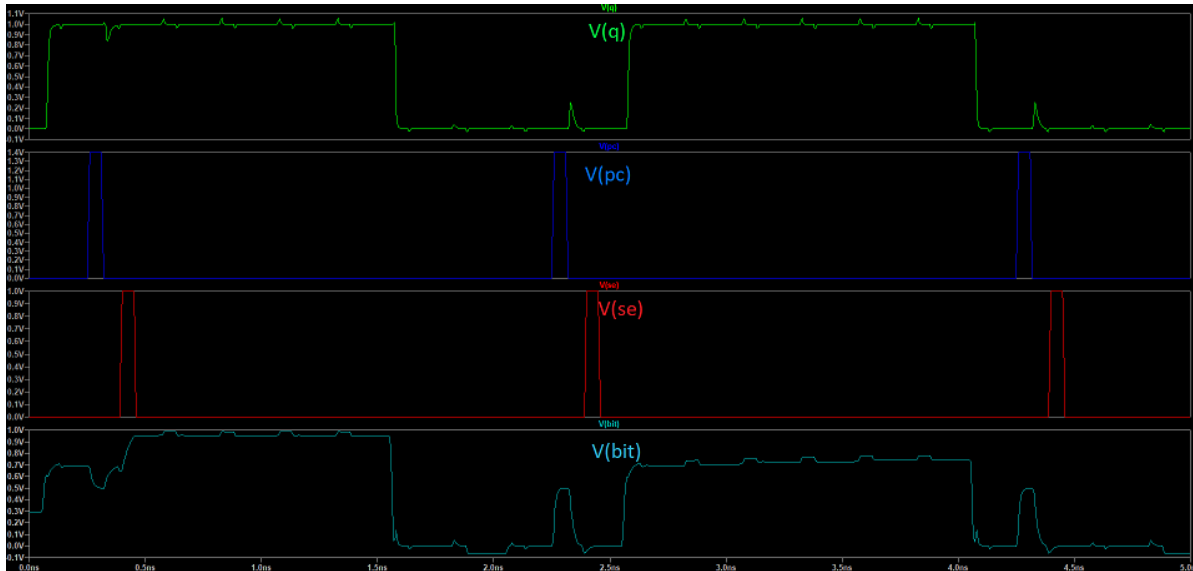


Figura 41. Proyecto: Transistor 16nm\SRAM Lectura-Escritura\R-W-2

Capítulo 6 - Conclusiones y Trabajo Futuro

Conclusiones

En este Trabajo de Fin de Grado sobre el estudio del comportamiento de memorias SRAM en función de variables físicas de transistores MOS, se puede concluir lo siguiente:

1. Los transistores son componentes fundamentales en la electrónica moderna, permitiendo controlar y amplificar la corriente eléctrica de manera eficiente. Su evolución ha impulsado el desarrollo tecnológico en muchos campos, y su capacidad para miniaturizarse ha permitido la creación de dispositivos más pequeños, rápidos y eficientes en el consumo de energía, como los dispositivos portátiles, inteligentes y las computadoras.
2. Las variables físicas de los transistores MOS tienen un impacto significativo en el comportamiento de las memorias SRAM, incluyendo la velocidad de lectura/escritura.
3. Cuando se aumenta la longitud del canal de los transistores en una memoria SRAM, se aumenta la resistencia de encendido del transistor, lo que puede hacer que requiera más energía para activarse. Sin embargo, también se reduce la corriente de fuga del transistor, lo que mejora la estabilidad y la confiabilidad de la memoria. Finalmente, cuanto más largo sea el canal del transistor, más lento será su cambio entre los estados encendido y apagado, lo que puede afectar la velocidad de la memoria.
4. Al disminuir la longitud del canal de los transistores en una memoria SRAM, se reduce la resistencia de encendido del transistor, lo que significa que requiere menos energía para activarse. Esto puede mejorar la velocidad de conmutación del transistor y, por lo tanto, aumentar la velocidad de la memoria. Sin embargo, una longitud de canal más corta también puede aumentar la corriente de fuga del transistor, lo que puede afectar la estabilidad y la confiabilidad de la memoria. Además, la reducción de la

longitud del canal puede aumentar la variabilidad del transistor y reducir su capacidad de soportar altas tensiones eléctricas.

5. Aumentar la anchura del canal de los transistores en una memoria SRAM puede mejorar la capacidad de conducción de la celda y reducir la resistencia de la ruta de acceso a los datos y la resistencia de encendido del transistor, lo que puede mejorar la velocidad y la eficiencia energética de la memoria. Además, una mayor anchura del canal también puede permitir que se manejen mayores corrientes eléctricas a través de los transistores, lo que puede mejorar aún más la velocidad y la capacidad de la memoria para almacenar y acceder a los datos.
6. Disminuir la anchura del canal de los transistores en una memoria SRAM puede aumentar la resistencia de la ruta de acceso a los datos y la resistencia de encendido del transistor, lo que ralentiza la velocidad de la memoria y puede requerir más energía. También puede limitar la cantidad de corriente eléctrica que puede pasar a través del transistor y reducir la capacidad de la memoria para manejar grandes cantidades de datos. Sin embargo, una menor anchura del canal puede mejorar la eficiencia energética de la memoria al reducir la capacitancia del transistor.
7. Se ha evaluado la influencia de diferentes factores en el comportamiento de la memoria, como la tensión de alimentación, la carga y descarga de los condensadores, y la variación de los transistores MOS. Se ha observado que la respuesta de la memoria es altamente no lineal en algunos casos, lo que puede complicar su diseño y su integración en sistemas complejos.
8. El uso de transistores de acceso más anchos que los del interior de la celda de memoria en el diseño de memorias SRAM es una técnica efectiva para reducir la capacitancia parásita en las líneas de datos y mejorar el rendimiento y la fiabilidad de la memoria.

Trabajo futuro

Algunos posibles trabajos futuros para el estudio del comportamiento de memorias SRAM en función de variables físicas de transistores MOS podrían incluir:

- Investigación de otras variables físicas: si bien se han estudiado variables importantes como la longitud y el ancho del canal del transistor, existen otras variables físicas que también afectan el comportamiento de la memoria SRAM. Por ejemplo, se pueden estudiar los efectos de la concentración de dopaje, la temperatura y la tensión de alimentación en el funcionamiento de la memoria.
- Comparación con otras tecnologías de memoria: será interesante comparar los resultados con otros tipos de tecnologías de memoria como DRAM, NAND Flash y NOR Flash para evaluar las fortalezas y debilidades de cada una y determinar en qué casos sería más interesante.
- Análisis de errores y fallas: es posible estudiar cómo las variables físicas de los transistores MOS afectan la probabilidad de errores y fallas en la memoria SRAM, y cómo estos problemas pueden mitigarse mediante técnicas de redundancia y corrección de errores.
- Investigación sobre transistores MOS avanzados: con el avance de la tecnología de semiconductores, surgen constantemente nuevos tipos de transistores MOS, como los transistores FinFET, los nanotubos de carbono y transistores de 5 nanómetros. Será interesante estudiar cómo estas nuevas tecnologías afectan el comportamiento de la memoria SRAM y cómo se pueden aprovechar para mejorar el rendimiento de la memoria.

Chapter 6 - Conclusions and Future Work

Conclusions

This BSc Thesis has studied the behavior of SRAM memories as a function of physical variables of MOS transistors that they are made of. The following conclusions can be drawn:

1. Transistors are fundamental components in modern electronics, enabling them to control and amplify electric current efficiently. Their evolution has driven technological development in many fields, and their ability to miniaturize has enabled the creation of smaller, faster and more energy-efficient devices, such as portable, smart devices and computers.
2. The physical variables of MOS transistors have a significant impact on the behavior of SRAM memories, including the read/write speed.
3. When the channel length of the transistors in an SRAM memory is increased, the turn-on resistance of the transistor is increased, which can cause it to require more power to turn on. However, you also reduce the leakage current of the transistor, which improves the stability and reliability of the memory. Finally, the longer the channel of the transistor, the slower its switching between on and off states, which can affect the speed of the memory.
4. By decreasing the channel length of the transistors in an SRAM memory, the on-resistance of the transistor is reduced, which means it requires less power to turn on. This can improve the switching speed of the transistor and therefore increase the speed of the memory. However, a shorter channel length can also increase the leakage current of the transistor, which can affect the stability and reliability of the memory. In addition, reducing the channel length can increase the variability of the transistor and reduce its ability to withstand high electrical voltages.

5. Increasing the channel width of transistors in an SRAM memory can improve the cell's conduction capability and reduce the data path resistance and transistor turn-on resistance, which can improve the speed and power efficiency of the memory. In addition, larger channel width can also allow higher electrical currents to be driven through the transistors, which can further improve the speed and ability of the memory to store and access data.
6. Decreasing the channel width of the transistors in an SRAM memory can increase the data path resistance and transistor turn-on resistance, which slows memory speed and may require more power. It can also limit the amount of electrical current that can pass through the transistor and reduce the memory's ability to handle large amounts of data. However, a smaller channel width can improve the power efficiency of the memory by reducing the capacitance of the transistor.
7. The influence of different factors on memory behavior, such as supply voltage, capacitor charging and discharging, and MOS transistor variation, has been evaluated. It has been observed that the memory response is highly nonlinear in some cases, which can complicate its design and integration in complex systems.
8. The use of wider access transistors than those inside the memory cell in SRAM memory design is an effective technique to reduce parasitic capacitance on data lines and improve memory performance and reliability.

Future Work

Some possible lines of future work to study the behavior of SRAM memories as a function of physical variables of MOS transistors could include:

- Investigation of other physical variables: while important variables such as transistor channel length and width have been studied, there are other

physical variables that also affect the behavior of the SRAM. For example, the effects of doping concentration, temperature and supply voltage on memory performance can be studied.

- Comparison with other memory technologies: it will be interesting to compare the results with other types of memory technologies such as DRAM, NAND Flash and NOR Flash to evaluate the strengths and weaknesses of each and to determine in which cases it would be more interesting to use a different technique or something else.
- Error and fault analysis: it is possible to study how the physical variables of MOS transistors affect the probability of errors and faults in SRAM memory, and how these problems can be mitigated by redundancy and error correction techniques.
- Advanced MOS transistor research: As semiconductor technology advances, new types of MOS transistors are constantly emerging, such as FinFET transistors, carbon nanotubes and 5-nanometer transistors. It will be interesting to study how these new technologies affect the behavior of SRAM memory and how they can be leveraged to improve memory performance.

Capítulo 7 - Bibliografía

- [1] «Latest Models,» Process Tomography & Modeling, 6 Enero 2012. [En línea]. Available: <http://ptm.asu.edu/latest.html>. [Último acceso: 1 Octubre 2022].
- [2] J. A. L. Villanueva. [En línea]. Available: <https://dialnet.unirioja.es/descarga/articulo/3013416.pdf>. [Último acceso: 15 11 2022].
- [3] [En línea]. Available: <https://www.areatecnologia.com/electronica/mosfet.html>. [Último acceso: 6 Febrero 2023].
- [4] «Hispavila,» [En línea]. Available: https://hispavila.com/wp-content/uploads/2015/08/tema4_el-mosfet.pdf. [Último acceso: 6 Febrero 2023].
- [5] U. P. d. Cartagena, «OCW UPCT,» [En línea]. Available: https://ocw.bib.upct.es/pluginfile.php/7891/mod_resource/content/1/Capitulo_7_-_Transistores_MOS.pdf. [Último acceso: 10 Febrero 2023].
- [6] J. Ingeniería, «Youtube,» 30 Noviembre 2018. [En línea]. Available: <https://www.youtube.com/watch?v=AAWwn1Uc5zU>. [Último acceso: 10 Febrero 2023].
- [7] S. Vidhyadharan, «Youtube,» 12 Enero 2022. [En línea]. Available: <https://www.youtube.com/watch?v=IPnQVrzgC-M&t=1544s>. [Último acceso: 10 Marzo 2023].
- [8] S. Vidhyadharan, «Youtube,» 16 Agosto 2020. [En línea]. Available: <https://www.youtube.com/watch?v=RRcyEBu9Z0M&t=16s>. [Último acceso: 1 Octubre 2022].

- [9] P. Falstad, «Falstad,» [En línea]. Available: <https://www.falstad.com/circuit/>. [Último acceso: 2023 Abril 30].
- [10] A. S. S. y. K. C. Smith, *Microelectronic Circuits*, Oxford, 2014.
- [11] S.-M. K. y. Y. Leblebici, *CMOS Digital Integrated Circuits: Analysis and Design*, McGraw-Hill Education, 2015.
- [12] *Apuntes propios de la asignatura electrónica de 2º.*

