

# Evaluación de los efectos de los neutrones térmicos a diferentes ángulos de incidencia en una FPGA COTS de 28-nm

Juan C. Fabero<sup>1</sup>, Golnaz Korkian<sup>1</sup>, Francisco J. Franco<sup>2</sup>, Hortensia Mecha<sup>1</sup> y Juan A. Clemente<sup>1</sup>

*Resumen*— Se presenta un estudio experimental de la sensibilidad frente a Single Event Upsets (SEU) de una FPGA de 28-nm de tipo Commercial-Off-The-Shelf (COTS) frente a neutrones térmicos. Se mostrarán diversos SEU observados en la memoria de configuración (CRAM), Flip-Flops (FF) y Block RAMs (BRAM) del dispositivo. También se analizarán las formas de los eventos múltiples observados (de varias multiplicidades), así como la dependencia de éstos con el ángulo de incidencia del haz de partículas sobre la superficie del dispositivo.

*Palabras clave*— FPGA, neutrones térmicos, robustez frente a radiación, ángulo de incidencia, errores.

## I. INTRODUCCIÓN Y TRABAJO RELACIONADO

Las FPGA de tipo SRAM, también conocidas en la literatura como “*SRAM-based FPGAs*”, se utilizan ampliamente en satélites y dispositivos aeroespaciales. Los principales motivos que explican este hecho son sus altas prestaciones, flexibilidad, bajo coste y la disponibilidad de estos dispositivos a largo plazo. Entre éstas, las FPGA comerciales o COTS se utilizan cada vez más frecuentemente en aplicaciones que realizan tareas esenciales de seguridad debido a su bajo coste y altas prestaciones [1]. Sin embargo, la radiación existente en el espacio es un problema cada vez más importante ya que puede afectar seriamente su funcionamiento, y provocar los conocidos como “*Single Event Effects*”, en las celdas de memoria del dispositivo [2]. Los neutrones térmicos son una fuente particularmente importante de errores, ya que pueden interactuar con el Boro-10 que se utiliza como dopante en los semiconductores durante el proceso de fabricación [3].

Varios trabajos recientes en la literatura científica han evaluado el efecto de la radiación en FPGA COTS basadas en memoria SRAM. Por ejemplo, Tambara y otros [4] evaluaron la sensibilidad de una Zynq-7000 frente a la transferencia lineal de energía (también conocida como “*Linear Energy Transfer*” o LET) de iones pesados incidentes en el dispositivo, tanto para su CRAM como para sus BRAM. Tonfat y sus colaboradores [5] evaluaron el efecto que tiene el ángulo de incidencia de los iones pesados de baja energía que impactan en las celdas SRAM de una FPGA Artix-7 de 28-nm, el mismo dispositivo que

se ha evaluado en este artículo. Así, se pudo constatar que los diferentes ángulos de incidencia tienen una correlación directa con la sensibilidad del dispositivo a sufrir “*Multiple Bit Upsets*” o MBU. Por este motivo, Lee y otros [6] han propuesto una metodología para tener en cuenta los efectos angulares de las partículas incidentes en las herramientas de predicción de errores clásicas que la comunidad científica utiliza habitualmente, utilizando para ello una FPGA Kintex-7 XC7V325T. Du y otros [7] también realizaron ensayos en esta misma FPGA bajo un haz de iones pesados de muy alta energía disponible en el CERN. Los resultados demostraron que se pueden producir eventos múltiples de gran tamaño en la CRAM del dispositivo.

Otras investigaciones han revelado, asimismo, que los electrones de alta energía también pueden provocar errores en este tipo de FPGA. Gadlage y otros [8] estudiaron la dependencia entre la energía (>9 MeV) de los electrones incidentes en los errores provocados en una FPGA de 28-nm. Los mismos autores también estudiaron la susceptibilidad de varias FPGA (en concreto, una Spartan-6 XC6SLX16 de 45-nm y una Artix-7 XC7A100T, ambas de Xilinx) frente a electrones de 20 MeV en el acelerador LINAC del *Naval Weapons Support Center* (NWSC) de Crane (EEUU) [9].

En la literatura también se ha estudiado el efecto de los neutrones en este tipo de FPGA. Por ejemplo, Bruni y otros [10] estudiaron el efecto que tienen los neutrones en el consumo de potencia de una Zynq-7000 XC7Z020-CLG484-1, de Xilinx, de tecnología 28-nm. Otros estudios también han mostrado la relación existente entre la temperatura de funcionamiento y la fiabilidad frente a errores de las FPGA comerciales [11]. Fabero y otros [12] irradiaron la misma FPGA que se estudia en este artículo bajo neutrones de 14.2 MeV y clasificaron los eventos observados en función de su multiplicidad (“*Single Bit Upsets*”, o SBU, y “*Multiple Cell Upsets*”, o MCU) utilizando para ello una técnica estadística de detección y clasificación de eventos múltiples. Wirthlin y otros [13] también examinaron una FPGA Kintex-7 en el calorímetro de argón líquido (LAr) de la instalación ATLAS (en el CERN), bajo un amplio espectro de neutrones, protones, iones pesados y hadrones de alta energía.

Como se ha mencionado al inicio de la presente introducción, los neutrones térmicos suponen una contribución muy significativa a la tasa total de errores

<sup>1</sup>Dpto. de Arquitectura de Computadores y Automática, Universidad Complutense de Madrid, e-mails: {jcfabero, gkorkian, hortensia, juanancl}@ucm.es.

<sup>2</sup>Dpto. de Estructura de la Materia, Física Térmica y Electrónica, Universidad Complutense de Madrid, e-mail: fjfranco@ucm.es.

(“Soft Error Rate” o SER) del dispositivo. Sin embargo, son aún pocos los trabajos que han estudiado el efecto de los neutrones térmicos en FPGA modernas. Uno de ellos fue realizado por Tsiliogiannis y otros [14], quienes realizaron experimentos en una FPGA de 28-nm utilizando un campo de partículas mixto en el CERN. Utilizando diversos espectros energéticos, demostraron que, en efecto, los neutrones térmicos tienen un impacto notable en la sensibilidad de las celdas de memoria de la CRAM y de las BRAM de la FPGA.

La principal contribución de este artículo es explorar la sensibilidad de una FPGA basada en SRAM de 28-nm bajo neutrones térmicos a diferentes ángulos de incidencia, realizando para ello experimentos estáticos (es decir, con la FPGA encendida, pero con el reloj desactivado). Para clasificar los eventos simples y múltiples entre todos los errores observados en la CRAM, BRAM y FF, se ha utilizado el método de extracción estadística de eventos desarrollado anteriormente por los autores de este artículo [15]. Finalmente, los resultados se han complementado con un análisis de la forma de los eventos múltiples que se observaron.

## II. CONFIGURACIÓN EXPERIMENTAL

Se realizó una campaña experimental en marzo de 2021 sobre una FPGA Artix-7 XC7A100T de Xilinx, la cual está embebida en una placa Nexys-4 DDR. Esta FPGA contiene 15850 *slices*, cada uno de los cuales contiene 6 LUT, 8 FF, 4860 Kbits de BRAM, de los cuales 540 Kbits se utilizan para implementar un código de corrección de errores (“Error Correction Code” o ECC) y 6 “Clock Management Tiles” o CMT.

Los experimentos se realizaron en la instalación TENIS (“Thermal and Epithermal Neutron Irradiation Station”) del Instituto Laue-Langevin (ILL) de Grenoble (Francia). Esta instalación reemplaza la antigua “D50”, que se utilizaba para realizar experimentos con neutrones térmicos, disponible por el consorcio PAC-G (“Platform for Advanced Characterisation of Grenoble”). El espectro de energías de los neutrones generados en el acelerador TENIS nunca ha sido medido experimentalmente, pero se aproxima con gran precisión al de los neutrones que generan directamente sus reactores. La figura 1 muestra el espectro de neutrones térmicos de este acelerador, calculado con la metodología “Transporte de N-Partículas de Monte-Carlo” (“Monte Carlo N-Particle” o MCNP).

Experimentalmente, y previo a la realización de estos experimentos, se midió un flujo de  $2,86 \times 10^9$  n/cm<sup>2</sup>/s utilizando para ello una lámina de oro a la salida del haz. La FPGA que se irradió se situó a 49,4cm de la salida del haz, lo cual significa que el flujo incidente en el dispositivo fue de  $2,1 \times 10^9$  n/cm<sup>2</sup>/s, aproximadamente. TENIS proporciona un haz cuadrado de  $50 \times 50$ mm<sup>2</sup> de superficie, el cual es uniforme con un 10 % de margen de error en aproximadamente  $40 \times 40$ mm<sup>2</sup> de superficie.

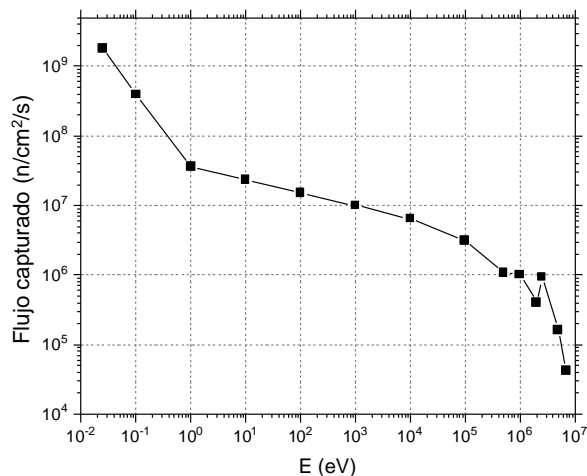


Fig. 1: Espectro de energías de los neutrones generados por el acelerador TENIS, estimado con la metodología “Monte Carlo N-Particle” (MCNP)

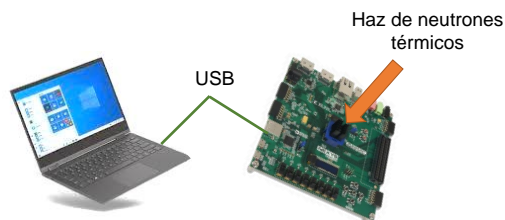


Fig. 2: Configuración de los dispositivos utilizados en los experimentos

La figura 2 describe el sistema que se utilizó en el experimento. Consta de un PC de control, el cual está conectado a la FPGA que se irradió con una conexión USB-JTAG. Para establecer las comunicaciones, el PC ejecutaba una versión del software OpenOCD [16], la cual fue modificada por los autores para implementar la instrucción `GCapture` y el procedimiento `readback`. Esto hace posible leer todo el contenido de la memoria de configuración de la FPGA, incluso *frame a frame*. Además, realizando un `GCapture` antes de un `readback`, es posible leer el estado actual de todos los FF del diseño, pudiendo así verificar si se produjeron errores en éstos. Los contenidos de la BRAM se pueden leer directamente a través de la interfaz JTAG.

La FPGA se irradió con 4 ángulos de incidencia diferentes, tal y como se muestra en la figura 3. Éstos fueron: incidencia normal (tanto frontal como trasera), con un ángulo rasante (es decir, en paralelo a la superficie del dispositivo, y en 2 direcciones Este-Oeste (EO) y Norte-Sur (NS)), así como 45° y 135°. En cada experimento se realizaron los siguientes pasos:

1. Cargar un diseño de prueba en la FPGA (en este caso, un contador que utilizaba 80000 FF).
2. Inicializar cada byte de la BRAM a un patrón 0x55 (en hexadecimal).
3. Escribir el 50 % de los FF con 1, y el 50 % restante, con 0.
4. Irradiar el dispositivo con una fluencia de neutrones total que osciló entre  $0,87 \times 10^{11}$  y  $6,30 \times 10^{11}$  n/cm<sup>2</sup>, en rondas de 1, 2 y 5 minutos.

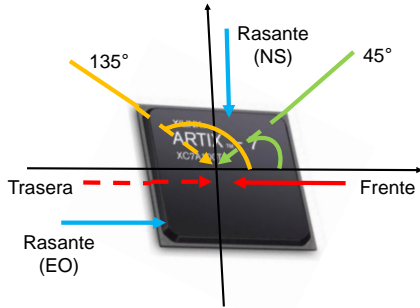


Fig. 3: Ángulos de incidencia del haz de neutrones térmicos que fueron utilizados en los experimentos

5. Ejecutar un primer **readback** en toda la CRAM y guardarla en el PC. Esto permite obtener una copia de los contenidos de ésta justo después de haber realizado la ronda de irradiación.
6. Ejecutar un **GCapture** seguido de un segundo **readback** en la CRAM. Por un lado, el **GCapture** lee los contenidos de los FF de la FPGA tras la irradiación, y copia estos valores en bits específicos de la CRAM del dispositivo (sobrescribiendo los valores que ya hubiera en esas posiciones). Por otro lado, el **readback** permite recuperar estos datos, que estarán mezclados con el resto de información en la CRAM que ya había sido obtenida en el **readback** del paso anterior. En este segundo **readback**, sólo nos interesa extraer únicamente los valores de los FF tras la irradiación, lo cual se puede conseguir utilizando el fichero con extensión `.11` que se genera tras el proceso de síntesis del diseño. Este fichero asocia el contenido de cada FF con un bit específico del bitstream.
7. Finalmente, comparar ambos archivos guardados (de ambos **readbacks** con los contenidos de la CRAM considerados como *“golden”*). Las diferencias entre el primer **readback** (paso 5) y el *golden* nos dicen los bitflips de la CRAM, mientras que las diferencias entre el segundo **readback** (paso 6) con los contenidos *golden* permiten mostrar los bitflips que se produjeron en los FF, con ayuda de la información contenida en el fichero `.11`.

### III. RESULTADOS EXPERIMENTALES

#### A. Rondas de irradiación

Como se indica en la tabla I, se realizaron un total de 17 rondas de irradiación. Éstas pueden agruparse en 6 categorías dependiendo del ángulo de incidencia y el sentido del haz. A grandes rasgos, se puede observar que el número de errores o *“bitflips”*, tanto en la CRAM como en los FF, es proporcional a la fluencia total ( $\Phi$ ) de partículas. Como se muestra en la tabla, la mayoría de los errores se produjeron en la CRAM, y algunos en los FF. Sin embargo, no se observó ningún error en la BRAM. Esto último se debió al ECC embebido que existe en estos módulos de memoria, el cual no pudo ser desactivado.

Para realizar una correcta interpretación de los resultados, es necesario extraer los eventos simples y

Tabla I: Rondas de irradiación y número de errores observados en la FPGA (Artix-7 XC7A100T)

Nº	Ángulo del haz	$\Phi$	Errores	
			CRAM	FFs
1	Incidencia	1,26	7360	25
2	normal	2,52	14275	47
3	(Frente)	6,30	29829	98
4	Incidencia	1,26	5040	14
5	normal	2,52	10077	32
6	(Trasera)	6,30	25356	97
7		0,921	5439	27
8	45°	1,84	11181	46
9		4,60	26888	83
10		0,87	4791	16
11	135°	1,74	9565	29
12		1,26	900	3
13	90°-EO	2,52	2089	11
14		6,30	8178	22
15		1,26	1395	2
16	90°-NS	2,52	2652	8
17		6,30	6598	20
Total		50,291	171648	580
		$\times 10^{11}$		
		n/cm <sup>2</sup>		

múltiples del conjunto de errores en bruto que se leyeron en el experimento. En general, los SEU son eventos producidos por una única partícula que implican el cambio en una o varias celdas de memoria adyacentes, y esto último ocurre muy a menudo en tecnologías cada vez más miniaturizadas. Si sólo se ve afectada una celda de memoria, el evento se considera un SBU, mientras que si hubo varias celdas afectadas, se le considera MCU. Otro tipo de evento múltiple son los MBU, que consisten en cambios en 2 o más bits de la misma palabra.

Además, en estos experimentos en particular, es importante destacar que en algunas rondas se observó una gran cantidad de eventos (en ocasiones, varios miles) a pesar de que los tiempos de exposición fueron muy cortos (como máximo 5 minutos). Esto aumenta la probabilidad de que 2 o más errores independientes afecten por casualidad a celdas vecinas, y que por tanto, puedan ser confundidos con un evento múltiple cuando, en realidad, fueron varios eventos simples independientes. Por este motivo, la siguiente sección presenta una clasificación entre eventos simples y múltiples, corregida con estimaciones de los conocidos como *“MBU falsos”*.

### IV. DISCUSIÓN

#### A. Sobre la extracción y número de MBU

Se analizaron los MBU que se observaron en la misma palabra de 32 bits (según el direccionamiento de las FPGA de tipo Artix-7). Dichos eventos están clasificados en la tabla II, donde también están ca-

Tabla II: Características de los MBU observados en la CRAM de la FPGA

Ronda n <sup>o</sup>	MBU experimentales				MBU falsos	
	$N_{BF}$	2-bit	3-bit	> 3-bit	2-bit	3-bit
1	7360	314	57	20	32,78	0,069
2	14275	674	124	55	123,32	0,47
3	29829	1706	292	122	538,48	3,94
4	5040	230	41	14	15,38	0,021
5	10077	465	69	29	61,45	0,172
6	25356	1338	235	96	389,09	2,53
7	5439	257	37	20	17,9	0,027
8	11181	515	226	32	76	0,206
9	26888	1459	235	79	437,53	3,039
10	4791	227	35	3	13,89	0,019
11	9565	494	57	36	55,36	0,14
12	900	26	5	3	0,49	0,00014
13	2089	73	8	10	2,64	0,0017
14	8178	369	59	19	40,56	0,094
15	1395	47	12	0	1,18	0,0005
16	2652	135	27	10	4,25	0,003
17	6598	296	61	20	26,34	0,048

tegorizados según su multiplicidad (“MBU experimentales” en la tabla). Sin embargo, como ya se ha mencionado antes, debido al alto número de errores observados ( $N_{BF}$  en la tabla), la probabilidad de que 2 o más errores independientes afecten casualmente a celdas vecinas no es despreciable. Por ello, también se calculó el número de estos “MBU falsos” utilizando las expresiones matemáticas propuestas por los autores de este artículo en un trabajo anterior [15].

Estos MBU falsos también están representados en la tabla II. Comparando estos valores, se puede deducir fácilmente que no todos los MBU que se observaron en los experimentos fueron falsos. Por ejemplo, en la ronda 1, se observaron 314 MBU de 2 bits, pero utilizando nuestra metodología de estimación de MBU falsos [15], aproximadamente, sólo 32,78 de éstos lo son.

### B. Sobre la extracción y número de SBU y MCU

Cuando se irradia un dispositivo (como una memoria o una FPGA) con un haz de partículas y se analizan los errores producidos por éste, es muy habitual que los investigadores desconozcan la estructura interna del dispositivo bajo test. Ésta suele ser propiedad intelectual del fabricante, por lo que extraer los MCU y los SBU del conjunto de datos en bruto es muy difícil, especialmente si los datos obtenidos son numerosos (como en caso de los experimentos presentados en este artículo). En estos casos, una alternativa que se ha propuesto con éxito en la literatura consiste en analizar de forma estadística los errores obtenidos y buscar indicadores que se desvíen de un escenario hipotético en el que sólo pueden existir errores simples. Una de las primeras contribuciones significativas en este sentido fue propuesta por

Wirthlin y otros [13]. Los autores de este artículo, en otros trabajos relacionados [17], [18] también han trabajado en esta línea y propuesto una metodología mejorada que consiste en seguir los siguientes pasos:

1. Asignar una dirección a cada error observado en el experimento.
2. Utilizar un operador binario (en este caso, la “suma positiva” (SP) sobre todos los pares posibles de direcciones, para así construir un nuevo conjunto de valores, al que llamaremos “Vector de direcciones” (VD). Cada elemento del VD se constituye de la siguiente manera:  $|a_j - a_i|$ , donde  $a_i$  y  $a_j$  son direcciones obtenidas en el paso anterior.
3. Obtener un histograma que muestre el número de veces que cada elemento aparece en el VD, y compararlo con el histograma que se obtendría en un hipotético escenario en el que sólo pueden ocurrir SBU. Las probabilidades de repetición de estos elementos pueden obtenerse con reglas de combinatoria (en concreto, con las ecuaciones del llamado “problema de la urna y las bolas”, que están explicadas en [17], [18], fuera del ámbito de este artículo). Cualquier discrepancia significativa entre ambos histogramas se puede, por tanto, atribuir a la existencia de eventos múltiples. En este caso, se observó una abundancia anormalmente alta de los elementos 1, 2, 3230-3234 y 6461-6466 en VD, lo cual hace pensar que las direcciones con las que se obtuvieron esos valores utilizando PS pertenecen al mismo MCU.
4. Finalmente, agrupar los pares de direcciones identificados en el paso anterior en el mismo MCU.

Tabla III: Número de MCU extraídos de los experimentos de la tabla I utilizando la metodología estadística presentada en [17], [18]

Ronda n°	Dirección	MCU y multiplicidad													
		1	2	3	4	5	6	7	8	9	10	11	12	128	384
1	Frente	4158	986	106	87	10	20	4	6	1	0	0	0	2	0
2		8279	1973	187	191	31	34	7	16	1	4	0	1	1	0
3		16839	4096	454	419	66	75	12	16	7	9	5	4	4	0
4	Trasera	2921	720	68	70	13	11	4	1	2	1	0	0	0	0
5		5707	1416	132	136	17	20	5	6	0	2	2	1	2	0
6		14438	3376	371	348	62	54	18	13	6	7	3	0	5	0
7	45°	3139	728	70	73	7	15	4	5	1	0	0	1	1	0
8		6193	1484	123	150	21	32	9	7	1	0	0	1	2	1
9		15358	3715	397	328	53	62	13	19	4	3	1	0	5	0
10	135°	2688	613	69	68	12	10	2	1	0	0	0	0	2	0
11		5397	1254	143	126	22	18	1	7	2	3	0	0	3	0
12	90°- EO	577	119	6	9	2	1	1	1	0	0	0	0	0	0
13		1256	301	31	19	1	1	2	2	0	1	1	0	0	0
14		4619	1106	98	99	20	15	6	4	2	0	0	0	3	0
15	90°- NS	734	198	15	14	1	4	1	0	0	0	0	0	1	0
16		1506	377	30	40	8	10	1	3	0	0	1	0	0	0
17		3825	886	75	92	13	20	4	7	0	0	1	0	1	0

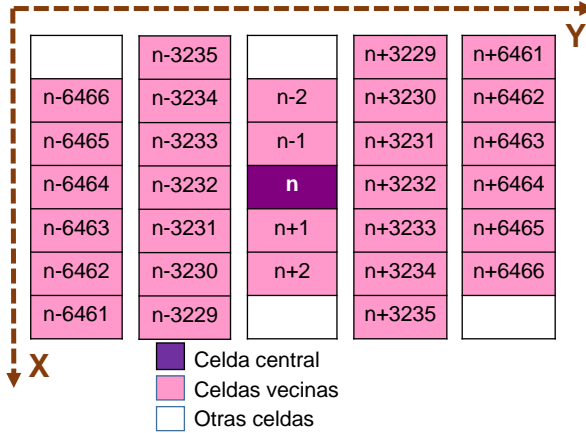


Fig. 4: Localización física de una celda con dirección “n” en un bitstream y las direcciones de sus vecinas

Se identificaron MCU con multiplicidades desde 2 hasta 384 utilizando esta técnica, los cuales aparecen representados en la tabla III. También se observaron eventos con multiplicidades diferentes a las aquí representadas, pero fueron mucho menos frecuentes. En cualquier caso, llama la atención la existencia de eventos de 128 y 384 bits. Sospechamos que fueron errores de tipo “*Single Event Functional Interrupt*” (SEFI) en los elementos de distribución del reloj o en los buffers de entrada/salida de la FPGA.

Asimismo, es curioso constatar que los valores 3230-3234 (que se mencionaron anteriormente) se pueden calcular como  $(32 \times 101) \pm \{0, 1, 2\}$ ; y 6461-6466, como  $(2 \times 32 \times 101) \pm \{0, 1, 2, 3\}$ . Esto está relacionado con el hecho de que, en las FPGA de Xilinx, cada *frame* tiene 101 palabras de 32 bits cada una [19]. Por tanto, estos valores sugieren que hubo MCU que afectaron a celdas cercanas físicamente, pero pertenecientes a diferentes *frames*. Para ilustrar esta idea, la figura 4 muestra el esquema de la estructura física de las FPGA Artix-7 de Xilinx que los autores han podido inferir, ya que la información

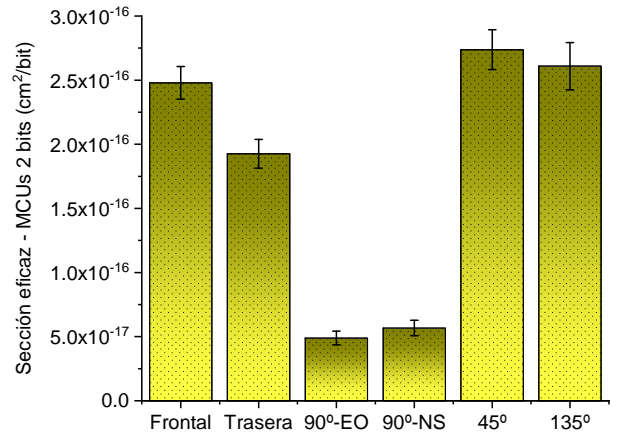


Fig. 5: Secciones eficaces de los MCU de 2 bits (en la CRAM) obtenidas a diferentes ángulos de incidencia del haz de neutrones térmicos

proprietaria de la arquitectura a un nivel tan bajo no estuvo a disposición de los autores. Las 101 palabras existentes en la misma *frame* están organizadas verticalmente en la misma columna, de tal manera que las *frames* anterior y posterior están separadas 3232 bits entre sí, y 6464 bits, si comparamos 2 *frames* alternas. Por tanto, si los bits  $n$ ,  $n+3232$  y  $n+6464$  se ven afectados simultáneamente por la misma partícula, se obtendrían los valores 3232 y 6464 si se restan las direcciones asociadas a estos bits. Sólo hace falta que esto suceda un número suficiente de veces para que la metodología estadística explicada anteriormente lo detecte. Un razonamiento similar permite explicar la existencia del resto de valores en los rangos 3230-3234 y 6461-6466.

La figura 5 muestra las secciones eficaces de este dispositivo (calculadas como  $N_{BF}/\Phi/L_n^1$ ) frente a

<sup>1</sup>Donde  $L_n$  es el tamaño del *bitstream*, aquí 30587648 bits

MCU de 2 bits, clasificadas por ángulo de incidencia y dirección del haz. En este caso, las ecuaciones presentadas en el trabajo previo [15] también se utilizaron para estimar el número de “MCU falsos” y así proporcionar resultados precisos. Los márgenes de error que se observan en la figura se calcularon siguiendo las recomendaciones habituales en la literatura [20].

Se puede observar que la sensibilidad más alta frente a este tipo de eventos se produce a 45° y a 135°, seguido de la incidencia normal y dirección frontal. A ángulos rasantes la sensibilidad es mucho menor, mientras que la incidencia trasera ofrece una sensibilidad intermedia. Esto contradice en cierta medida los resultados obtenidos en otro trabajo previo sobre una memoria de tecnología CMOS 130-nm bajo neutrones con energía 14,2 MeV [21]. La explicación de este fenómeno es un trabajo aún en curso, para lo cual se utilizará la herramienta de modelado de eventos “*Multi-Scales Single Event Phenomena Predictive Platform*” (MUSCA-SEP3), desarrollada por investigadores de la ONERA, en Toulouse (Francia) [22]

También se estudió la sensibilidad de los FF frente a este tipo de radiación, cuyos resultados se muestran en la figura 6. En este caso, sólo se muestra la sensibilidad de este dispositivo frente a eventos simples (es decir, SBU), ya que los FF en esta FPGA se encuentran dispersos y no tiene sentido hablar de eventos múltiples que afecten exclusivamente a éstos. En la figura también se realiza una comparación entre estos resultados y los observados en la CRAM del dispositivo. Por un lado, se puede observar que, en lo que respecta a los ángulos de incidencia, los resultados son similares a los ya discutidos en la figura 5, y también lo son en comparación con los eventos simples ocurridos en la CRAM, representados en la figura 6. Por otro lado, se observa que la sensibilidad de los FF frente a este tipo de eventos parece ser ligeramente superior a la de las celdas en la CRAM, aunque los márgenes de error son asimismo mucho más amplios, al haberse registrado menos eventos en FF. En cualquier caso, todos los pares de valores registrados en la figura 6 están en los mismos órdenes de magnitud.

### C. Forma de los MCU

Finalmente, también se ha estudiado la forma de los MCU de 2 bits que se presentaron en la tabla III. La figura 7 muestra los tipos de MCU que se produjeron de manera más habitual, a los que se les ha asignado un nombre: H2 a la forma horizontal, V2 y V2B son 2 tipos de MCU verticales, D2A y D2B son 2 tipos de eventos diagonales, y KJA y KJB son 2 tipos de eventos cuyos *bitflips* están separados como las casillas inicial y final del movimiento del caballo en el tablero de ajedrez. La figura 8 muestra la abundancia de estas 6 categorías de eventos en los experimentos. En todos los casos, el tipo de MCU de 2 bits más abundante fue el D2A, seguido del D2B y el H2. Los MCU verticales, así como los KJA y KJB,

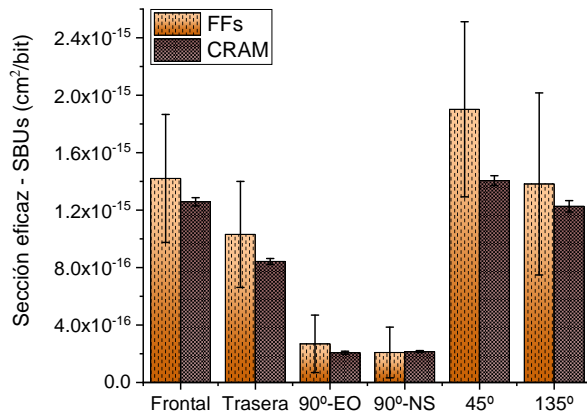


Fig. 6: Secciones eficaces de los SBU (en los FF y la CRAM) obtenidas a diferentes ángulos de incidencia del haz de neutrones térmicos

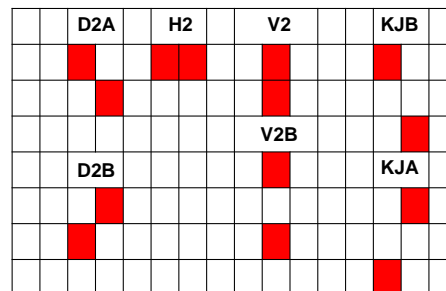


Fig. 7: Forma de los MCU de 2 bits que se observaron de más habitualmente en los experimentos

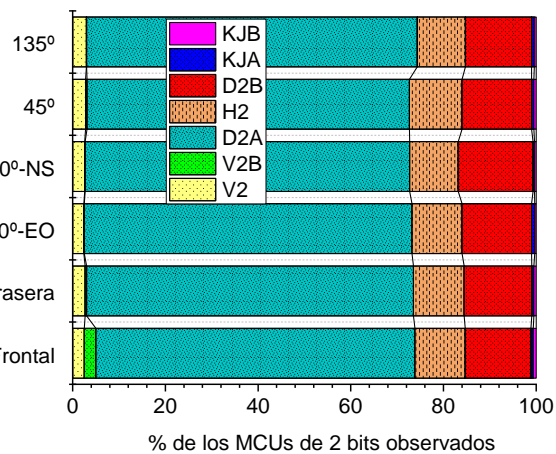


Fig. 8: Abundancia y clasificación de los MCU de 2 bits, según sus formas

aparecieron muy pocas veces.

También se estudió la forma de los MCU de 3 bits. En este caso, se documentaron hasta 42 tipos de este tipo de eventos, cuyas formas están descritas en la figura 9. Cada evento tiene un nombre (por ejemplo, “XAB”, “XBE”, etc) y un par de números, indicando las distancias existentes entre los *bitflips* 1&2 y 1&3 del MCU. El *bitflip* considerado como “1” está coloreado de naranja en la figura, para facilitar su comprensión. Las distancias verticales aumentan en

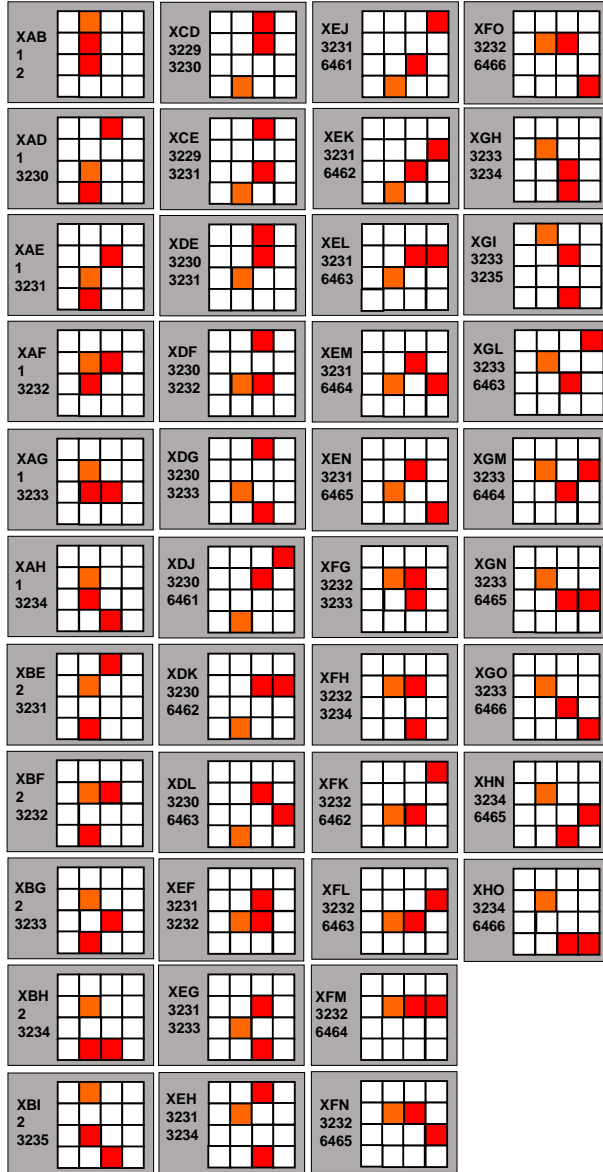


Fig. 9: Formas de los MCU de 3 bits que se observaron más habitualmente en los experimentos

1, mientras que las horizontales lo hacen en 3232 (es decir, 101x32, lo cual está relacionado con el direccionamiento de las *frames* de las Artix-7, como se explicó anteriormente). El porcentaje de aparición de estos tipos de eventos en los experimentos se muestra en la figura 10, donde se puede observar que los MCU de 3 bits más habituales fueron los de tipo “XAF” y “XEF”, seguidos del tipo “XFG”.

## V. CONCLUSIONES

En este artículo se ha presentado un estudio experimental del impacto del ángulo incidente de los neutrones térmicos sobre la sensibilidad de la FPGA comercial Artix-7 XC7A100T, de tecnología planar de 28-nm, basada en SRAM. Se realizó una campaña de irradiación en la fuente TENIS del ILL (Grenoble, Francia), tras la cual se documentaron eventos simples y múltiples en las celdas de la CRAM y FF con diferentes ángulos de incidencia. Asimismo, también se observó una alta dependencia del ángulo de incidencia del haz de neutrones sobre la sensibilidad del

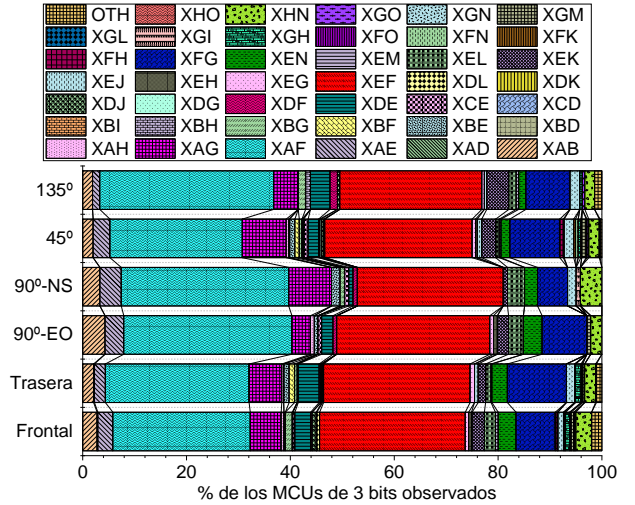


Fig. 10: Abundancia y clasificación de los MCUs de 2 bits, según sus formas

dispositivo, siendo más fácil observar tanto errores simples como múltiples en ángulos de 45° y 135°, y siendo los errores más escasos cuando la incidencia es rasante respecto al plano del dispositivo. Estos resultados difieren de los obtenidos en un trabajo anterior [12] bajo neutrones con energías más altas (14,2 MeV), lo cual está en estudio en este momento.

## AGRADECIMIENTOS

El presente trabajo ha sido financiado mediante los proyectos de investigación TIN2017-87237 y PID2020-112916GB-I00. El trabajo en el ILL ha sido financiado gracias al programa nacional francés “*Programme d’Investissements d’Avenir, IRT Nanoelec*” ANR-10-AIRT-05. Los autores agradecen el tiempo de haz con referencia TEST-3157, en el ILL.

## REFERENCIAS

- [1] Antonis Tsiganos et al., “High-Performance COTS FPGA SoC for Parallel Hyperspectral Image Compression With CCSDS-123.0-B-1,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 28, no. 11, pp. 2397–2409, 2020.
- [2] C. Leong et al., “Fast radiation monitoring in FPGA-based designs,” in *2015 Conference on Design of Circuits and Integrated Systems (DCIS)*, 2015, pp. 1–6.
- [3] Cécile Weulersse et al., “Contribution of Thermal Neutrons to Soft Error Rate,” *IEEE Transactions on Nuclear Science*, vol. 65, no. 8, pp. 1851–1857, 2018.
- [4] Lucas Antunes Tambara et al., “Heavy Ions Induced Single Event Upsets Testing of the 28 nm Xilinx Zynq-7000 All Programmable SoC,” in *2015 IEEE Radiation Effects Data Workshop (REDW)*, 2015, pp. 1–6.
- [5] Jorge Tonfat et al., “Analyzing the Influence of the Angles of Incidence and Rotation on MBU Events Induced by Low LET Heavy Ions in a 28-nm SRAM-Based FPGA,” *IEEE Transactions on Nuclear Science*, vol. 64, no. 8, pp. 2161–2168, 2017.
- [6] D. S. Lee et al., “Addressing Angular Single-Event Effects in the Estimation of On-Orbit Error Rates,” *IEEE Transactions on Nuclear Science*, vol. 62, no. 6, pp. 2563–2569, 2015.
- [7] Boyang Du et al., “Ultrahigh Energy Heavy Ion Test Beam on Xilinx Kintex-7 SRAM-Based FPGA,” *IEEE Transactions on Nuclear Science*, vol. 66, no. 7, pp. 1813–1819, 2019.
- [8] Matthew Gadlage et al., “Soft Errors Induced by High-Energy Electrons,” *IEEE Transactions on Device and Materials Reliability*, vol. 17, no. 1, pp. 157–162, 2017.
- [9] Matthew Gadlage et al., “Electron-Induced Single-Event Upsets in 45-nm and 28-nm Bulk CMOS SRAM-Based

- FPGAs Operating at Nominal Voltage,” *IEEE Transactions on Nuclear Science*, vol. 62, no. 6, pp. 2717–2724, 2015.
- [10] G. Bruni et al., “Power dissipation effects on 28nm FPGA-based System on Chips neutron sensitivity,” in *2014 22nd International Conference on Very Large Scale Integration (VLSI-SoC)*, 2014, pp. 1–6.
- [11] Andrew M. Keller et al., “Dynamic SEU Sensitivity of Designs on Two 28-nm SRAM-Based FPGA Architectures,” *IEEE Transactions on Nuclear Science*, vol. 65, no. 1, pp. 280–287, 2018.
- [12] Juan Carlos Fabero et al., “Single Event Upsets Under 14-MeV Neutrons in a 28-nm SRAM-Based FPGA in Static Mode,” *IEEE Transactions on Nuclear Science*, vol. 67, no. 7, pp. 1461–1469, 2020.
- [13] Michael Wirthlin, David Lee, Gary Swift, and Heather Quinn, “A Method and Case Study on Identifying Physically Adjacent Multiple-Cell Upsets Using 28-nm, Interleaved and SECDED-Protected Arrays,” *IEEE Transactions on Nuclear Science*, vol. 61, no. 6, pp. 3080–3087, 2014.
- [14] G. Tsiligiannis et al., “Radiation Effects on Deep Submicrometer SRAM-Based FPGAs Under the CERN Mixed-Field Radiation Environment,” *IEEE Transactions on Nuclear Science*, vol. 65, no. 8, pp. 1511–1518, 2018.
- [15] Francisco J. Franco et al., “Inherent Uncertainty in the Determination of Multiple Event Cross Sections in Radiation Tests,” *IEEE Transactions on Nuclear Science*, vol. 67, no. 7, pp. 1547–1554, 2020.
- [16] Open On-Chip Debugger, “Open On-Chip Debugger,” Online. Available at <http://openocd.org/>.
- [17] Juan Antonio Clemente et al., “Statistical Anomalies of Bitflips in SRAMs to Discriminate SBUs From MCUs,” *IEEE Transactions on Nuclear Science*, vol. 63, no. 4, pp. 2087–2094, 2016.
- [18] Francisco J. Franco et al., “Statistical Deviations From the Theoretical Only-SBU Model to Estimate MCU Rates in SRAMs,” *IEEE Transactions on Nuclear Science*, vol. 64, no. 8, pp. 2152–2160, 2017.
- [19] “7 Series FPGAs Configuration User Guide. UG470 (v1.13.1),” Online. Available at [https://www.xilinx.com/support/documentation/user\\_guides/ug470\\_7Series\\_Config.pdf](https://www.xilinx.com/support/documentation/user_guides/ug470_7Series_Config.pdf), Aug. 2018.
- [20] Jean-Luc Autran, Daniela Munteanu, P. Roche, and G. Gasiot, “Real-time soft-error rate measurements: A review,” *Microelectronics Reliability*, vol. 54, no. 8, pp. 1455–1476, Aug. 2014.
- [21] Golnaz Korkian et al., “Experimental and analytical study of the responses of nanoscale devices to neutrons impinging at various incident angles,” *IEEE Transactions on Nuclear Science*, vol. 67, no. 11, pp. 2345–2352, 2020.
- [22] G. Hubert et al., “Operational SER Calculations on the SAC-C Orbit Using the Multi-Scales Single Event Phenomena Predictive Platform (MUSCA SEP3),” *IEEE Trans Nucl Sci*, vol. 56, no. 6, pp. 3032–3042, Dec. 2009.
- [23] Dagan White, “Considerations Surrounding Single Event Effects in FPGAs, ASICs, and Processors,” Online. Available at [https://www.xilinx.com/support/documentation/white\\_papers/wp402\\_SEE\\_Considerations.pdf](https://www.xilinx.com/support/documentation/white_papers/wp402_SEE_Considerations.pdf), 2012.
- [24] “OpenOCD modification for Virtex-5/Artix-7: GCAPTURE, GRESTORE and readback operations support,” Online. Available at <http://cort.as/-PUFI>.
- [25] J. Beaucour et al., “Grenoble Large Scale Facilities for Advanced Characterisation of Microelectronics Devices,” in *2015 15th European Conference on Radiation and Its Effects on Components and Systems (RADECS)*, 2015, pp. 1–4.
- [26] G. Hubert and A. Cheminet, “Radiation Effects Investigations Based on Atmospheric Radiation Model (ATMORAD) Considering GEANT4 Simulations of Extensive Air Showers and Solar Modulation Potential,” *Radiat. Res.*, vol. 184, no. 1, pp. 83–94, Jul. 2015.
- [27] Pierre-Philippe Mathieu et al., “The ESA’s Earth Observation Open Science Program [Space Agencies],” *IEEE Geoscience and Remote Sensing Magazine*, vol. 5, no. 2, pp. 86–96, 2017.
- [28] Daniel Oliveira et al., “Thermal Neutrons: a Possible Threat for Supercomputers and Safety Critical Applications,” in *2020 IEEE European Test Symposium (ETS)*, 2020, pp. 1–6.
- [29] F. Villa et al., “Multipurpose applications of the accelerator based neutron source GENEPI2,” *Nuovo Cimento C Geophysics Space Physics C*, vol. 38, article no. 182, 2016.