

Apuntes De Electrónica Analógica

Francisco J. Franco Peláez, Germán González Díaz e Ignacio Mártil de la Plaza

Índice general

I	Apuntes de la Asignatura	13
1.	MODELOS DC DE LOS DISPOSITIVOS ELECTRÓNICOS BÁSICOS	14
1.1.	El diodo	14
1.1.1.	Modelo de Shockley	14
1.1.2.	Modelo de la tensión de codo	15
1.1.3.	Combinaciones de diodos	16
1.1.4.	Ejemplo de resolución de circuitos con diodos	17
1.1.4.1.	Caso 1: Ambos diodos en corte	17
1.1.4.2.	Caso 2: Ambos diodos en conducción	18
1.1.4.3.	Caso 3: D1 en corte, D2 en conducción	19
1.1.4.4.	Caso 4: D1 en conducción, D2 en corte	19
1.2.	El transistor bipolar de unión (BJT)	20
1.2.1.	Modelo SPICE	20
1.2.2.	Modelo SPICE simplificado por zona de trabajo	21
1.2.2.1.	Zona de corte	21
1.2.2.2.	Zona activa directa	21
1.2.2.3.	Zona activa inversa	23
1.2.2.4.	Zona de saturación	23
1.2.3.	Modelo simplificado de los BJT	24
1.2.4.	Ejemplos de resolución de circuitos con transistores bipolares	25
1.2.4.1.	Caso 1: Zona de corte	26
1.2.4.2.	Caso 2: Zona activa directa	26
1.2.4.3.	Caso 3: Zona de saturación	27
1.2.4.4.	Caso 4: Zona activa inversa	28
1.3.	El transistor MOSFET	28
1.3.1.	Modelo cuadrático básico de un MOSFET	28
1.3.2.	Cálculo del punto de operación	29
1.3.2.1.	Caso 1: Zona de corte	30
1.3.2.2.	Caso 2: Zona de saturación	31
1.3.2.3.	Caso 3: Zona lineal	31

1.4. El transistor JFET	32
2. MODELOS EN PEQUEÑA SEÑAL DE LOS DISPOSITIVOS ELECTRÓNICOS	
BÁSICOS	33
2.1. Modelos en pequeña señal	33
2.2. El diodo	35
2.2.1. Modelo esencial en pequeña señal	35
2.2.2. Extensión del modelo en pequeña señal del diodo	35
2.3. El transistor BJT	37
2.3.1. Consideraciones generales sobre el modelo en pequeña señal de los transistores	37
2.3.2. Popularidad de los modelos h	40
2.3.3. Rotaciones entre modelos	41
2.3.3.1. Rotaciones entre modelos con mismo nodo común	43
2.3.3.2. Rotaciones entre modelos similares con distinto nodo en común . .	44
2.3.4. Modelo en Π o de Giacoletto	46
2.3.5. Modelo en pequeña señal del transistor bipolar a partir del modelo SPICE . .	48
2.3.5.1. Modelo de conductancias en emisor común	48
2.3.5.2. Modelo híbrido en emisor común	49
2.3.5.3. Modelos híbridos en base y colector común	50
2.3.5.4. Modelos de Giacoletto	50
2.3.6. Extensión del modelo en pequeña señal	51
2.3.6.1. Inclusión de resistencias parásitas	51
2.3.6.2. Capacidades parásitas	52
2.3.7. Frecuencia de transición de un transistor bipolar	54
2.4. El transistor MOSFET	55
2.4.1. Modelo básico a bajas frecuencias	56
2.4.2. Parásitos en un transistor MOS. Capacidades parásitas.	58
2.4.3. Frecuencia de transición	60
2.5. El transistor JFET	62
3. EL PROBLEMA DE LA POLARIZACIÓN	64
3.1. ¿Qué es la polarización?	64
3.1.1. Consideraciones generales	64
3.1.2. Técnicas de polarización	65
3.2. Redes de polarización resistivas	65
3.2.1. Red simple	65
3.2.2. Red simple con una única alimentación	68
3.2.3. Red con realimentación colector-base (drenador-puerta)	69
3.2.4. Red con degeneración de emisor/fuente	70
3.3. Sensibilidad	73

3.3.1.	Definición matemática de sensibilidad	73
3.3.2.	Sensibilidad en redes basadas en un NPN	74
3.3.2.1.	Red simple	74
3.3.2.2.	Red con realimentación colector-emisor	75
3.3.2.3.	Red con degeneración de emisor	77
3.3.2.4.	Sensibilidad y realimentación	78
3.3.3.	Sensibilidad en SPICE	79
3.4.	Polarización con fuentes de corriente	80
3.4.1.	Algunas nociones sobre las fuentes y espejos de corriente	80
3.4.2.	Resistencia de salida	80
3.4.3.	Referencias de tensión integradas	81
3.4.4.	Fuentes de corriente primarias	82
3.4.4.1.	Tecnología bipolar	82
3.4.4.2.	Tecnología CMOS	86
3.4.5.	Espejos simples de corriente	87
3.4.5.1.	Espejo simple	87
3.4.5.2.	Escalado de corrientes en el espejo simple por modificación de la geometría	90
3.4.5.3.	Reflexión múltiple de corriente	91
3.4.6.	Espejos Avanzados de Corriente	92
3.4.6.1.	Espejo de base compensada	93
3.4.6.2.	Espejos cascode	94
3.4.6.3.	Espejos Wilson	99
3.4.6.4.	Espejos con degeneración de emisor	104
3.4.6.5.	Espejo Widlar	106
4.	AMPLIFICADORES DE ENTRADA SIMPLE	110
4.1.	Nociones generales sobre amplificadores	110
4.1.1.	¿Qué es un amplificador?	110
4.1.2.	Parámetros característicos de los amplificadores	113
4.1.3.	Efectos de la resistencia de fuente en la entrada	115
4.2.	Inserción de la pequeña señal	115
4.3.	Circuitos amplificadores de entrada simple con componentes discretos	118
4.3.1.	Configuración de emisor/fuente común	118
4.3.1.1.	Ganancias e impedancias a frecuencias medias. Caso bipolar	118
4.3.1.2.	Ganancias e impedancias a frecuencias medias. Caso MOSFET	121
4.3.1.3.	Ganancias e impedancias a frecuencias medias. Caso JFET	123
4.3.1.4.	Comportamiento a bajas frecuencias. Todos los tipos	123
4.3.1.5.	Comportamiento a altas frecuencias. Caso bipolar	125

4.3.1.6.	Comportamiento a altas frecuencias. Caso MOSFET	127
4.3.1.7.	Comportamiento a altas frecuencias. Caso JFET	129
4.3.2.	Configuración de emisor/fuente degenerado	129
4.3.2.1.	Configuración de emisor degenerado	130
4.3.2.2.	Configuración de fuente degenerada	131
4.3.3.	Configuración de base/puerta común	132
4.3.3.1.	Configuración de base común a frecuencias medias	132
4.3.3.2.	Configuración de base común a frecuencias bajas y altas	135
4.3.3.3.	Configuración de puerta común a frecuencias medias	136
4.3.3.4.	Configuración de puerta común a frecuencias bajas y altas	138
4.3.4.	Configuración de colector/drenador común	140
4.3.4.1.	Configuración de colector común a frecuencias medias	140
4.3.4.2.	Configuración de colector común a frecuencias bajas y altas	143
4.3.4.3.	Configuración de drenador común a frecuencias medias	144
4.3.4.4.	Configuración de drenador común a frecuencias bajas y altas	146
4.4.	Circuitos amplificadores de entrada simple basados en fuentes de corriente	147
4.5.	Circuitos amplificadores con varios transistores	151
4.5.1.	Configuración Colector Común - Emisor Común (CC-EC)	152
4.5.2.	Configuración Darlington	154
4.5.3.	Configuración Cascode	155
4.5.3.1.	Tecnología bipolar	156
4.5.3.2.	Tecnología CMOS	157
4.5.4.	Configuración Cascode Activo	159

5. AMPLIFICADORES DE ENTRADA DIFERENCIAL 162

5.1.	Nociones generales sobre amplificadores diferenciales	162
5.1.1.	Definición y usos	162
5.1.2.	Modo común y diferencial	164
5.2.	Pares diferenciales	166
5.2.1.	Par diferencial con cargas resistivas	166
5.2.1.1.	Tecnología Bipolar	167
5.2.1.2.	Tecnología CMOS / Transistores JFET	169
5.2.2.	No idealidades en un par diferencial	172
5.2.2.1.	Corriente de polarización de la entrada	172
5.2.2.2.	Tensión de <i>offset</i>	173
5.2.2.3.	Corriente máxima de salida	173
5.2.2.4.	Impedancia de entrada y salida	173
5.2.2.5.	Frecuencia máxima de trabajo	174
5.2.3.	Pares diferenciales con carga activa	174

5.2.3.1.	Tecnología bipolar	174
5.2.3.2.	Tecnología CMOS/JFET	176
5.2.3.3.	Mejoras de los pares diferenciales con carga activa	178
5.2.3.4.	Uso de pares diferenciales como amplificadores operacionales	179
6.	ETAPAS DE SALIDA	181
6.1.	Introducción	181
6.1.1.	¿Por qué son necesarias las etapas de salida?	181
6.1.2.	Parámetros eléctricos de una etapa de salida	181
6.2.	Etapas de salida típicas	183
6.2.1.	Seguidor de emisor/fuente	183
6.2.1.1.	Seguidor de emisor NPN	183
6.2.1.2.	Seguidor de fuente NMOS	186
6.2.1.3.	Seguidores PNP y PMOS	188
6.2.2.	Pares complementarios	189
6.2.2.1.	Pares complementarios “push-pull” clase B	189
6.2.2.2.	Etapas push-pull clase AB mejorada (tecnología bipolar)	192
6.2.2.3.	Etapas push-pull clase AB mejorada (tecnología CMOS)	192
6.3.	Protección frente a sobrecorriente	193
7.	EL AMPLIFICADOR OPERACIONAL	195
7.1.	Introducción	195
7.2.	Aplicaciones lineales avanzadas del amplificador operacional	197
7.2.1.	Amplificador diferencial	198
7.2.2.	Amplificadores de instrumentación	199
7.2.3.	Circuitos emulados	200
7.2.3.1.	Resistencias negativas	200
7.2.3.2.	Inducciones simuladas	201
7.2.4.	Amplificadores con ganancia controlada	202
7.2.4.1.	Método analógico	203
7.2.4.2.	Control digital	203
7.3.	Estructura interna de un amplificador operacional	204
7.4.	No idealidades de un amplificador operacional	205
7.4.1.	Tensión de <i>offset de la entrada</i> :	205
7.4.2.	Corriente de polarización de la entrada	206
7.4.3.	Ganancia en lazo abierto	207
7.4.4.	Producto ganancia-ancho de banda o frecuencia de ganancia unidad	207
7.4.5.	<i>Slew rate</i>	208
7.4.6.	Relación entre f_U y <i>slew rate</i>	209
7.4.7.	Parámetros relacionados con la salida	211

7.5. Comparadores	211
7.5.1. Nociones generales	211
7.5.2. Comparadores regenerativos	212
8. APLICACIONES NO LINEALES DE LOS AMPLIFICADORES OPERACIONALES	215
8.1. Circuitos rectificadores de precisión	215
8.1.1. Circuitos rectificadores sencillos con diodos	215
8.1.2. Rectificador de media onda de precisión o “Superdiodo”	216
8.1.3. Rectificador de precisión de media onda con resistencias de realimentación	218
8.1.4. Rectificador de onda completa o circuitos de valor absoluto	219
8.2. Amplificadores logarítmicos y exponenciales	219
8.2.1. Amplificadores logarítmicos sencillos	220
8.2.2. Amplificadores exponenciales sencillos	221
8.2.3. Otras limitaciones de los circuitos logarítmicos y exponenciales	222
8.2.4. Implementación de multiplicadores, divisores y otras operaciones con amplificadores logarítmicos/antilogarítmicos	223
8.3. Operaciones aritméticas con transistores	223
8.3.1. Uso de transistores de efecto campo	224
8.3.2. Celdas multiplicadoras con BJT	226
8.3.3. División, potenciación y raíces a base de multiplicadores	226
8.4. Detectores de pico	228
8.5. Transistores como etapas de salida de amplificadores operacionales	229
9. FILTROS ANALÓGICOS	232
9.1. Propiedades matemáticas de los filtros	232
9.2. Tipos de filtro con arreglo a la frecuencia	233
9.3. Implementación de filtros con funciones de primer y segundo orden	237
9.3.1. Filtros LP:	237
9.3.2. Filtros HP:	237
9.3.3. Filtros BP:	237
9.3.4. Filtros BR:	237
9.3.5. Filtros AP:	238
9.4. Normalización y escalado	238
9.5. Filtros LP de orden superior a 2 basados en funciones matemáticas especiales	238
9.5.1. Filtros LP de Butterworth	239
9.5.2. Filtros LP de Bessel	240
9.5.3. Filtros LP de Chebyshev	241
9.5.4. Otros filtros LP de características especiales	243
9.6. Diseño de filtros distintos HP, BP y BR a partir del filtro equivalente LP	243

9.6.1.	Creación de filtro HP a partir de un LP equivalente	244
9.6.2.	Creación de filtro BP a partir de un LP equivalente	244
9.6.3.	Creación de filtro BR a partir de un LP equivalente	245
9.7.	Implementación física de filtros	245
9.7.1.	Filtros pasivos. Red RC en escalera	246
9.7.2.	Filtros activos. Configuraciones generales.	247
9.7.2.1.	Configuraciones de polo simple	248
9.7.2.2.	Configuraciones de Sallen-Key	248
9.7.2.3.	Configuraciones realimentadas con bucle múltiple	249
9.7.2.4.	Configuraciones de immitancia generalizada	249
9.7.3.	Filtros activos LP	250
9.7.3.1.	Filtros LP con configuraciones inversoras y no inversoras	250
9.7.3.2.	Filtro LP de Sallen-Key	250
9.7.3.3.	Filtro LP con configuración de bucles de realimentación múltiples	251
9.7.3.4.	Filtro LP con configuración de immitancia generalizada	251
9.7.4.	Filtros activos HP	252
9.7.4.1.	Filtros HP con configuraciones inversoras	252
9.7.4.2.	Filtro HP de Sallen-Key	252
9.7.4.3.	Filtro HP con configuración de bucles de realimentación múltiples	253
9.7.4.4.	Filtro HP con configuración de immitancia generalizada	253
9.7.5.	Filtros activos BP	254
9.7.5.1.	Filtros BP con configuraciones inversoras y no inversoras	254
9.7.5.2.	Filtro BP con configuración de bucles de realimentación múltiples	254
9.7.5.3.	Filtro BP con configuración de immitancia generalizada	255
9.7.6.	Filtros activos BR	255
9.7.6.1.	Filtro BR basado en configuración de realimentación por bucles múltiples	256
9.7.6.2.	Filtro BR basado en configuración de immitancia generalizada	256
9.7.7.	Filtros activos AP	257

10.OSCILADORES 259

10.1.	Osciladores lineales	259
10.1.1.	Criterio de Barkhausen	259
10.1.2.	Ejemplos de osciladores lineales típicos	260
10.1.2.1.	Oscilador de deriva de fase	260
10.1.2.2.	Oscilador de Puente de Wien	263
10.1.2.3.	Osciladores de Hartley y Colpitts	266
10.1.2.4.	El cristal de cuarzo. Oscilador de Pierce	269

10.1.3. Influencias de las no idealidades de los amplificadores operacionales en las características de los osciladores	271
10.1.3.1. Slew rate	272
10.1.3.2. Producto ganancia-ancho de banda	272
10.1.3.3. Distorsión	274
10.1.3.4. Influencia de las tensiones de saturación	275
10.2. Osciladores de relajación	277
10.2.1. Oscilador en anillo	278
10.2.2. Oscilador multivibrador	279
10.2.3. Oscilador basado en comparador regenerativo	279

11. CIRCUITOS BASADOS EN AMPLIFICADORES OPERACIONALES Y CAPACIDADES	282
11.1. Circuitos Sample & Hold (S/H)	282
11.1.1. Diferencias entre circuitos S/H y circuitos Track & Hold (T/H)	282
11.1.2. Circuito S/H simple	284
11.1.3. No idealidades asociadas a un circuito S/H	285
11.1.3.1. Tensión de offset de los amplificadores	285
11.1.3.2. Fugas por corrientes de polarización de la entrada	285
11.1.3.3. Limitaciones en frecuencia	286
11.1.3.4. Efecto pedestal	286
11.1.3.5. Rango de tensiones de entrada	289
11.1.4. Circuitos S/H Mejorados	289
11.1.4.1. Circuito S/H con realimentación directa hacia la entrada y reducción de <i>offset</i>	289
11.1.4.2. Circuitos S/H mejorados con reducción de <i>offset</i>	291
11.1.4.3. Circuito S/H con eliminación de efecto pedestal	292
11.1.4.4. Circuito S/H con paso por tierra en periodo de seguimiento	293
11.2. Circuitos basados en la conmutación de capacidades	294
11.2.1. Condensadores frente a resistencias en circuitos integrados	294
11.2.2. Amplificadores de carga	294
11.2.3. Equivalentes resistivos de condensadores conmutados	295
11.2.3.1. Relojes no solapados	295
11.2.3.2. Estudio de un equivalente resistivo (paralelo)	296
11.2.3.3. Otros equivalentes resistivos de capacidades conmutadas	297
11.2.4. Diseño de un filtro RC con capacidades conmutadas	297
11.2.4.1. Integrador con equivalente resistivo paralelo	299
11.2.4.2. Integrador con equivalente resistivo insensible a capacidades parásitas	301

11.2.5. Limitaciones de los circuitos de capacidades conmutadas	302
11.2.6. Uso de la transformada z	303
11.3. Otros Circuitos basados en amplificadores operacionales y capacidades	304

II Parámetros SPICE 305

12.El Diodo según SPICE 306

12.1. Corrientes en el diodo	306
12.2. Capacidades	309
12.3. Efectos de la temperatura sobre corrientes y potenciales	310
12.3.1. Dependencia de las corrientes de saturación	310
12.3.2. Dependencia de los demás parámetros	311
12.4. Ruido	312
12.5. Ejemplos de diodos reales	312
12.5.1. 1N4148	312
12.5.2. BAT54	313
12.5.3. BZX284-6V2	313
12.5.4. LXHL-BW02	313

13.El Transistor Bipolar según SPICE 314

13.1. Modelo básico	314
13.2. Corrientes de recombinación en las zonas de carga espacial	316
13.3. Modelado del efecto de alta inyección y del efecto Early	317
13.4. Modelado de las resistencias parásitas	317
13.4.1. Resistencia de base	318
13.4.2. Resistencia de emisor y colector	318
13.5. Incorporación del sustrato y de la capa epitaxial del colector	318
13.6. Capacidades	319
13.6.1. Capacidad Base-Emisor (C_{BE})	319
13.6.2. Capacidad Base-Colector (C_{BC})	320
13.6.3. Capacidad de base externa a colector interno (C_{BX})	320
13.6.4. Capacidad de unión del sustrato	321
13.7. Efecto de casi-saturación	321
13.8. Variaciones con la temperatura	321
13.9. Ruido	323
13.10 Ejemplos de transistores reales	323
13.10.1 2N2222A	323
13.10.2 2N2907	323

14. Los Transistores JFET y MESFET según SPICE	324
14.1. Corrientes de fugas en la puerta	324
14.2. Corriente de drenador a fuente (I_{DS})	326
14.2.1. Transistor JFET	326
14.2.2. Transistor MESFET	327
14.3. Capacidades	328
14.4. Efectos de la temperatura	329
14.5. Ruido	330
14.6. Ejemplos de transistores reales	330
14.6.1. 2N3819	330
14.6.2. 2N5114	331
14.6.3. MESFET genérico	331
15. El Transistor MOSFET según SPICE	332
15.1. Parámetros tecnológicos	333
15.2. Comportamiento DC del transistor MOSFET	334
15.2.1. Nivel 1	334
15.2.2. Nivel 2	335
15.2.3. Nivel 3	336
15.2.4. Modelos BSIM	337
15.3. Comportamiento AC del transistor MOSFET	337
15.3.1. Capacidades de solapamiento	337
15.3.2. Capacidades de unión	338
15.3.2.1. $C_{J,S,BX}$:	338
15.3.2.2. $C_{J,L,BX}$:	339
15.3.2.3. $C_{D,BX}$:	339
15.4. Influencia de la temperatura	339
15.5. Ruido	340
15.6. Ejemplos de transistores reales	340
15.6.1. IRF250 e IRF9540	340
15.6.2. BSH103 y BSH201	340
15.6.3. Transistores integrados	341

III Exámenes resueltos **342**

Prólogo

La colección de apuntes que se proporciona en este fichero es el fruto de muchos años de trabajo en la asignatura “Electrónica Analógica” de la Ingeniería Superior Electrónica. Ésta era una asignatura del último año de una titulación de segundo ciclo, impartida en la Facultad de Física de la Universidad Complutense de Madrid, y que se mantuvo vigente desde 1998 hasta el curso académico 2013-2014. En este curso, la titulación desapareció al ser necesaria la adaptación de los estudios al Tratado de Bolonia.

Inicialmente, esta asignatura fue impartida por el Profesor Germán González Díaz, que elaboró una primera versión de los apuntes. A continuación, la asignatura pasó al Profesor Ignacio Mártil de la Plaza. Ambos son catedráticos de Electrónica y, finalmente, en el curso académico 2010-2011, el Profesor Francisco Javier Franco Peláez, titular de esta asignatura y redactor de estas líneas, se responsabilizó de esta asignatura hasta su desaparición. Todos pertenecemos al Departamento de Física Aplicada III de la Universidad Complutense de Madrid.

Ocurrió que el primer año que impartía la asignatura tuve la suerte de ser padre. Calculé que existían serias posibilidades de que mi baja paternal coincidiera con los últimos días lectivos de asignatura por lo que juzgué sensato que, para evitar molestias a mis alumnos, debía hacer el esfuerzo de transcribir y ampliar a mi gusto los manuscritos que generosamente me habían ofrecido mis antecesores en la asignatura. Al principio, comencé transcribiendo los últimos temas aunque, poco a poco, saqué tiempo para ir retrocediendo hasta que tenía casi la mitad de la asignatura transcrita. Y, así, de este modo, me dije que con un poco más de esfuerzo podría completarlo todo.

Asimismo, dado que tengo la costumbre de publicar la solución de los exámenes finales, he decidido añadirlos como apéndice a este texto. Confieso, por otro lado, que no he podido incluir algunos de ellos por haberse escrito hace muchos años en un formato incompatible con las herramientas que utilizo ahora. Asimismo, he querido incluir textos en los que se describen los modelos SPICE de los cuatro dispositivos electrónicos básicos. En algunos casos, los textos son traducciones o al menos están basados en el manual de instrucciones de mi simulador favorito, NGSpice (<http://ngspice.sourceforge.net>).

Por motivos de organización, la asignatura es fundamentalmente teórica pues las horas de laboratorio de las asignaturas Electrónica Analógica, Instrumentación Electrónica y Electrónica de Potencia se agruparon en una nueva, llamada “Laboratorio de Electrónica”. Por ello, estos apuntes son exclusivamente teóricos, y solo se concede un poco de espacio a la simulación de circuitos.

Durante esta redacción, fui reelaborando el material que había recibido de mis compañeros,

adaptándolo a mi gusto, cambiando notaciones, eliminando o añadiendo ejemplos e incluso temas, hasta que se completó la versión final. Es probable que el contenido de esta asignatura quede obsoleto en poco años dada la rápida evolución de la electrónica. Sin embargo, creo que es necesario que el fruto del trabajo de tantos años y permanezca accesible para todos aquellos que deseen un enfoque distinto de la electrónica.

Este texto se elaboró con la herramienta Lyx (<http://www.lyx.org>), que es una interfaz humana para las herramientas $\text{\LaTeX}$. Los circuitos se crearon con Xcircuit (<http://opencircuitdesign.com/xcircuit>) y algunos gráficos con qtiplot (<http://qtiplot.sourceforge.net>). Gracias a los que desarrollaron estas herramientas y que las hicieron accesibles a la comunidad de usuarios.

En algún lugar en el tren Badajoz-Madrid

12 de abril de 2015

Parte I

Apuntes de la Asignatura

Capítulo 1

MODELOS DC DE LOS DISPOSITIVOS ELECTRÓNICOS BÁSICOS

La descripción del comportamiento de los dispositivos electrónicos básicos en DC es un asunto aún en desarrollo. Ciertamente, el comportamiento de los diodos, transistores bipolares y JFET ya ha llegado a un cierto límite de complejidad en el que no se producen avances significativos. En cambio, los dispositivos CMOS necesitan nuevos modelos DC a medida que se produce la miniaturización de los transistores debido a la aparición de nuevos fenómenos en estos dispositivos.

Los modelos más exactos han sido utilizados para el desarrollo de modelos SPICE de los dispositivos. Por ello, se remite al estudiante a consultar el material ofrecido en el bloque de documentos de SPICE disponible en el Espacio Virtual de la asignatura. En este documento, se mostrará como deben tratarse los dispositivos para realizar un análisis manual del circuito, rápido aunque bastante inexacto, que pueda ser empleado para determinar el punto de operación de los circuitos electrónicos básicos.

1.1. El diodo

1.1.1. Modelo de Shockley

Se entiende por “diodo” cualquier unión PN, sea de silicio, de germanio, o de arseniuro de galio, o cualquier unión metal-semiconductor (Schottky) con comportamiento rectificador y no resistivo. Todos estos elementos pueden describirse *grosso modo* mediante la ecuación de Shockley:

$$I_D = I_S \cdot \left[\exp \left(\frac{V_D}{N \cdot V_T} \right) - 1 \right] \quad (1.1)$$

Donde I_S es la corriente de saturación inversa, N el coeficiente de idealidad, y V_T el potencial térmico equivalente, que vale alrededor de 26 mV a temperatura ambiente. V_D se define como la

diferencia de tensión entre la zona P y la zona N en diodos puramente semiconductores y entre el metal y la zona N en los diodos Schottky típicos. El sentido de I_D es el natural asociado al signo de V_D .

En general, todos los diodos pueden describirse por esta ecuación si bien hay que recordar que no es más que una idealización en la que se han obviado muchos efectos. Cada tipo de diodo se caracteriza por un valor típico de I_S y N . Así, los diodos de Schottky y Germanio tienen un valor de $N \approx 1$ e I_S del orden de nanoamperios. En cambio, en los diodos de arseniuro de galio, $N \approx 2$ e I_S es del orden de femtoamperios o attoamperios. Finalmente, los diodos de silicio se encuentran en un rango intermedio.

1.1.2. Modelo de la tensión de codo

La ecuación de Shockley es útil en casos sencillos. Sin embargo, para estudiar a mano circuitos con varios diodos o bien cuando no se deseen obtener ecuaciones no lineales, es recomendable utilizar el “modelo en codo” de los diodos. En este modelo, se supone que, cuando un diodo conduce, se comporta como una fuente de tensión de valor constante, llamado “tensión de codo” y simbolizada como V_γ . En el caso de los diodos de silicio, esta tensión es 0.6-0.7 V, en los diodos Schottky y de Germanio, de 0.3 V y, en los diodos de AsGa, del orden de 1.6 V. Si el diodo no conduce, es necesario que $V_D < V_\gamma$.

¿Cómo hay que proceder de manera práctica? *A priori*, es imposible saber como se encuentra un diodo aunque la experiencia acumulada da la oportunidad de intuirlo. Según la hipótesis de partida, habrá que proceder del modo siguiente:

1. **Diodo ON o en conducción:** Supondremos que el diodo es una fuente de tensión de valor V_γ . Resolveremos el circuito y, en caso de que $I_D > 0$, habremos acertado. En caso de que esto no fuera así, debemos volver a empezar suponiendo que el diodo está en el otro estado.
2. **Diodo OFF o en corte:** En este caso, reemplazaremos el diodo por un abierto. Tras resolver el circuito, podremos concluir que hemos acertado siempre y cuando la caída de tensión en el diodo sea $V_D < V_\gamma$. En caso contrario, se debe pasar al otro caso.

Lógicamente, en este modelo es inconcebible que la caída de tensión en un diodo que conduce sea menor de V_γ . Obviamente, tampoco mayor a pesar de que sabemos que, en realidad, esto sí es posible. Sin embargo, recordemos que estamos trabajando con un modelo simplificado. El que aparezcan estas incongruencias matemáticas no tiene significado físico sino que está asociado a fallos en el procedimiento, bien de comprensión del dispositivo, bien en la realización de cálculos.

En caso de que el diodo esté en ruptura Zener, el estudio sería similar con la salvedad de que se invierte el sentido tanto de la tensión del diodo como de la corriente que lo atraviesa. Habría que reemplazar V_γ por V_Z pero el procedimiento de cálculo sería similar al descrito con anterioridad.

1.1.3. Combinaciones de diodos

En caso de que haya varios diodos, es necesario proceder con todas las combinaciones de los estados posibles. Así, si hay dos diodos, podrían darse hasta posibles combinaciones:

Caso	Diodo 1	Diodo 2
A	ON	ON
B	ON	OFF
C	OFF	ON
D	OFF	OFF

En caso de que hubiera N diodos, habría 2^N combinaciones posibles. En principio, habría que estudiar todas las combinaciones, imponiendo que $V_{D1}, V_{D2}, \dots, V_{DN}$ junto con $I_{D1}, I_{D2}, \dots, I_{DN}$ cumplan las condiciones expresadas con anterioridad y verificando que la situación de TODOS los diodos es compatible con el conjunto de suposiciones iniciales.

Como se ha dicho antes, la propia experiencia del diseñador ayuda a no explorar todos los casos posibles. Pongamos algunos ejemplos:

- Si la zona P de un diodo está conectada a la alimentación positiva, es muy probable que esté conduciendo. Lo mismo ocurre si es la zona N conectada a la tensión más negativa.
- Si la zona P de un diodo está conectada a la alimentación negativa, o la zona N a la positiva, es muy probable que el diodo no conduzca salvo que se encuentre en ruptura Zener.
- Si dos diodos se encuentran en serie pero enfrentados entre sí (zona P de uno con zona P del otro, o viceversa), es probable que ambos diodos estén en zona OFF salvo que aparezca la ruptura Zener. Por otra parte, en esta configuración no es posible que los dos sufran ruptura Zener de manera simultánea. En todo caso, uno conducirá por mecanismo Zener y el otro se pondrá ON.
- Si los dos diodos se encuentran en serie propiamente dicha, es decir, zona P de uno con zona N del otro, los dos diodos o conducen simultáneamente, o están en corte. Concretamente, se comportan como un diodo con una tensión de codo efectiva de valor $2 \cdot V_\gamma$. Por otra parte, la ruptura Zener solo puede aparecer si ocurre de manera simultánea en ambos diodos por lo que es necesario que haya una tensión $V_{Z1} + V_{Z2}$ desde la zona N del primero a la zona P del segundo. Ambas tensiones V_Z son las tensiones de ruptura de los diodos.
- Cuando los diodos están en paralelo, debemos recordar la premisa de que solo conduce el de menor tensión de codo y solo se rompe el de menor tensión de ruptura Zener.

Sin embargo, debe recordarse que, en la práctica, no es habitual encontrarse circuitos con gran número de diodos. En esos casos, habría que dividir el circuito en subbloques o recurrir a simuladores.

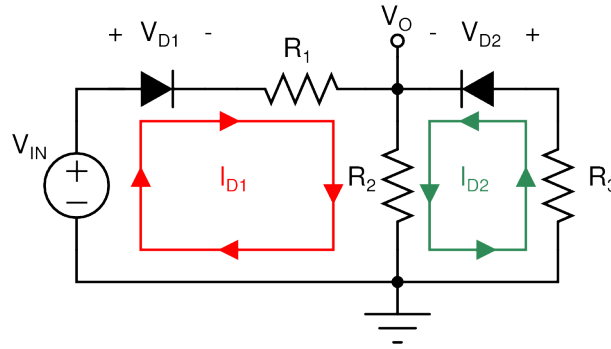


Figura 1.1: Ejemplo de resolución de circuitos con varios diodos.

1.1.4. Ejemplo de resolución de circuitos con diodos

Sea el circuito de Fig. 1.1. En él, pueden verse dos diodos, llamados D_1 y D_2 y nos preguntamos sobre el valor de la tensión V_O en función de la tensión de entrada V_{IN} . Para ello, resolveremos el circuito por medio de corrientes de malla. Por comodidad, y dada la disposición de los diodos, hemos elegido las corrientes de malla de tal modo que coinciden de modo natural con las corrientes asociadas a los diodos, I_{D1} e I_{D2} .

En este circuito, se pueden plantear las dos ecuaciones de malla siguientes:

$$\begin{cases} -V_{IN} + V_{D1} + R_1 \cdot I_{D1} + R_2 \cdot (I_{D1} + I_{D2}) = 0 \\ R_3 \cdot I_{D2} + V_{D2} + R_2 \cdot (I_{D1} + I_{D2}) = 0 \end{cases} \Rightarrow$$

$$\Rightarrow \begin{cases} (R_1 + R_2) \cdot I_{D1} + R_2 \cdot I_{D2} + V_{D1} = V_{IN} \\ R_2 \cdot I_{D1} + (R_2 + R_3) \cdot I_{D2} + V_{D2} = 0 \end{cases} \quad (1.2)$$

Ocurren cuatro incógnitas y solo dos ecuaciones. Por ello, debemos tomar suposiciones adicionales. Podríamos utilizar las ecuaciones de Shockley de cada diodo de tal modo que completaríamos el sistema de ecuaciones. Sin embargo, esto nos conduce a un sistema de ecuaciones no lineales que solo se pueden resolver de manera numérica. Así, esto es lo que hacen todos los simuladores como SPICE, APLAC, VHDL-AMS, etc. En cambio, nosotros utilizaremos el modelo en código de los diodos.

Debemos estudiar los cuatro casos posibles:

1.1.4.1. Caso 1: Ambos diodos en corte

En este caso, las corrientes que fluyen a través de los diodos son nulas ($I_{D1} = I_{D2} = 0$) por lo que Eq. 1.2 se transforma en:

$$\begin{cases} V_{D1} = V_{IN} \\ V_{D2} = 0 \end{cases}$$

Sin embargo recordemos que, para que los diodos estén en OFF, es necesario que la tensión

entre los extremos del diodo sea menor que $V_\gamma \approx 0,7V^1$. La segunda ecuación cumple de manera trivial la condición en tanto que la primera solo se cumple si:

$$V_{D1} = V_{IN} < V_\gamma$$

Por tanto, en caso de que la entrada V_{IN} sea menor de 0.7 V, ambos diodos estarán en OFF. La tensión de salida será, en este caso:

$$V_O = R_2 \cdot (I_{D1} + I_{D2}) = 0$$

1.1.4.2. Caso 2: Ambos diodos en conducción

En caso de encontrarnos en esta situación, la caída de tensión en ambos diodos es V_γ ($V_{D1} = V_{D2} = V_\gamma$). Eq. 1.2 se convertirá en:

$$\Rightarrow \begin{cases} (R_1 + R_2) \cdot I_{D1} + R_2 \cdot I_{D2} + V_\gamma = V_{IN} \\ R_2 \cdot I_{D1} + (R_2 + R_3) \cdot I_{D2} + V_\gamma = 0 \end{cases}$$

Este sistema de ecuaciones se puede resolver aplicando la regla de Cramer:

$$I_{D1} = \frac{\begin{vmatrix} V_{IN} - V_\gamma & R_2 \\ -V_\gamma & R_2 + R_3 \end{vmatrix}}{\begin{vmatrix} R_1 + R_2 & R_2 \\ R_2 & R_2 + R_3 \end{vmatrix}} = \frac{(R_2 + R_3) \cdot V_{IN} - R_3 \cdot V_\gamma}{R_1 \cdot R_2 + R_1 \cdot R_3 + R_2 \cdot R_3}$$

$$I_{D2} = \frac{\begin{vmatrix} R_1 + R_2 & V_{IN} - V_\gamma \\ R_2 & -V_\gamma \end{vmatrix}}{\begin{vmatrix} R_1 + R_2 & R_2 \\ R_2 & R_2 + R_3 \end{vmatrix}} = \frac{-R_1 \cdot V_\gamma - R_2 \cdot V_{IN}}{R_1 \cdot R_2 + R_1 \cdot R_3 + R_2 \cdot R_3}$$

Al estar los dos diodos en conducción, ambas corrientes deben ser positivas. Esto ocurre cuando:

$$I_{D1} > 0 \Leftrightarrow (R_2 + R_3) \cdot V_{IN} - R_3 \cdot V_\gamma > 0 \Rightarrow V_{IN} > \frac{R_3}{R_2 + R_3} \cdot V_\gamma$$

$$I_{D2} > 0 \Leftrightarrow -R_1 \cdot V_\gamma - R_2 \cdot V_{IN} > 0 \Rightarrow V_{IN} < -\frac{R_1}{R_2} \cdot V_\gamma$$

Estas expresiones se contradicen entre sí pues una requiere valores positivos de la entrada y otra negativos. Además, la primera condición choca con la condición ya deducida en el apartado anterior pues recordemos que, si $V_{IN} < V_\gamma$, ambos diodos están en corte.

Para terminar, démonos cuenta de que no era necesario resolver el sistema completo. Fijémonos en la expresión:

¹Evidentemente, estamos suponiendo que el diodo es de silicio. En otros diodos, el valor de este parámetro cambia.

$$R_2 \cdot I_{D1} + (R_2 + R_3) \cdot I_{D2} + V_\gamma = 0$$

Puesto que las corrientes deben ser positivas y como $V_\gamma = 0,7 > 0$, su suma debería ser siempre positiva y nunca 0. Recordemos que hay un teorema del cálculo que establece que, si la suma de N números reales es nula, debe haber tanto números positivos como negativos. En conclusión, o I_{D1} tiene valor negativo, o I_{D2} , o ambas. En cualquier caso, se invalida la posibilidad de esta situación.

1.1.4.3. Caso 3: D1 en corte, D2 en conducción

En este caso, se cumple que $I_{D1} = 0$ y que $V_{D2} = V_\gamma$. El sistema de ecuaciones mostrado en Eq. 1.2 se convierte en:

$$\begin{cases} R_2 \cdot I_{D2} + V_{D1} = V_{IN} \\ (R_2 + R_3) \cdot I_{D2} + V_\gamma = 0 \end{cases}$$

Podemos ver rápidamente que esta situación es imposible. Recordemos que, a partir de las premisas, deben verificarse dos condiciones. En primer lugar, que $V_{D1} < V_\gamma$ y, en segundo lugar, que $I_{D2} > 0$. Sin embargo, de la segunda ecuación del sistema se deduce que:

$$(R_2 + R_3) \cdot I_{D2} + V_\gamma = 0 \Rightarrow I_{D2} = -\frac{V_\gamma}{R_2 + R_3} < 0$$

pues todos los parámetros son positivos. En consecuencia, descartamos esta situación directamente.

1.1.4.4. Caso 4: D1 en conducción, D2 en corte

Podemos imaginar que esta situación debe ser posible ya que hay una rango de valores de V_{IN} ($V_{IN} > V_\gamma$) que no ha sido descrita en las tres situaciones anteriores. Al ser éste el único caso que nos queda por examinar podemos estar seguros de que esta situación es posible².

En este caso, Eq. 1.2 se simplifica a:

$$\begin{cases} (R_1 + R_2) \cdot I_{D1} + V_\gamma = V_{IN} \\ R_2 \cdot I_{D1} + V_{D2} = 0 \end{cases}$$

La resolución de este sistema de ecuaciones es sencilla:

$$(R_1 + R_2) \cdot I_{D1} + V_\gamma = V_{IN} \Rightarrow I_{D1} = \frac{V_{IN} - V_\gamma}{R_1 + R_2}$$

$$R_2 \cdot I_{D1} + V_{D2} = 0 \Rightarrow V_{D2} = -R_2 \cdot I_{D1} = -\frac{R_2}{R_1 + R_2} \cdot (V_{IN} - V_\gamma)$$

²En caso de que este caso no completara todo el rango de valores de V_{IN} solo se puede dar un consejo: Repasar los cálculos pues debe haber un fallo en alguna parte de los cálculos. Toca armarse de paciencia...

Apliquemos ahora las condiciones de trabajo. En primer lugar:

$$I_{D1} = \frac{V_{IN} - V_\gamma}{R_1 + R_2} > 0 \Rightarrow V_{IN} - V_\gamma > 0 \Rightarrow V_{IN} > V_\gamma$$

$$V_{D2} = -\frac{R_2}{R_1 + R_2} \cdot (V_{IN} - V_\gamma) < V_\gamma \Rightarrow V_{IN} > -\frac{R_1}{R_2} \cdot V_\gamma$$

Ambas expresiones no se contradicen aunque la primera es más restrictiva por lo que nos quedaremos con ella. Vemos, además, que éste es el rango de tensiones de entrada que buscábamos. Para concluir, el valor de la salida sería:

$$V_O = R_2 \cdot (I_{D1} + I_{D2}) = R_2 \cdot I_{D1} = \frac{R_2}{R_1 + R_2} \cdot (V_{IN} - V_\gamma)$$

Por cierto, la función $V_O = f(V_{IN})$ es continua a pesar de estar definida a tramos. En cualquiera de los dos tramos, la función vale 0 V al acercarse al punto de frontera, $V_{IN} = V_\gamma$.

1.2. El transistor bipolar de unión (BJT)

1.2.1. Modelo SPICE

El método más sencillo de describir el comportamiento de un transistor BJT es mediante el modelo SPICE. A diferencia de otros modelos típicos como el Ebers-Moll, el modelo SPICE echa mano de las ganancias de un transistor β_F y β_R en lugar de α_F y α_R .

En el caso de un transistor NPN, decimos que las corrientes de base y de colector son positivas si entran en el transistor en tanto que la corriente de emisor es positiva si sale. De este modo, la corriente de emisor es positiva si sigue la flecha del símbolo³. Evidentemente, toman signo negativo en caso contrario y se cumple que:

$$I_E = I_C + I_B \quad (1.3)$$

En un transistor PNP, el criterio es exactamente el opuesto: La corriente de emisor es positiva si entra en el transistor y las de base y colector, positiva si salen. Eq. 1.3 continúa verificándose en estos transistores.

Una vez sabido esto, el modelo SPICE establece que las corrientes de emisor y colector de un NPN son:

$$I_E = I_S \cdot \left(1 + \frac{1}{\beta_F}\right) \cdot \left(\exp\left(\frac{V_{BE}}{N_F V_T}\right) - 1\right) - I_S \cdot \left(\exp\left(\frac{V_{BC}}{N_R V_T}\right) - 1\right) \quad (1.4)$$

³Realmente, SPICE considera que todas las corrientes de un transistor son entrantes. Sin embargo, por comodidad, en los cálculos manuales seguiremos este criterio.

$$I_C = I_S \cdot \left(\exp \left(\frac{V_{BE}}{N_F V_T} \right) - 1 \right) - I_S \cdot \left(1 + \frac{1}{\beta_R} \right) \left(\exp \left(\frac{V_{BC}}{N_R V_T} \right) - 1 \right) \quad (1.5)$$

siendo I_S un parámetro característico de cada transistor, β_F y β_R las ganancias en corriente en zona activa directa y zona activa inversa respectivamente y N_F , N_R los coeficientes de idealidad de las uniones BE y BC respectivamente.

En el caso de que el transistor fuera PNP, y siguiendo el criterio de signos descrito anteriormente, las ecuaciones del modelo SPICE serían:

$$I_E = I_S \cdot \left(1 + \frac{1}{\beta_F} \right) \cdot \left(\exp \left(\frac{V_{EB}}{N_F V_T} \right) - 1 \right) - I_S \cdot \left(\exp \left(\frac{V_{CB}}{N_R V_T} \right) - 1 \right) \quad (1.6)$$

$$I_C = I_S \cdot \left(\exp \left(\frac{V_{EB}}{N_F V_T} \right) - 1 \right) - I_S \cdot \left(1 + \frac{1}{\beta_R} \right) \left(\exp \left(\frac{V_{CB}}{N_R V_T} \right) - 1 \right) \quad (1.7)$$

Son prácticamente iguales pues, en realidad, solo se ha realizado el cambio de variables $V_{BE}, V_{BC} \Rightarrow V_{EB}, V_{CB}$. Lógicamente, el cálculo de I_B se realiza a partir de Eq. 1.3.

Es importante reseñar que en este modelo no se tiene en cuenta el efecto Early. Se considera un efecto de segundo orden que, en general, no afecta profundamente al punto de operación.

1.2.2. Modelo SPICE simplificado por zona de trabajo

Las ecuaciones anteriores pueden simplificarse en cada zona de trabajo. Veamos una por una.

1.2.2.1. Zona de corte

En la zona de corte, las tensiones $V_{BE}, V_{BC}, V_{EB}, V_{CB} < 0$ por lo que, en la mayor parte de los casos, los términos exponenciales de Eq. 1.4-1.7 desaparecen, quedando reducidas las ecuaciones a

$$I_E = -\frac{I_S}{\beta_F} \quad (1.8)$$

$$I_C = \frac{I_S}{\beta_R} \quad (1.9)$$

$$I_B = I_E - I_C = I_S \cdot \left(\frac{1}{\beta_R} - \frac{1}{\beta_F} \right) \quad (1.10)$$

tanto en el caso de los transistores NPN como en el de los PNP.

1.2.2.2. Zona activa directa

En este caso, la tensión BE de los transistores NPN es positiva (Realmente, del orden de la tensión de codo que vimos en los diodos) y la tensión BC es suficientemente negativa como para

despreciar el término $\exp\left(\frac{V_{CB}}{N_R V_T}\right)$ en las ecuaciones del modelo SPICE completo. En el caso de los transistores PNP, V_{EB} desempeña el rol de V_{BE} y V_{CB} el de V_{BC} . De este modo:

$$I_E = I_S \cdot \left(1 + \frac{1}{\beta_F}\right) \cdot \left(\exp\left(\frac{V_{BE}}{N_F V_T}\right) - 1\right) \quad (1.11)$$

$$I_C = I_S \cdot \left(\exp\left(\frac{V_{BE}}{N_F V_T}\right) - 1\right) \quad (1.12)$$

$$I_B = I_E - I_C = \frac{I_S}{\beta_F} \cdot \left(\exp\left(\frac{V_{BE}}{N_F V_T}\right) - 1\right) \quad (1.13)$$

Para los transistores PNP, las ecuaciones serían similares teniendo en cuenta que cambia el sentido de las corrientes así como la transformación $V_{BE} \rightarrow V_{EB}$. Curiosamente, Eq. 1.11 y 1.12 pueden expresarse de un modo muy interesante:

$$I_E = I_S \cdot \left(1 + \frac{1}{\beta_F}\right) \cdot \left(\exp\left(\frac{V_{BE}}{N_F V_T}\right) - 1\right) = \left(1 + \frac{1}{\beta_F}\right) \cdot \beta_F \cdot I_B = (\beta_F + 1) \cdot I_B \quad (1.14)$$

$$I_C = I_S \cdot \left(\exp\left(\frac{V_{BE}}{N_F V_T}\right) - 1\right) = \beta_F \cdot I_B \quad (1.15)$$

Estas ecuaciones serán la base de los modelos con tensiones de codo que veremos en apartados posteriores y que permiten interpretar el funcionamiento del transistor como el de un dispositivo que amplifica la corriente que llega a la base cuando está en zona activa directa.

Por otra parte, se cumple que:

$$\frac{I_C}{I_E} = \frac{\beta_F}{\beta_F + 1} = \alpha_F \quad (1.16)$$

Este parámetro es clave en el modelo Ebers-Moll y volverá a cobrar importancia con posterioridad como, por ejemplo, en el tema de los amplificadores diferenciales.

Existe un último parámetro, relacionado con la zona activa directa, llamado h_{FE} . Este parámetro experimental se define como:

$$h_{FE} = \left. \frac{I_C}{I_B} \right|_Q \quad (1.17)$$

¿En qué se diferencia Eq. 1.17 de Eq. 1.15? En realidad, el primero es un valor experimental dependiente del punto de operación. Por ello, el valor debe cambiar a causa de los efectos Early, de generación-recombinación, alta inyección, ... en tanto que el segundo es un parámetro ideal que se calcula a partir de la anchura de base y otros parámetros tecnológicos. En un transistor ideal, se verifica que $h_{FE} \rightarrow \beta_F$ aunque esto no siempre es cierto. Sin embargo, a la hora de hacer cálculos manuales, daremos por válido que ambos parámetros son exactamente iguales⁴.

⁴Para hacer el asunto algo más caótico, existe un parámetro llamado h_{fe} , en minúsculas, que modela la amplifi-

1.2.2.3. Zona activa inversa

Es un caso muy parecido al anterior donde se intercambian los roles de las tensiones y las ganancias. Así, en esta zona $V_{BC} > 0$ y $V_{BE} < 0$ en el caso de los transistores NPN, y $V_{CB} > 0$ y $V_{EB} < 0$ en el caso de los PNP. Las ecuaciones del modelo SPICE se convierten en:

$$I_E = -I_S \cdot \left(\exp \left(\frac{V_{BC}}{N_R V_T} \right) - 1 \right) \quad (1.18)$$

$$I_C = -I_S \cdot \left(1 + \frac{1}{\beta_R} \right) \left(\exp \left(\frac{V_{BC}}{N_R V_T} \right) - 1 \right) \quad (1.19)$$

$$I_B = -\frac{I_S}{\beta_R} \cdot \left(\exp \left(\frac{V_{BC}}{N_R V_T} \right) - 1 \right) \quad (1.20)$$

En el caso de un PNP:

$$I_E = -I_S \cdot \left(\exp \left(\frac{V_{CB}}{N_R V_T} \right) - 1 \right) \quad (1.21)$$

$$I_C = -I_S \cdot \left(1 + \frac{1}{\beta_R} \right) \left(\exp \left(\frac{V_{CB}}{N_R V_T} \right) - 1 \right) \quad (1.22)$$

$$I_B = -\frac{I_S}{\beta_R} \cdot \left(\exp \left(\frac{V_{CB}}{N_R V_T} \right) - 1 \right) \quad (1.23)$$

Todas las corrientes son negativas. El motivo de este hecho no es sino el criterio utilizado para definir el sentido de las corrientes. El convenio escogido en la página 20 no es sino el que mejor describe las corrientes cuando el transistor está en zona activa directa, que es la contraria a la que se muestra en este apartado.

El conjunto de ecuaciones anteriores puede simplificarse enormemente usando como base I_B :

$$I_C = (\beta_R + 1) \cdot I_B \quad (1.24)$$

$$I_E = \beta_R \cdot I_B \quad (1.25)$$

Finalmente, recordemos que no es habitual polarizar transistores en esta zona de trabajo. Ejemplo de ello son algunas puertas lógicas construidas en tecnología TTL.

1.2.2.4. Zona de saturación

En esta zona apenas pueden realizarse simplificaciones. Así, las ecuaciones del modelo SPICE se pueden reducir en esta zona de trabajo a:

cación de la corriente de base en pequeña señal. Idealmente, se incorpora a la igualdad anterior $h_{fe} = h_{FE} = \beta_F$.

Zona de trabajo	Hipótesis iniciales	Condición final
CORTE	$I_B = I_C = I_E = 0$	$V_{BE} < V_\gamma, V_{BC} < V_\gamma - V_{SAT}$
SATURACIÓN	$V_{BE} = V_\gamma, V_{CE} = V_{SAT}$	$I_B > 0, \frac{I_C}{I_B} < \beta_F$
ZAD	$V_{BE} = V_\gamma, I_C = \beta_F \cdot I_B$	$V_{CE} > V_{SAT}, I_B > 0$
ZAI	$V_{BC} = V_\gamma - V_{SAT}, I_E = -\beta_R \cdot I_B$	$I_B > 0, I_C < 0, V_{EC} > V_{SAT}$

Cuadro 1.1: Resumen de las condiciones de trabajo de un transistor NPN.

$$I_E = I_S \cdot \left(1 + \frac{1}{\beta_F}\right) \cdot \exp\left(\frac{V_{BE}}{N_F V_T}\right) - I_S \cdot \exp\left(\frac{V_{BC}}{N_R V_T}\right) \quad (1.26)$$

$$I_C = I_S \cdot \exp\left(\frac{V_{BE}}{N_F V_T}\right) - I_S \cdot \left(1 + \frac{1}{\beta_R}\right) \cdot \exp\left(\frac{V_{BC}}{N_R V_T}\right) \quad (1.27)$$

$$I_B = \frac{I_S}{\beta_F} \cdot \exp\left(\frac{V_{BE}}{N_F V_T}\right) - \frac{I_S}{\beta_R} \cdot \exp\left(\frac{V_{BC}}{N_R V_T}\right) \quad (1.28)$$

Una ecuación análoga se obtiene para el caso de los PNP. En general, todas las corrientes del transistor son positivas y puede verse que, en general, el cociente entre la corriente de colector y la de base es siempre menor que la ganancia en zona activa directa.

1.2.3. Modelo simplificado de los BJT

El análisis manual de las redes con transistores bipolares se realiza suponiendo que un transistor se encuentra en una zona de trabajo donde las uniones PN en directa pueden modelarse como diodos en codo. Utilizando esta condición así como la proporcionalidad entre algunas corrientes deducidas en los apartados anteriores, se pueden resumir las condiciones de polarización en cada zona de trabajo (Cuadro 1.1). En este cuadro, se han planteado las hipótesis iniciales que se deben cumplir en un transistor polarizado y cuales son las condiciones finales que se deben cumplir finalmente al resolver las ecuaciones del circuito. Por ejemplo, en la zona de corte, partiendo de la suposición inicial de que todas las corrientes son nulas, debe deducirse finalmente que las uniones PN están inversamente polarizadas.

En esta tabla, se encuentran diversos parámetros que ya se han estudiado bien en el apartado del modelo en codo del diodo, bien en el apartado 1.2.2. El único parámetro novedoso es V_{SAT} . Este parámetro tiene un valor aproximado de 0.2 V y se incluye debido a la asimetría que existe entre los dopados de emisor y colector de un transistor real, que hace que las tensiones de codo sean distintas. Así, la tensión de codo en la unión BE es del orden de 0.6-0.7 V y en la unión BC es apenas 0.4-0.5 V.

¿Qué debe hacerse en el caso de un transistor PNP? Simplemente, y recordando que el criterio de signos de las corriente cambia de un NPN a un PNP, hay que reemplazar los subíndices BE, BC y CE por EB, CB y EC. En estas condiciones, la ecuación anterior no cambia (Cuadro 1.2).

Zona de trabajo	Hipótesis iniciales	Condición final
CORTE	$I_B = I_C = I_E = 0$	$V_{EB} < V_\gamma, V_{CB} < V_\gamma - V_{SAT}$
SATURACIÓN	$V_{EB} = V_\gamma, V_{EC} = V_{SAT}$	$I_B > 0, \frac{I_C}{I_B} < \beta_F$
ZAD	$V_{EB} = V_\gamma, I_C = \beta_F \cdot I_B$	$V_{EC} > V_{SAT}, I_B > 0$
ZAI	$V_{CB} = V_\gamma - V_{SAT}, I_E = -\beta_R \cdot I_B$	$I_B > 0, I_C < 0, V_{CE} > V_{SAT}$

Cuadro 1.2: Resumen de las condiciones de trabajo de un transistor PNP.

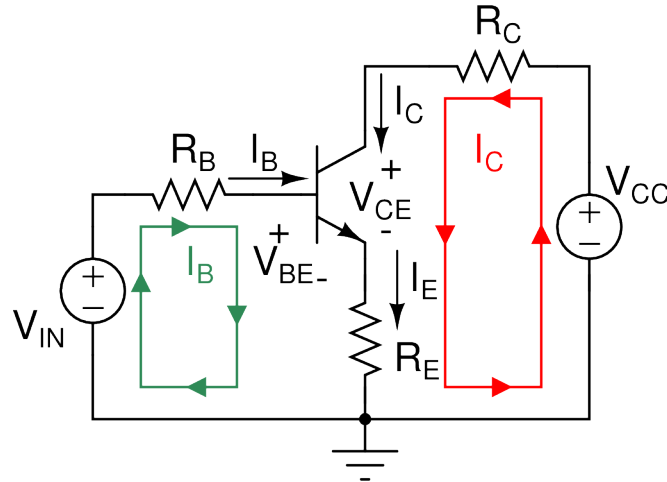


Figura 1.2: Ejemplo de circuito con transistor NPN. Las corrientes de malla (en verde y rojo) coinciden con las naturales del transistor.

1.2.4. Ejemplos de resolución de circuitos con transistores bipolares

Un ejemplo típico de estructura en la que aparece un transistor BJT es la mostrada en Fig. 1.2. En ella, se han nombrado las tensiones de mayor interés (V_{BE} , V_{CE}) y las corrientes características. Asimismo, se han escogido las corrientes de malla de tal modo que coincidan con algunas de las corrientes características del transistor. Los datos necesarios para conocer el punto de operación del circuito están recogidos en la tabla siguiente:

Parámetro	Valor	Parámetro	Valor
Tipo	Silicio	R_B	100 k Ω
β_F	200	R_C	5 k Ω
V_{CC}	12 V	R_E	1 k Ω

Se pide averiguar el valor de la tensión colector-emisor (V_{CE}) en función de la tensión de entrada, V_{IN} . En el circuito de la figura, es fácil ver que solo son necesarias dos corrientes de malla y que las ecuaciones resultantes son:

■ **Malla verde:**

$$-V_{IN} + R_B \cdot I_B + V_{BE} + R_E \cdot (I_B + I_C) = 0 \Rightarrow (R_B + R_E) \cdot I_B + R_E \cdot I_C + V_{BE} = V_{IN}$$

■ **Malla roja:**

$$-V_{CC} + R_C \cdot I_C + V_{CE} + R_E \cdot (I_B + I_C) = 0 \Rightarrow R_B \cdot I_E + (R_E + R_C) \cdot I_C + V_{CE} = V_{CC}$$

Si sustituimos cada elemento por el valor que se proporciona en el enunciado del problema, aparece el siguiente sistema de ecuaciones:

$$\begin{cases} 101 \cdot I_B + I_C + V_{BE} = V_{IN} \\ I_B + 6 \cdot I_C + V_{CE} = 12 \end{cases}$$

En este sistema de ecuaciones, hay cuatro incógnitas y dos ecuaciones. Necesitamos dos ecuaciones más. Si se desea realizar un cálculo exacto, conviene utilizar las ecuaciones del modelo SPICE (Eq. 1.4-1.7), incluyendo si fuera necesario el efecto Early. Este sistema de ecuaciones sería no lineal y debe resolverse numéricamente. Como esto es lo que realizan los simuladores, optaremos por la siguiente opción, que es escoger la zona del trabajo del transistor y proceder en consecuencia.

1.2.4.1. Caso 1: Zona de corte

En caso de encontrarnos en zona de corte, y según el cuadro 1.1, deberíamos suponer que todas las corrientes son nulas. En estas circunstancias, el sistema de ecuaciones anterior se convertirá en uno mucho más sencillo:

$$\begin{cases} V_{BE} = V_{IN} \\ V_{CE} = 12 \end{cases} \Rightarrow \begin{cases} V_{BE} = V_{IN} \\ V_{BC} = V_{BE} - V_{CE} = V_{IN} - 12 \end{cases}$$

Sin embargo, esto solo es posible si se cumplen las condiciones de la misma tabla. Ello nos permite establecer un rango de V_{IN} :

$$V_{IN} = V_{BE} < V_\gamma \approx 0,7V$$

Es fácil ver que esta condición engloba la relacionada con V_{BC} . Por ello, podemos concluir que $V_{CE} = 12$ V si $V_{BE} < 0,7$ V.

1.2.4.2. Caso 2: Zona activa directa

En este caso, debemos suponer que $V_{BE} = V_\gamma = 0,7$ V y que la corriente de colector es proporcional a la de base, $I_C = \beta_F \cdot I_B = 200 \cdot I_B$. Así, obtendríamos el siguiente sistema de ecuaciones:

$$\begin{cases} 101 \cdot I_B + I_C = V_{IN} - V_{BE} \\ I_B + 6 \cdot I_C + V_{CE} = 12 \end{cases} \Rightarrow \begin{cases} 101 \cdot I_B + 200 \cdot I_B = V_{IN} - V_\gamma \\ I_B + 6 \cdot 200 \cdot I_B + V_{CE} = 12 \end{cases} \Rightarrow \begin{cases} 301 \cdot I_B = V_{IN} - V_\gamma \\ 1201 \cdot I_B + V_{CE} = 12 \end{cases}$$

En otras palabras, $I_B = \frac{V_{IN} - V_\gamma}{301}$ y $V_{CE} = 12 - \frac{1201}{301} \cdot (V_{IN} - V_\gamma) \simeq 14,8 - 4 \cdot V_{IN}$. Queda ahora determinar el rango de valores. En primer lugar, es necesario que la corriente de base sea positiva, hecho que solo es posible si $V_{IN} > V_\gamma$. Este hecho conlleva que, cuando el transistor abandona la

zona de corte, pasa a zona activa directa. Por otra parte, es necesario que $V_{CE} > V_{SAT} = 0,2V$ de modo que:

$$V_{CE} = 14,1 - 3 \cdot V_{IN} > 0,2 \Rightarrow V_{IN} < \frac{14,8 - 0,2}{4} = \frac{14,6}{4} = 3,65V$$

Condición que marca el límite superior de la tensión de entrada para la que el transistor esté en zona activa directa.

1.2.4.3. Caso 3: Zona de saturación

En este caso, se va a cumplir que $V_{BE} = V_{\gamma} = 0,7V$ y $V_{CE} = V_{SAT} = 0,2V$. Por ello, el sistema de ecuaciones se transforma en:

$$\begin{cases} 101 \cdot I_B + I_C = V_{IN} - V_{BE} = V_{IN} - 0,7 \\ I_B + 6 \cdot I_C = 12 - V_{CE} = 11,8 \end{cases}$$

Resolvemos este sistema por Cramer:

$$I_B = \frac{\begin{vmatrix} V_{IN} - 0,7 & 1 \\ 11,8 & 6 \end{vmatrix}}{\begin{vmatrix} 101 & 1 \\ 1 & 6 \end{vmatrix}} = \frac{6 \cdot V_{IN} - 4,2 - 11,8}{606 - 1} = \frac{6 \cdot V_{IN} - 16}{605}$$

$$I_C = \frac{\begin{vmatrix} 101 & V_{IN} - 0,7 \\ 1 & 11,8 \end{vmatrix}}{\begin{vmatrix} 101 & 1 \\ 1 & 6 \end{vmatrix}} = \frac{1191,8 - V_{IN} + 0,7}{606 - 1} = \frac{1192,5 - V_{IN}}{605}$$

Para que todo esto se cumpla, es necesario que la corriente de base sea positiva:

$$I_B = \frac{6 \cdot V_{IN} - 16}{605} > 0 \Rightarrow V_{IN} > \frac{16}{6} = 2,66V$$

Asimismo, se debe cumplir que:

$$\frac{I_C}{I_B} = \frac{1192,5 - V_{IN}}{6 \cdot V_{IN} - 16} < \beta_F = 200 \Rightarrow 1192,5 - V_{IN} < 1200 \cdot V_{IN} - 3200$$

$$\Rightarrow 4392,5 < 1201 \cdot V_{IN} \Rightarrow V_{IN} > \frac{4392,5}{1201} \approx 3,65V \quad (1.29)$$

Por tanto, es posible ver que el transistor pasa a saturación cuando V_{IN} rebasa la frontera de 3,65 V, que es el final de la zona activa directa. Por otra parte, ocurre un hecho curioso. Nunca se impuso la condición de que $I_C > 0$ en saturación. Sin embargo, de las ecuaciones anteriores puede deducirse que si la tensión de entrada es superior a 1192,5 V, la corriente de colector cambia de signo. Esto no es debido ni mucho menos a que el transistor pase a ZAI pues, en esta configuración,

es imposible. Simplemente, la base inyecta tanta corriente que el emisor no puede drenarla con lo que una fracción de la corriente fluye hacia la fuente de 12 V.

1.2.4.4. Caso 4: Zona activa inversa

Este caso es fácil de resolver: Como se adelantó antes, es imposible. Esto puede demostrarse de varias maneras: Una, numéricamente, imponiendo las premisas y observando que las condiciones necesarias no pueden cumplirse simultáneamente. Por otra parte, los casos anteriores ya han acaparado todo el rango de valores posibles para V_{IN} , sin dejar espacio para esta zona de trabajo. Sin embargo, existe una razón física más ilustrativa.

En caso de que $V_{IN} > 0$, la corriente de emisor tendría que venir del nudo de tierra, que es la tensión más negativa del circuito. Esto es imposible pues la corriente eléctrica fluye de manera natural de las regiones de mayor tensión hacia las que tienen menos. Si fuera negativo, la unión BC estaría inversamente polarizada por lo que no sería admisible que el transistor estuviera en ZAI.

1.3. El transistor MOSFET

Existen muchos modelos que permiten una descripción refinada del comportamiento en estática de un transistor MOSFET. Estos modelos han sido esbozados en la descripción de los modelos SPICE de los dispositivo y ahí se remite al estudiante. Para el estudio manual de un transistor MOS, se recurre al uso del modelo cuadrático de un transistor MOS, únicamente dependiente de su transconductancia, β , de su tensión umbral, V_{TH} y, opcionalmente, del coeficiente de modulación del canal, λ . Todas estas magnitudes son positivas excepto la tensión umbral de los PMOS, que es negativa. Por simplicidad, no se suele tomar en cuenta el efecto substrato.

1.3.1. Modelo cuadrático básico de un MOSFET

Empecemos por los transistores NMOS, en los que la tensión umbral es positiva. En estos dispositivos, se pueden definir tres regiones de trabajo: *Corte*, en la que el transistor no conduce, *lineal*, en el que hay una fuerte dependencia de la tensión drenador-fuente, y *saturación*, donde la corriente es constante salvo efectos de modulación del canal. Recordemos que, en un NMOS, hay simetría entre fuente y drenador y solo se distinguen tras la polarización pues, por definición, la fuente está a menor tensión que el drenador. Si se cambiaran las tornas, se cambiarían los papeles.

La situación de un NMOS está controlado por los valores de V_{GS} y V_{DS} y su relación con V_{TH} , tal y como recoge el cuadro 1.3. Deben tenerse en cuenta varias cosas. En primer lugar, en la región de corte da exactamente lo mismo el valor de la tensión drenador-fuente excepto en caso de que el campo eléctrico fuera tan intenso que se produjera conducción por avalancha. En segundo lugar, la corriente de drenador-fuente es definida positiva y, finalmente, se pueden mejorar un poco estas ecuaciones multiplicando por el factor asociado a la modulación del canal, de valor $(1 + \lambda \cdot V_{DS})$:

Zona de trabajo	Tensiones	Corriente
CORTE	$V_{GS} < V_{TH}$	$I_{DS} = 0$
LINEAL	$V_{GS} > V_{TH}, 0 < V_{DS} < V_{GS} - V_{TH}$	$I_{DS} = 2 \cdot \beta \cdot [(V_{GS} - V_{TH}) \cdot V_{DS} - \frac{1}{2} \cdot V_{DS}^2]$
SATURACIÓN	$V_{GS} > V_{TH}, V_{DS} > V_{GS} - V_{TH} > 0$	$I_{DS} = \beta \cdot (V_{GS} - V_{TH})^2$

Cuadro 1.3: Estado de un transistor NMOS. Se sobreentiende que la corriente de puerta es nula.

Zona de trabajo	Tensiones	Corriente
CORTE	$V_{GS} > V_{TH}$	$I_{SD} = 0$
LINEAL	$V_{GS} < V_{TH}, 0 > V_{DS} > V_{GS} - V_{TH}$	$I_{SD} = 2 \cdot \beta \cdot [(V_{GS} - V_{TH}) \cdot V_{DS} - \frac{1}{2} \cdot V_{DS}^2]$
SATURACIÓN	$V_{GS} < V_{TH}, V_{DS} < V_{GS} - V_{TH} < 0$	$I_{SD} = \beta \cdot (V_{GS} - V_{TH})^2$

Cuadro 1.4: Estado de un transistor PMOS. Se sobreentiende que la corriente de puerta es nula.

$$I_{DS} = I_{DS0} \cdot (1 + \lambda \cdot V_{DS}) \quad (1.30)$$

siendo I_{DS0} la corriente calculada en el cuadro 1.3.

En el caso de los transistores PMOS, el Cuadro 1.3 puede aplicarse una vez que hagamos ciertas correcciones. En primer lugar, debemos recordar que la tensión umbral es negativa. Asimismo, a diferencia del caso del NMOS, la fuente está a mayor tensión que el drenador. De este modo, las nuevas circunstancias se recogen en el Cuadro 1.4. Recordemos que, en este cuadro, todas las tensiones son negativas.

En caso de no desear trabajar con valores negativos de tensión, se puede modelar el transistor utilizando el valor absoluto de la tensión umbral. Puede verse entonces que el Cuadro 1.4 se transforma en el Cuadro 1.5. Evidentemente, también puede tenerse en cuenta el efecto de modulación del canal. En esas circunstancias, se debe hacer el cálculo:

$$I_{SD} = I_{SD0} \cdot (1 + \lambda \cdot V_{SD}) \quad (1.31)$$

donde I_{SD0} es la corriente calculada a partir de los Cuadros 1.4 o 1.5.

1.3.2. Cálculo del punto de operación

En el caso de los transistores MOS, se debe suponer que el transistor se encuentra en una determinada operación de trabajo. Hay situaciones en las que se puede prescindir de alguna zona de

Zona de trabajo	Tensiones	Corriente
CORTE	$V_{SG} < V_{TH} $	$I_{SD} = 0$
LINEAL	$V_{SG} > V_{TH} , 0 < V_{SD} < V_{SG} - V_{TH} $	$I_{SD} = 2 \cdot \beta \cdot [(V_{SG} - V_{TH}) \cdot V_{SD} - \frac{1}{2} \cdot V_{SD}^2]$
SATURACIÓN	$V_{SG} > V_{TH} , V_{SD} > V_{SG} - V_{TH} > 0$	$I_{SD} = \beta \cdot (V_{SG} - V_{TH})^2$

Cuadro 1.5: Definición alternativa del estado de un transistor PMOS. En este caso, todas las tensiones que se definen se entienden como positivas.

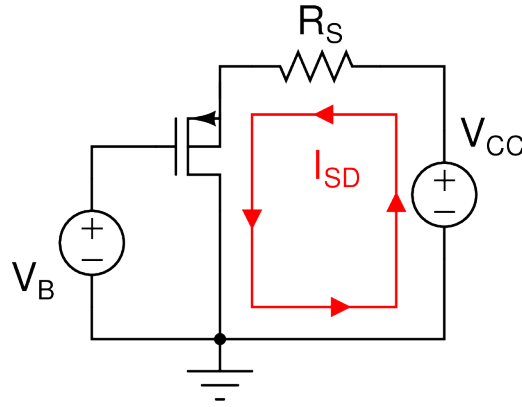


Figura 1.3: Ejemplo de transistor PMOS. Solo hay una corriente de malla efectiva al ser nula la de puerta.

trabajo. Por ejemplo, si un MOS tiene una fuente de corriente conectada a la fuente o el drenador, no podría encontrarse en zona de corte sino en zona lineal o de saturación.

En general, se debe suponer que el transistor se encuentra en una determinada zona de trabajo (corte, lineal o saturación). Así, podemos suponer que la corriente que circula por ella es la recogida en la tercera columna de los Cuadros 1.3-1.5). Se calculan las tensiones de puerta, drenador y fuente y se verifican las condiciones que aparecen en la segunda columna de dichas tablas. Si no hay incoherencias, se habrá acertado pero, en caso contrario, se rechazará la suposición inicial y se supondrá otra de las restantes.

A lo largo de estos desarrollos, suelen aparecer ecuaciones cuadráticas con dos soluciones. ¿Cuál debe escogerse? En principio, solo se debe escoger la que sea coherente con la física del transistor. Por ejemplo, en un NMOS supuesto en saturación, es absurdo que aparezca una tensión de puerta mayor que la de fuente.

Pongamos ahora un ejemplo. Sea la estructura mostrada en Fig. 1.3 donde se desea conocer el valor de la tensión drenador-fuente en función de V_B . Supondremos $V_{CC} = 10V$, $R_S = 1k\Omega$, $\beta = 1mA/V^2$ y $V_{TH} = -1V$. En estas circunstancias, se cumple que:

$$V_{CC} = R_S \cdot I_{SD} + V_{SD} \quad (1.32)$$

Puesto que el drenador se ha conectado a tierra:

$$V_{CC} = R_S \cdot I_{SD} + V_S \quad (1.33)$$

1.3.2.1. Caso 1: Zona de corte

En caso de estar en zona de corte, la corriente es nula. Por tanto, la tensión de fuente es V_{CC} . La tensión puerta-fuente es, entonces:

$$V_{SG} = V_S - V_G = V_{CC} - V_B < |V_{TH}|$$

En otras palabras. Solo si

$$V_B > V_{CC} - |V_{TH}| = 10 - 1 = 9$$

el transistor estará en zona de corte.

1.3.2.2. Caso 2: Zona de saturación

En este caso, Eq. 1.33 puede modificarse cambiando la corriente por su valor. En otras palabras:

$$V_{CC} = R_S \cdot \beta \cdot (V_S - V_B - |V_{TH}|)^2 + V_S \quad (1.34)$$

Ahora, reemplacemos los parámetros por su valor:

$$10 = (V_S - V_B - 1)^2 + V_S = V_S^2 - 2 \cdot (V_B + 1) \cdot V_S + (V_B + 1)^2 + V_S \Rightarrow$$

$$\Rightarrow V_S^2 - (2 \cdot V_B + 1) \cdot V_S + [(V_B + 1)^2 - 10] = 0$$

Esta ecuación puede resolverse formalmente aunque la expresión sería realmente complicada. Por simplicidad, supondremos que $V_B = 8$ V. En este caso, la ecuación anterior se convierte en:

$$V_S^2 - 17 \cdot V_S + 71 = 0 \Rightarrow V_S = \begin{cases} \frac{17}{2} + \frac{\sqrt{17^2 - 4 \cdot 71}}{2} = 9,62V \\ \frac{17}{2} - \frac{\sqrt{17^2 - 4 \cdot 71}}{2} = 7,38V \end{cases}$$

La segunda solución no tiene sentido físico pues la tensión de fuente-puerta debe ser positiva y, en este caso, no lo sería. Por otra parte, podemos estar seguros de que nos encontramos en saturación ya que $V_{SD} = V_S = 9,62 > V_{SG} - |V_{TH}| = 9,62 - 8 - 1 = 0,62$ V. Si nos preguntáramos en qué momento abandona la región de saturación, deberíamos determinar el valor de V_S y comprobar que:

$$V_{SD} = V_S > V_{SG} - |V_{TH}| = V_S - V_B - |V_{TH}|$$

Solo los valores de V_B que cumplan esta inecuación permitirán estar al transistor en zona de saturación.

1.3.2.3. Caso 3: Zona lineal

El proceso es similar al anterior con la salvedad de que debe cambiar el valor de la corriente de fuente-drenador. Por lo demás, el procedimiento es similar: Determinar el valor de las tensiones y comprobar que se ajustan a las desigualdades correspondientes a cada caso.

Zona de trabajo	Tensiones	Corriente
PROHIBIDA	$V_{GS} > 0$	Sin definir
CORTE	$V_{GS} < V_P < 0$	$I_{DS} = 0$
LINEAL	$0 > V_{GS} > V_P, 0 < V_{DS} < V_{GS} - V_P$	$I_{DS} = 2 \cdot \beta \cdot [(V_{GS} - V_P) \cdot V_{DS} - \frac{1}{2} \cdot V_{DS}^2]$
SATURACIÓN	$0 > V_{GS} > V_P, 0 < V_{GS} - V_P < V_{DS}$	$I_{DS} = \beta \cdot (V_{GS} - V_P)^2$

Cuadro 1.6: Estado de un transistor JFET de canal N.

Zona de trabajo	Tensiones	Corriente
PROHIBIDA	$V_{GS} < 0$	Sin definir
CORTE	$V_{GS} > V_P > 0$	$I_{SD} = 0$
LINEAL	$0 < V_{GS} < V_P, 0 < V_{SD} < V_P - V_{GS}$	$I_{SD} = 2 \cdot \beta \cdot [(V_P - V_{SG}) \cdot V_{SD} - \frac{1}{2} \cdot V_{SD}^2]$
SATURACIÓN	$0 < V_{GS} < V_P, 0 < V_P - V_{SG} < V_{DS}$	$I_{SD} = \beta \cdot (V_P - V_{SG})^2$

Cuadro 1.7: Estado de un transistor JFET de canal P.

1.4. El transistor JFET

El estudio de los transistores JFET es muy parecido al de los transistores MOSFET. Las principales diferencias son que, en primer lugar, hay una unión PN que no debe polarizarse en directa y que la conducción solo se realiza en un estrecho margen de tensiones de puerta, limitado por 0 y la tensión de *pinch-off*, V_P . Existen dos tipos de JFET: De canal P y canal N, estando fabricada la puerta con un dopado opuesto. Ocurre entonces que en un transistor de canal N, la fuente es la parte del canal situada a menor tensión y, en caso de canal P, a mayor. El drenador es, evidentemente, el terminal restante.

En un transistor de canal N, la tensión de *pinch-off* es negativa en tanto que es positiva en los de canal P. A semejanza de los transistores MOS, se pueden definir las regiones de corte, lineal y saturación. Asimismo, existe una zona de polarización prohibida que no debe nunca aparecer. Las corrientes y tensiones se recogen en los Cuadros 1.6 y 1.7.

Existe una definición alternativa, que se puede encontrar en algunos textos, en la que el coeficiente β es reemplazado por otro parámetro, I_{DSS} tal que $I_{DSS} = \frac{\beta}{V_P^2}$. Asimismo, se puede incluir el efecto de modulación del canal multiplicando la corriente recogida en las tablas anteriores por $(1 + \lambda \cdot |V_{DS}|)$. La resolución de las ecuaciones es similar a las de los transistores MOS: Se plantean las ecuaciones de malla, se reemplaza la corriente por su valor en función de las tensiones asumiendo que el transistor trabaja en una determinada zona y, posteriormente, se verifica que las tensiones verifican las desigualdades características de esa zona.

Capítulo 2

MODELOS EN PEQUEÑA SEÑAL DE LOS DISPOSITIVOS ELECTRÓNICOS BÁSICOS

2.1. Modelos en pequeña señal

En electrónica analógica, tiene interés tanto el punto de operación del circuito como el comportamiento de dicho punto de operación ante las perturbaciones. Estas perturbaciones, variables en el tiempo, se incorporan a los circuitos en un nodo determinado y se transmiten a otros puntos de manera inmediata. Este es el fundamento de la amplificación pues, en el fondo, la amplificación no es sino la respuesta magnificada en un nodo privilegiado de un circuito, llamado “salida”, ante una perturbación en otro, llamado “entrada”.

Existen dos modos de estudiar el efecto de las perturbaciones en la salida de un circuito. En primer lugar, podría obtenerse la relación que existe entre el nudo de salida y el de entrada, que es donde hemos introducido la perturbación. En general, esta función puede ser no lineal por lo que se debe recurrir a una simplificación a través del uso de diferenciales. Realizando un desarrollo de Taylor en torno al punto de operación:

$$V_{OUT}(V_{IN,Q} + \Delta V_{IN}) = V_{OUT}(V_{IN,Q}) + \left. \frac{\partial V_{OUT}}{\partial V_{IN}} \right|_Q \cdot \Delta V_{IN} + \left. \frac{\partial^2 V_{OUT}}{\partial^2 V_{IN}} \right|_Q \cdot (\Delta V_{IN})^2 + \dots \quad (2.1)$$

Recordemos que $V_{OUT}(V_{IN,Q})$ no es sino $V_{OUT,Q}$, o tensión de salida en el punto de operación. Pongamos un ejemplo extremadamente sencillo. Sea el circuito de Fig. 2.1. Suponiendo el diodo prácticamente ideal, es fácil ver que:

$$I_Q + \Delta i = I_S \cdot \left[\exp \left(\frac{V_{OUT}}{N \cdot V_T} \right) - 1 \right] \cong I_S \cdot \exp \left(\frac{V_{OUT}}{N \cdot V_T} \right)$$

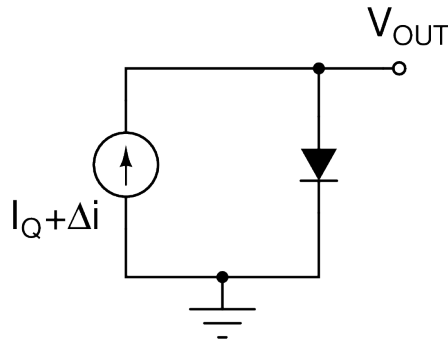


Figura 2.1: Ejemplo de diodo como dispositivo no lineal. Una fuente de corriente constante, I_Q , fija el punto de operación. Las pequeñas variaciones de la corriente, Δi , provocarán un cambio (no lineal) en la tensión del diodo, V_{OUT} , respecto del punto de operación.

Por lo que:

$$V_{OUT} = N \cdot V_T \cdot \ln \left(\frac{I_Q + \Delta i}{I_S} \right) \quad (2.2)$$

Operemos con esta ecuación para hacerla más apropiada:

$$V_{OUT} = N \cdot V_T \cdot \ln \left(\frac{I_Q + \Delta i}{I_S} \right) = N \cdot V_T \cdot \ln \left(\frac{I_Q}{I_S} \right) + N \cdot V_T \cdot \ln \left(1 + \frac{\Delta i}{I_Q} \right) \quad (2.3)$$

El primer término no es sino el valor de la tensión de salida en el punto de operación, si no hubiera ninguna perturbación o pequeña señal. ¿Qué ocurre con el segundo término? Recordemos que, de acuerdo con la teoría de diferenciales,

$$\ln(1+x) = \sum_{k=1}^{\infty} (-1)^{k+1} \frac{x^k}{k} = x - \frac{x^2}{2} + \frac{x^3}{3} - \dots$$

así que la expresión anterior se transformaría en:

$$\begin{aligned} V_{OUT} &= V_{OUT,Q} + N \cdot V_T \cdot \left(\frac{\Delta i}{I_Q} \right) - \frac{N \cdot V_T}{2} \cdot \left(\frac{\Delta i}{I_Q} \right)^2 + \frac{N \cdot V_T}{3} \cdot \left(\frac{\Delta i}{I_Q} \right)^3 - \dots \\ V_{OUT} &= V_{OUT,Q} + \frac{N \cdot V_T}{I_Q} \cdot \Delta i - \frac{N \cdot V_T}{2 \cdot I_Q^2} \cdot (\Delta i)^2 + \frac{N \cdot V_T}{3 \cdot I_Q^3} \cdot (\Delta i)^3 - \dots \end{aligned} \quad (2.4)$$

Esta ecuación es muy ilustrativa. El término constante, como se dijo antes, es la tensión en el punto de operación. A continuación, aparece un término lineal con la perturbación. Como veremos más adelante, este término, que es la primera derivada en el punto de operación, equivale al modelo en pequeña señal del diodo. Finalmente, aparecen términos adicionales en potencias superiores.

En electrónica suele bastar con el cálculo de los dos primeros términos. Salvo en circunstancias especiales, como al calcular la distorsión en la salida, nos basta la parte constante y la lineal de la salida del circuito. La primera puede calcularse con las técnicas mostradas en el Tema 1. La segunda componente de la salida puede calcularse de dos modos: En primer lugar, resolver las ecuaciones no lineales y calcular la derivada o, segundo, linealizar los componentes y resolver el circuito. Ésta

es la técnica que vamos a utilizar, llamada “modelado en pequeña señal”. Consiste en reemplazar cada componente por un equivalente lineal que modele la respuesta a pequeñas perturbaciones tras eliminar todas las fuentes constantes del circuito¹ y resolver el circuito. La señal final, sea cual sea el nudo o rama estudiada, será la suma de la componente DC del punto de operación y la perturbación, proporcional a la señal variable de entrada.

2.2. El diodo

2.2.1. Modelo esencial en pequeña señal

Un diodo es un típico ejemplo de dispositivo no lineal con solo dos entradas o puertos. En este dispositivo, la corriente que lo atraviesa, I_D , es función de la tensión entre ambos puertos, V_D . Suponiendo el diodo ideal, puede usarse la ecuación de Shockley:

$$I_D = I_S \cdot \left[\exp \left(\frac{V_D}{N \cdot V_T} \right) - 1 \right] \quad (2.5)$$

Normalmente, el diodo se suele estudiar en zona directa por lo que la expresión anterior se reduce a:

$$I_D = I_S \cdot \exp \left(\frac{V_D}{N \cdot V_T} \right) \quad (2.6)$$

Calculemos ahora el equivalente en pequeña señal. Denominaremos $i_D = \Delta I_D$ y $v_D = \Delta V_D$ con lo que:

$$i_D = \left. \frac{\partial I_D}{\partial V_D} \right|_Q \cdot v_D = I_S \cdot \exp \left(\frac{V_D}{N \cdot V_T} \right) \cdot \frac{1}{N \cdot V_T} \cdot v_D = \frac{I_D}{N \cdot V_T} \cdot v_D \quad (2.7)$$

Es decir, hay una relación lineal entre la corriente y la tensión. Esto no es sino la ecuación que gobernaría una resistencia de valor

$$r_D = \frac{N \cdot V_T}{I_D}. \quad (2.8)$$

Por tanto, en primera aproximación, un diodo puede aproximarse en pequeña señal como una resistencia cuyo valor se calculará con Eq. 2.8 (Fig. 2.2). En inversa, podemos suponer directamente que $r_D = 0$.

2.2.2. Extensión del modelo en pequeña señal del diodo

Ocurre que el modelo descrito en el apartado anterior podría tomarse como punto de partida al que añadir nuevos fenómenos si fuera necesario. Así, a la resistencia r_D podrían incorporarse los

¹Recuérdese que, en electrónica, eliminar una fuente es darle valor nulo. Las fuentes de tensión son cortocircuitos y las de corriente, abiertos.

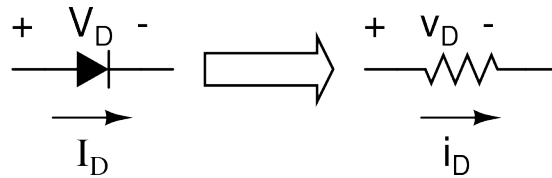


Figura 2.2: Equivalente de un diodo en pequeña señal.

siguientes elementos:

- **Resistencia de fuga por generación-recombinación:** Si polarizamos un diodo en inversa, gran parte de la corriente de fuga se produce por fenómenos de generación-recombinación y no por difusión. Puede demostrarse que estas corrientes son proporcionales al valor de la anchura de la zona de vaciamiento, W . Asimismo, este parámetro crece con el valor absoluto de la tensión de polarización inversa. Por tanto, debe producirse un incremento de la corriente de fuga al aumentar la tensión inversa de polarización. Esto se modela como una resistencia de nombre r_L , muy elevada, situada en paralelo con r_D .
- **Capacidades de unión y difusión:** En toda unión PN aparecen dos capacidades parásitas: Una, de gran importancia en directa, es la capacidad de difusión cuyo valor es proporcional a la corriente que atraviesa el diodo:

$$C_D = \frac{I_D}{N \cdot V_T} \cdot \tau_T = r_D \cdot \tau_T$$

siendo τ_T el tiempo medio de tránsito, que es la media entre los tiempos de vida media de los portadores minoritarios en cada una de las dos zonas. Evidentemente, esta capacidad está en paralelo con r_D y es despreciable en polarización inversa. Por otra parte, en todo diodo aparece una capacidad de unión de valor

$$C_J = \frac{C_{J0}}{\left(1 + \frac{V_D}{V_{BI}}\right)^m}$$

donde C_{J0} es la capacidad de unión con tensión nula, V_{BI} el potencial de contacto de la unión y m un parámetro dependiente del tipo de unión, cuyo valor estará entre $1/3$ y $1/2$. A diferencia de la anterior, esta capacidad solo tiene importancia en inversa y está en paralelo con todos los parámetros anteriores.

- **Resistencia serie:** Dentro de un diodo, se producen caídas de tensión entre los contactos y la zona de unión. Este hecho se modela fácilmente añadiendo una resistencia parásita, r_S . Esta resistencia tiene gran importancia tanto en DC como en pequeña señal y está en serie con el paralelo formado por todos los dispositivos anteriores.

En consecuencia, todo diodo puede modelarse en pequeña señal tal y como se muestra en Fig. 2.3. Este modelo puede simplificarse si el diodo está en directa, pues no tendrían importancia ni C_J ni

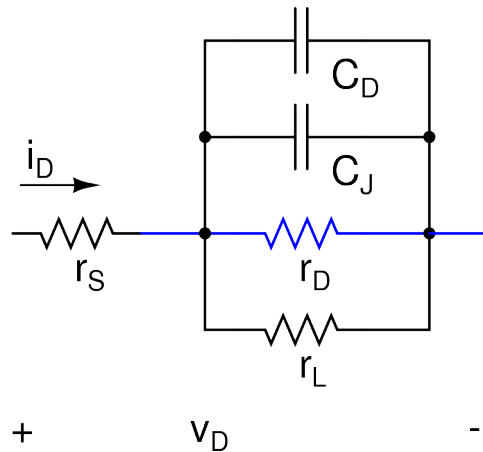


Figura 2.3: Equivalente completo de un diodo en pequeña señal, incluyendo todos los parámetros del Apartado 2.2.2.

r_L , y en inversa, donde puede prescindirse de C_D , r_D y r_S .

2.3. El transistor BJT

2.3.1. Consideraciones generales sobre el modelo en pequeña señal de los transistores

A diferencia de los diodos, los transistores, sean bipolares o de efecto campo, son dispositivos en los que intervienen varias corrientes y tensiones. En el caso de los transistores bipolares², debemos hablar de las corrientes y tensiones de colector, base y emisor. En total, el estado de un transistor se debe describir con seis parámetros eléctricos (I_C , I_B , I_E , V_C , V_B y V_E). Sin embargo, la realidad es algo más sencilla. En primer lugar, existe una relación de ligadura en las corrientes debido a que un transistor se comporta en los circuitos como un nudo y, por tanto, la suma de las corrientes entrantes es igual a la suma de las salientes. Así, si aceptamos el criterio de las corrientes mostrado en Fig. 2.4, se debe cumplir que:

$$I_E = I_B + I_C \quad (2.9)$$

independientemente del tipo de transistor. Por otra parte, en un transistor no nos interesan las tensiones absolutas en sus nudos sino la diferencia que existe entre ellos. Por ello, podemos elegir un único nudo como nudo de referencia y expresar las tensiones de los otros dos utilizando a este de referencia. La elección realizada afecta a las ecuaciones que gobiernan el transistor y, por tanto, al modelo en pequeña señal. Por ello, existen tres grandes familias de modelos en pequeña señal: *Colector común*, *base común* y *emisor común*, dependiendo de la elección del colector, base

²El desarrollo teórico que viene a continuación podría aplicarse sin problema a los transistores de efectos campo. Sin embargo, como veremos más adelante, no es tan interesante al contar éstos con un terminal por el que no puede circular corriente (puerta), que hace que un transistor de efecto campo se encuentre algo más cercano a un elemento de dos terminales como el diodo..



Figura 2.4: Tensiones y corrientes en un transistor BJT, NPN (a) o PNP (b).

o emisor como nudo de referencia. En cualquier caso, el número de tensiones implicadas se reduce a 2 al utilizarse un nudo como referencia.

En resumen, todo transistor posee cuatro parámetros eléctricos esenciales (dos corrientes y dos tensiones) que modelan el comportamiento en DC y, como es presumible, en pequeña señal. Las corrientes pueden expresarse en función de las tensiones entre los nodos de un transistor de esta modo:

$$\begin{cases} I_C = f(V_{BE}, V_{BC}) \\ I_E = g(V_{BE}, V_{BC}) \end{cases}$$

Más adelante recordaremos cuales son estas funciones f y g , que ya se esbozaron en el Tema 1. Desde el punto de vista puramente matemático, podríamos operar con la expresión anterior para reexpresar las dos ecuaciones cambiando los parámetros independientes y dependientes. Por ejemplo, podríamos buscar dos nuevas funciones f_X y g_X tales que:

$$\begin{cases} I_C = f_X(V_{BE}, I_E) \\ V_{BC} = g_X(V_{BE}, I_E) \end{cases}$$

que serían también perfectamente lícitas. ¿Adónde llegamos entonces? Simplemente a que hay cuatro parámetros eléctricos que definen el estado de un transistor y en los que dos pueden funcionar como variables independientes y otros dos como dependientes. En otras palabras, se pueden escoger dos parámetros Y_1 e Y_2 del conjunto $\{I_1, I_2, V_1, V_2\}$ y expresarlo en función de los dos parámetros restantes, simbolizados como X_1 y X_2 . Es decir:

$$\begin{cases} Y_1 = f_1(X_1, X_2) \\ Y_2 = f_2(X_1, X_2) \end{cases} \quad (2.10)$$

¿Cuántas posibilidades hay? Haciendo un estudio rápido de combinaciones, se deduce que hay 6 posibilidades distintas, que desarrollaremos más adelante. La primera conclusión de esta idea es que al haber dos tensiones y dos corrientes, todo transistor debería poder modelarse como una bipuerta similar a Fig. 2.5, habiendo dos parámetros independientes y dos dependientes. Hay que

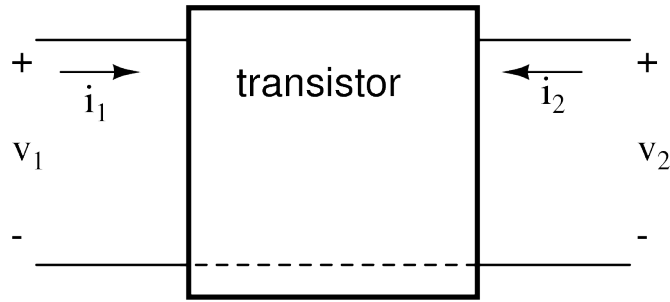


Figura 2.5: Representación de un transistor como una bipuerta. El nudo común se ha dividido en dos para facilitar la comprensión de las tensiones v_k .

Nombre	Símbolo	Independientes	Dependientes	Ecuaciones
Salida	a	v_2, i_2	v_1, i_1	$v_1 = a_{11} \cdot v_2 + a_{12} \cdot i_2$ $i_1 = a_{21} \cdot v_2 + a_{22} \cdot i_2$
Entrada	b	v_1, i_1	v_2, i_2	$v_2 = b_{11} \cdot v_1 + b_{12} \cdot i_1$ $i_2 = b_{21} \cdot v_1 + b_{22} \cdot i_1$
—	m	v_1, i_2	i_1, v_2	$i_1 = m_{11} \cdot v_1 + m_{12} \cdot i_2$ $v_2 = m_{21} \cdot v_1 + m_{22} \cdot i_2$
Híbrido	h	i_1, v_2	v_1, i_2	$v_1 = h_{11} \cdot i_1 + h_{12} \cdot v_2$ $i_2 = h_{21} \cdot i_1 + h_{22} \cdot v_2$
Impedancias	z	i_1, i_2	v_1, v_2	$v_1 = z_{11} \cdot i_1 + z_{12} \cdot i_2$ $v_2 = z_{21} \cdot i_1 + z_{22} \cdot i_2$
Admitancias	y	v_1, v_2	i_1, i_2	$i_1 = y_{11} \cdot v_1 + y_{12} \cdot v_2$ $i_2 = y_{21} \cdot v_1 + y_{22} \cdot v_2$

Cuadro 2.1: Distintos modelos para un transistor de acuerdo con el modelo de bipuerta.

indicar, además, que los parámetros simbolizados con el subíndice 1 se conocen como “de entrada” y aquellos con el subíndice 2 como de salida. Continuando con el desarrollo, el modelo en pequeña señal debe ser la linealización de Eq. 2.10. Por tanto:

$$\begin{cases} y_1 = \frac{\partial f_1}{\partial X_1} \cdot x_1 + \frac{\partial f_1}{\partial X_2} \cdot x_2 \\ y_2 = \frac{\partial f_2}{\partial X_1} \cdot x_1 + \frac{\partial f_2}{\partial X_2} \cdot x_2 \end{cases} \quad (2.11)$$

donde $y_k \equiv \Delta Y_k$ y $x_k \equiv \Delta X_k$. Esta expresión puede reescribirse de modo matricial:

$$\begin{pmatrix} y_1 \\ y_2 \end{pmatrix} = \begin{pmatrix} \frac{\partial f_1}{\partial X_1} & \frac{\partial f_1}{\partial X_2} \\ \frac{\partial f_2}{\partial X_1} & \frac{\partial f_2}{\partial X_2} \end{pmatrix} \cdot \begin{pmatrix} x_1 \\ x_2 \end{pmatrix} = \begin{pmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{pmatrix} \cdot \begin{pmatrix} x_1 \\ x_2 \end{pmatrix} \quad (2.12)$$

donde $a_{ij} = \frac{\partial f_i}{\partial X_j}$ ³. Ahora es cuando tenemos que precisar qué variables serán independientes y cuales dependientes pues eso nos definirá la familia de parámetros. Las combinaciones posibles se muestran en el Cuadro 2.1. Se deben hacer varias puntualizaciones a esta tabla.

1. Como se verá posteriormente, el modelo de bipuerta es independiente del tipo de transistor. En particular, da igual si el transistor BJT es NPN o PNP.

³Debe tenerse en cuenta que estas derivadas parciales se realizan en torno al punto de operación del transistor

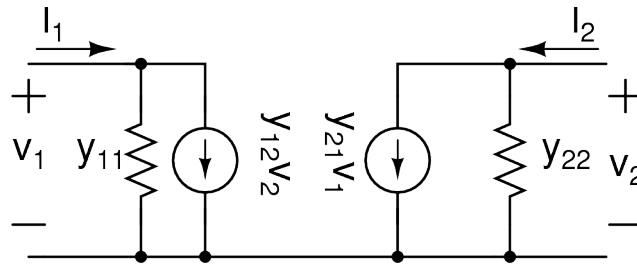


Figura 2.6: Equivalencia circuital del modelo de admitancias, y , de un transistor bipolar.

2. Cada configuración de transistor (emisor, base o colector común) dispone del conjunto de seis modelos de bipuerta mostrado en el Cuadro 2.1. Por tanto, hay 18 modelos posibles de un transistor en pequeña señal.
3. Los 18 modelos describirían al mismo transistor. Consecuentemente, cualquier sistema de ecuaciones de la última columna del Cuadro 2.1 puede transformarse en cualquier otra del cuadro, incluso suponiendo que la segunda esté en otra configuración de nudo común. Así, los parámetros z de la configuración de emisor común podrían obtenerse de cualquiera de los otros modelos. Por ejemplo, a partir del conjunto de parámetros h en base común. Estos procedimientos matemáticos se conocen, en general, como “rotaciones”.

En la práctica, la inmensa mayoría de las veces los problemas de respuesta en pequeña señal de transistores bipolares se resuelven utilizando los parámetros h en base, colector o emisor común. El resto de familias de parámetros carece de interés práctico salvo, en ocasiones, el conjunto de parámetros y . Este modelo es equivalente al subcircuito mostrado en Fig. 2.6. Los modelos h se describirán con más detalle en el siguiente apartado.

2.3.2. Popularidad de los modelos h

Es tanto el uso que se da a los modelos h que se ha convenido qué terminal funciona como entrada y cuál de salida y se le ha dado un nombre específico a los parámetros h_{ij} , acordes con su sentido físico, datos que se suministran en el Cuadro 2.2. Recordemos que la entrada corresponde a la parte izquierda de Fig. 2.5, marcada con subíndice 1 y la salida a la parte derecha, cuyos términos están marcados con un subíndice 2. Por otra parte, no se suelen numerar los parámetros h como elementos de una matriz sino con letras, como se muestra en el Cuadro 2.3. Estas letras tienen significado físico. Así, el parámetro h_{11} suele estar relacionado con la impedancia de entrada del transistor bipolar en pequeña señal por lo que se lo suele denominar h_{iX} ⁴.

Por ello, las ecuaciones del cuadro 2.1 se convierten en las siguientes:

■ **Base común:**

$$\begin{aligned} v_{eb} &= h_{ib} \cdot i_e + h_{rb} \cdot v_{cb} \\ i_c &= h_{fb} \cdot i_e + h_{ob} \cdot v_{cb} \end{aligned} \quad (2.13)$$

⁴La letra “i” proviene de “input”.

Nombre	Entrada	Salida
Base común	Emisor	Colector
Colector común	Base	Emisor
Emisor común	Base	Colector

Cuadro 2.2: Terminales de entrada y salida convencionales asociados a los distintos modelos h de un transistor bipolar.

Nombre	Base Común	Colector Común	Emisor Común
h_{11}	h_{ib}	h_{ic}	h_{ie}
h_{12}	h_{rb}	h_{rc}	h_{re}
h_{21}	h_{fb}	h_{fc}	h_{fe}
h_{22}	h_{ob}	h_{oc}	h_{oe}

Cuadro 2.3: Notación alternativa y más popular de los parámetros de los modelos bipuerta en h .

■ **Colector común:**

$$\begin{aligned} v_{bc} &= h_{ic} \cdot i_b + h_{rc} \cdot v_{ec} \\ i_e &= h_{fc} \cdot i_b + h_{oc} \cdot v_{ec} \end{aligned} \quad (2.14)$$

■ **Emisor común:**

$$\begin{aligned} v_{be} &= h_{ie} \cdot i_b + h_{re} \cdot v_{ce} \\ i_c &= h_{fe} \cdot i_b + h_{oe} \cdot v_{ce} \end{aligned} \quad (2.15)$$

Teniendo en cuenta que las ecuaciones del modelo híbrido general se pueden asociar al circuito mostrado en Fig. 2.7a, cada una de las tres ecuaciones anteriores se puede asociar a las figuras restantes. Y aquí llegamos al objetivo de estos dos primeros apartados. A la hora de hacer el modelo en pequeña señal de un circuito con transistores BJT, estos deben reemplazarse por cualquiera de esta tres subredes. Evidentemente, es necesario relacionar el valor de cada parámetro con las corrientes y tensiones en el punto de operación. Sin embargo, previamente es necesario saber como se relacionan los distintos modelos entre sí. A fin de cuentas, aunque haya 18 maneras distintas de representar un transistor en pequeña señal, todas ellas representan al mismo transistor por lo que deben poder relacionarse entre sí. Las relaciones matemáticas que permiten obtener un modelo a partir de otro se denominan “rotaciones” por similitud con otros problemas matemáticos y se estudiarán en el siguiente apartado.

2.3.3. Rotaciones entre modelos

Hay dos tipos de rotaciones. Puesto que todo modelo en pequeña señal tiene dos pares de magnitudes de entrada/salida (Cuadro 2.1) que dependen del terminal que se haya definido como “común” (Cuadro 2.2), las rotaciones serán:

1. Fijando el nodo común, rotaciones entre modelos.
2. Fijando el modelo, rotaciones entre ese modelo con distintos nudos comunes.

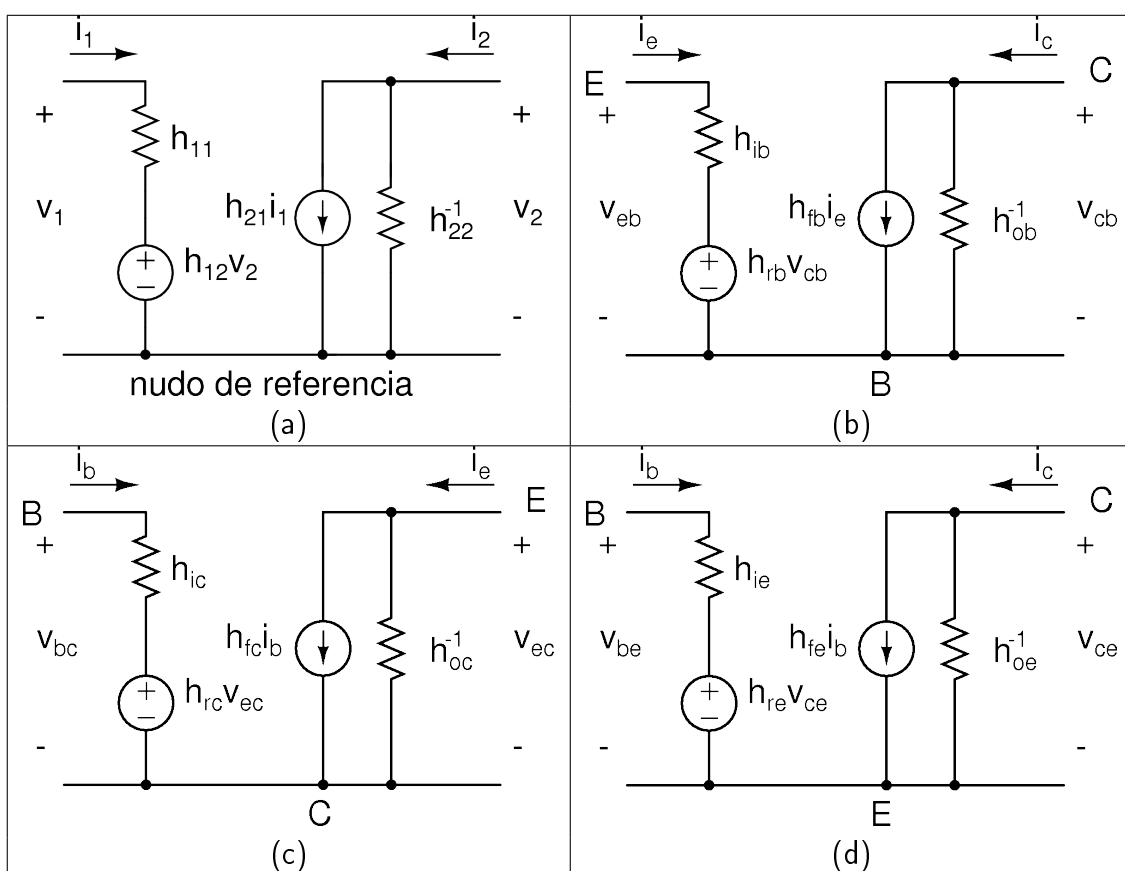


Figura 2.7: Equivalente circuitual de los modelos híbridos. (a) General, (b) base común, (c) colector común y (d) emisor común.

En algunos casos, es necesario realizar dos pasos. Por ejemplo, para pasar del modelo h en emisor común al modelo z en base común, habría que ir desde el primero al modelo h en base común y desde éste al modelo z en base común. O bien, pasar del primero al modelo z en emisor común y de éste al modelo z en base común. Fijémonos que este comportamiento es similar a las “rotaciones” físicas ya que primero nos movemos en una dirección y después en otra. Claro que, a diferencia de las rotaciones físicas, hay conmutatividad en los movimientos. Sea cual sea el camino seguido, llegamos al mismo destino.

2.3.3.1. Rotaciones entre modelos con mismo nodo común

Algunas de las rotaciones entre modelos son inmediatas pues basta con invertir la matriz de turno para obtener la matriz con nuevas variables de entrada. Así, por ejemplo, la matriz de impedancias, z , puede obtenerse fácilmente si se conoce la matriz de admitancias, y , ya que:

$$\begin{pmatrix} i_1 \\ i_2 \end{pmatrix} = \begin{pmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{pmatrix} \cdot \begin{pmatrix} v_1 \\ v_2 \end{pmatrix} \Rightarrow \begin{pmatrix} v_1 \\ v_2 \end{pmatrix} = \begin{pmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{pmatrix}^{-1} \cdot \begin{pmatrix} i_1 \\ i_2 \end{pmatrix}$$

por lo que:

$$\begin{pmatrix} z_{11} & z_{12} \\ z_{21} & z_{22} \end{pmatrix} = \begin{pmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{pmatrix}^{-1} \Rightarrow z_{ij} = (-1)^{i+j} \cdot \frac{y_{ji}}{\begin{vmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{vmatrix}}$$

Esta relación es perfectamente reversible. Relaciones similares existen entre los parámetros a y b y entre m y h . Desafortunadamente, en otros casos la relación no es tan sencilla. Centrémonos en el cálculo del paso del modelo y al modelo h ya que este cambio será utilizado con posterioridad. En caso de buscar otras relaciones, puede seguirse el mismo método o consultar la bibliografía sobre el tema.

De acuerdo con el modelo y , en la parte izquierda aparecen i_1 e i_2 y, en la derecha, v_1 y v_2 . En cambio, en el modelo h , en la izquierda están v_1 e i_2 y, en la derecha, i_1 y v_2 . Nuestro objetivo será reorganizar las ecuaciones del modelo y de tal modo que se asemejen a las del h :

$$\begin{aligned} i_1 &= y_{11} \cdot v_1 + y_{12} \cdot v_2 \\ i_2 &= y_{21} \cdot v_1 + y_{22} \cdot v_2 \end{aligned}$$

En primer lugar, trabajemos con la ecuación superior. Despejando v_1 se obtiene:

$$\begin{aligned} v_1 &= \frac{1}{y_{11}} \cdot i_1 - \frac{y_{12}}{y_{11}} \cdot v_2 \\ i_2 &= y_{21} \cdot v_1 + y_{22} \cdot v_2 \end{aligned}$$

En la segunda ecuación, nos interesa deshacernos de v_1 en la parte de la derecha. Lo que haremos será, simplemente, insertar la primera ecuación en la segunda:

$$v_1 = \frac{1}{y_{11}} \cdot i_1 - \frac{y_{12}}{y_{11}} \cdot v_2$$

$$i_2 = y_{21} \cdot \left(\frac{1}{y_{11}} \cdot i_1 - \frac{y_{12}}{y_{11}} \cdot v_2 \right) + y_{22} \cdot v_2 = \frac{y_{21}}{y_{11}} \cdot i_1 + \left(y_{22} - \frac{y_{21} \cdot y_{12}}{y_{11}} \right) \cdot v_2$$

y con esto habríamos completado la transformación pues el sistema inicial se ha expresado al modo de los parámetros h . En consecuencia, podemos realizar la identificación recogida en el Cuadro 2.4. Esta tabla es fácilmente reversible, como se muestra en el Cuadro 2.5.

Parámetro	valor	Parámetro	valor
h_{11}, h_i	$\frac{1}{y_{11}}$	h_{12}, h_r	$-\frac{y_{12}}{y_{11}}$
h_{21}, h_f	$\frac{y_{21}}{y_{11}}$	h_{22}, h_o	$y_{22} - \frac{y_{21} \cdot y_{12}}{y_{11}}$

Cuadro 2.4: Obtención de parámetros h a partir de los modelos en y .

Parámetro	valor	Parámetro	valor
y_{11}	$\frac{1}{h_{11}}$	y_{12}	$-\frac{h_{12}}{h_{11}}$
y_{21}	$\frac{h_{21}}{h_{11}}$	y_{22}	$h_{22} - \frac{h_{21} \cdot h_{12}}{h_{11}}$

Cuadro 2.5: Obtención de parámetros y a partir de los modelos en h .

2.3.3.2. Rotaciones entre modelos similares con distinto nodo en común

Por comodidad, vamos a centrarnos solo en las transformaciones que se pueden realizar entre modelos h de base, colector o emisor común. El procedimiento sería parecido al descrito en el apartado anterior pero debe tenerse en cuenta una complicación adicional: Las tensiones y corrientes envueltas en un modelo no aparecen en el otro. Así, por ejemplo, podemos ver que en el modelo h en base común intervienen como corrientes i_e e i_c en tanto que en el modelo en emisor común i_e es reemplazada por i_b . Por tanto, no basta con transformar el sistema de ecuaciones sino que hay que reemplazar variables. Para ello, debemos recordar que Eq. 2.9 se transforma en pequeña señal en:

$$i_e = i_c + i_b \quad (2.16)$$

y que todas las diferencias de tensión están relacionadas entre sí. Deduzcamos, por ejemplo, como se pasa del modelo en emisor común al modelo en colector común:

$$v_{be} = h_{ie} \cdot i_b + h_{re} \cdot v_{ce}$$

$$i_c = h_{fe} \cdot i_b + h_{oe} \cdot v_{ce}$$

Es necesario reexpresarla como

$$\begin{aligned}v_{bc} &= h_{ic} \cdot i_b + h_{rc} \cdot v_{ec} \\ i_e &= h_{fc} \cdot i_b + h_{oc} \cdot v_{ec}\end{aligned}$$

En primer lugar, recordemos que $v_{ce} = -v_{ec}$. Asimismo, $v_{be} = v_{bc} + v_{ce} = v_{bc} - v_{ec}$ con lo que así podremos eliminar esta variable. Finalmente, hay que librarse de i_c para lo que utilizaremos Eq. 2.16:

$$\begin{aligned}v_{bc} - v_{ec} &= h_{ie} \cdot i_b - h_{re} \cdot v_{ec} \\ i_e - i_b &= h_{fe} \cdot i_b - h_{oe} \cdot v_{ec}\end{aligned}$$

Reordenando el sistema de ecuaciones:

$$\begin{aligned}v_{bc} &= h_{ie} \cdot i_b + (1 - h_{re}) \cdot v_{ec} \\ i_e &= (1 + h_{fe}) \cdot i_b - h_{oe} \cdot v_{ec}\end{aligned}$$

Sin embargo, esta ecuación aún no se puede aplicar. El motivo es sencillo: De acuerdo con Eq. 2.16, la corriente de emisor es saliente. Sin embargo, en el modelo en colector común es entrante. ¿Cómo podemos solucionar esto? Simplemente, redefinamos la corriente de emisor del sistema anterior con el cambio $i_e \rightarrow -i_e$. De este modo, el sistema de ecuaciones se convertiría en:

$$\begin{aligned}v_{bc} &= h_{ie} \cdot i_b + (1 - h_{re}) \cdot v_{ec} \\ i_e &= -(1 + h_{fe}) \cdot i_b + h_{oe} \cdot v_{ec}\end{aligned}$$

Ahora sí se puede identificar el sistema con Eq. 2.14 como recoge el Cuadro 2.6.

Parámetro	Valor	Parámetro	vValor
h_{ic}	h_{ie}	h_{rc}	$1 - h_{re}$
h_{fc}	$-(1 + h_{fe})$	h_{oc}	h_{oe}

Cuadro 2.6: Obtención de parámetros h en colector común a partir de los modelos en emisor común.

Análogamente se podría realizar el cálculo de los parámetros en base común a partir de los parámetros en emisor común. Sin embargo, el razonamiento matemático es tedioso y no se mostrará aquí. Los resultados serían los recogidos en el Cuadro 2.7.

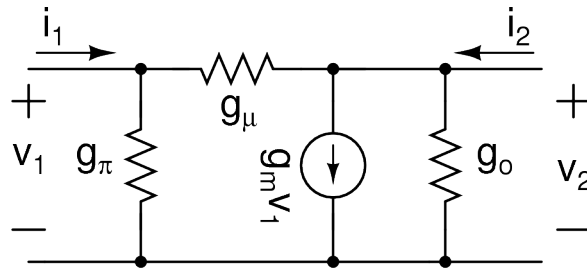


Figura 2.8: Modelo de Giacoletto de un transistor bipolar.

Parámetro	Valor	Parámetro	vValor
h_{ib}	$\frac{h_{ie}}{1+h_{fe}}$	h_{rb}	$\frac{h_{ie} \cdot h_{oe}}{1+h_{fe}} - h_{re}$
h_{fb}	$-\frac{h_{fe}}{1+h_{fe}}$	h_{ob}	$\frac{h_{oe}}{1+h_{fe}}$

Cuadro 2.7: Obtención de parámetros h en base común a partir de los modelos en emisor común.

Lógicamente, las relaciones de los cuadros 2.6 y 2.7 son reversibles, siendo más sencillas en el primer caso. Por otra parte, es posible la transformación directa entre base y colector común. Sin embargo, como veremos más adelante, es muy fácil obtener el modelo en emisor común y relacionarlo con el punto de operación del transistor. Por ello, nos hemos centrado en obtener los otros parámetros a partir de esta configuración y no estudiaremos las otras posibles relaciones al no tener utilidad directa en la asignatura.

2.3.4. Modelo en Π o de Giacoletto

A veces, no interesa que el modelo en pequeña señal del transistor tenga dos fuentes dependientes. Para evitarlo, existe un modelo alternativo llamado “en Π ” que se caracteriza por la existencia de una impedancia que une la entrada con la salida. Esta estructura sería similar a la mostrada en Fig. 2.8, donde existen tres conductancias (g_π , g_μ y g_o) y una transconductancia, g_m . Es fácil establecer una relación entre estos parámetros y los modelos en admitancia e híbridos. Así, la relación que existe entre este subcircuito y el modelo en admitancias se recoge en el Cuadro 2.8 en tanto que el Cuadro 2.9 recoge las equivalencias con el modelo híbrido.

La obtención de estas equivalencias es relativamente sencilla. Pongamos por ejemplo la obtención de los parámetros de Giacoletto en función de los parámetros del modelo de inductancias. Para ello, examinemos el circuito de Fig. 2.8. En él, se puede demostrar que el valor de las corrientes i_1 e i_2 es, de acuerdo con la ley de las corrientes de Kirchhoff:

$$i_1 = g_\pi \cdot v_1 + g_\mu \cdot (v_1 - v_2)$$

$$i_2 = g_o \cdot v_2 + g_\mu \cdot (v_2 - v_1) + g_m \cdot v_1$$

Parámetro	Valor	Parámetro	Valor
y_{11}	$g_{\pi} + g_{\mu}$	g_{π}	$y_{11} + y_{12}$
y_{12}	$-g_{\mu}$	g_{μ}	$-y_{12}$
y_{21}	$g_m - g_{\mu}$	g_m	$y_{21} - y_{12}$
y_{22}	$g_o + g_{\mu}$	g_o	$y_{22} + y_{12}$

Cuadro 2.8: Equivalencia entre modelo de Giacoletto y de admitancias.

Parámetro	Valor	Parámetro	Valor
h_i	$\frac{1}{g_{\pi} + g_{\mu}}$	g_{π}	$\frac{1 - h_r}{h_i}$
h_r	$\frac{g_{\mu}}{g_{\pi} + g_{\mu}}$	g_{μ}	$\frac{h_r}{h_i}$
h_f	$\frac{g_m - g_{\mu}}{g_{\pi} + g_{\mu}}$	g_m	$\frac{h_r + h_f}{h_i}$
h_o	$g_o + g_{\mu} \cdot \frac{g_{\pi} + g_m}{g_{\pi} + g_{\mu}}$	g_o	$h_o - h_r \cdot h_i^{-1} \cdot (1 + h_f)$

Cuadro 2.9: Equivalencia entre modelo de Giacoletto e híbrido en h .

Si reordenamos las ecuaciones, el anterior sistema de ecuaciones se convierte en:

$$\begin{aligned} i_1 &= (g_{\pi} + g_{\mu}) \cdot v_1 - g_{\mu} \cdot v_2 \\ i_2 &= (g_m - g_{\mu}) \cdot v_1 + (g_o + g_{\mu}) \cdot v_2 \end{aligned}$$

Pero esto no es sino la expresión matemática del modelo en admitancias que conduce a las equivalencias de las dos primeras columnas del Cuadro 2.8. El resto de equivalencias, recogidas en este cuadro y en el Cuadro 2.9, se pueden demostrar de manera trivial.

Este modelo es muy popular en los textos relacionados con la electrónica por un hecho importante: Es equivalente al modelo en pequeña señal de los transistores JFET y MOSFET sin efecto sustrato haciendo, simplemente, $g_{\pi}, g_{\mu} \rightarrow 0$. De este modo, los equivalentes en pequeña señal de las distintas configuraciones pueden obtenerse para el caso bipolar y obteniendo el caso FET como caso particular.

2.3.5. Modelo en pequeña señal del transistor bipolar a partir del modelo SPICE

2.3.5.1. Modelo de conductancias en emisor común

Sabemos que, en DC, las ecuaciones que gobiernan un transistor bipolar NPN son:

$$I_E = I_S \cdot \left(1 + \frac{1}{\beta_F}\right) \cdot \left(\exp\left(\frac{V_{BE}}{N_F V_T}\right) - 1\right) - I_S \cdot \left(\exp\left(\frac{V_{BC}}{N_R V_T}\right) - 1\right)$$

$$I_C = I_S \cdot \left(\exp\left(\frac{V_{BE}}{N_F V_T}\right) - 1\right) - I_S \cdot \left(1 + \frac{1}{\beta_R}\right) \left(\exp\left(\frac{V_{BC}}{N_R V_T}\right) - 1\right)$$

En general, los transistores bipolares tienen interés en diseño analógico cuando están en zona activa directa. En estas circunstancias, la ecuación anterior se transforma en:

$$I_E = I_S \cdot \left(1 + \frac{1}{\beta_F}\right) \cdot \exp\left(\frac{V_{BE}}{N_F V_T}\right) \quad (2.17)$$

$$I_C = I_S \cdot \exp\left(\frac{V_{BE}}{N_F V_T}\right) \quad (2.18)$$

Si deseamos pasar estas ecuaciones a pequeña señal según Eq. 2.11, podemos ver que obtendríamos un modelo de admitancias. Asimismo, nos encontramos con dos opciones: Buscar el modelo en base común o el modelo en emisor común. A favor del primero, está que las corrientes DC son las de este modelo (i_e, i_c). Sin embargo, si escogemos la segunda opción, veríamos que podemos añadir sin problemas el efecto Early, que depende de V_{CE} . Por ello, nos inclinaremos por esta solución.

En primer lugar, eliminaremos I_E con la transformación $I_B = I_E - I_C$. Asimismo, multiplicaremos la corriente de colector por el factor Early:

$$I_B = \frac{I_S}{\beta_F} \cdot \exp\left(\frac{V_{BE}}{N_F V_T}\right) \quad (2.19)$$

$$I_C = I_S \cdot \exp\left(\frac{V_{BE}}{N_F V_T}\right) \cdot \left(1 + \frac{V_{CE}}{V_{AF}}\right) \quad (2.20)$$

Calculemos entonces los valores del modelo de admitancias en emisor común:

$$y_{11,e} = \frac{\partial I_B}{\partial V_{BE}} = \frac{I_S}{\beta_F} \cdot \exp\left(\frac{V_{BE}}{N_F V_T}\right) \cdot \frac{1}{N_F \cdot V_T} = \frac{I_B}{N_F \cdot V_T} \quad (2.21)$$

$$y_{12,e} = \frac{\partial I_B}{\partial V_{CE}} = 0 \quad (2.22)$$

$$y_{21,e} = \frac{\partial I_C}{\partial V_{BE}} = I_S \cdot \exp\left(\frac{V_{BE}}{N_F V_T}\right) \cdot \left(1 + \frac{V_{CE}}{V_{AF}}\right) \cdot \frac{1}{N_F \cdot V_T} = \frac{I_C}{N_F \cdot V_T} \quad (2.23)$$

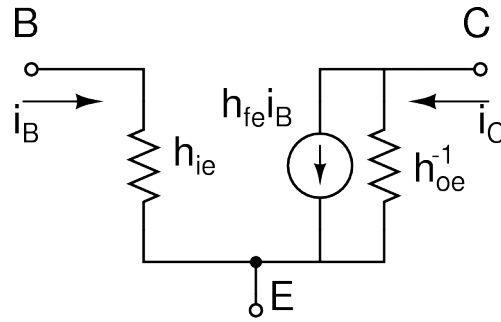


Figura 2.9: Circuito simplificado equivalente al modelo híbrido en emisor común.

$$y_{22,e} = \frac{\partial I_C}{\partial V_{CE}} = I_S \cdot \exp\left(\frac{V_{BE}}{N_F V_T}\right) \cdot \frac{1}{V_{AF}} \simeq \frac{I_C}{V_{AF}} \quad (2.24)$$

Realmente, el parámetro $y_{12,e}$ no es nulo debido a efectos de segundo orden no incluidos en el modelo SPICE. Sin embargo, a efectos prácticos, se considerará así a partir de ahora.

En caso de trabajar con un PNP, se habrían obtenido resultados idénticos. En general, no hay diferencia entre los modelos en pequeña señal de los transistores PNP y NPN salvo, claro está, la posición del emisor. Así, en general, el emisor de los NPN está a menos tensión absoluta que el colector en tanto que, en los PNP, ocurre lo contrario. Gráficamente, en un NPN el colector suele estar arriba y el emisor abajo, y en los PNP ocurre al revés. Este hecho debe recordarse cuando se proceda a crear el modelo en pequeña señal de un circuito con transistores.

2.3.5.2. Modelo híbrido en emisor común

Eq. 2.21-2.24 nos permiten obtener los valores de los parámetros híbridos en emisor común cuando se combinan con el Cuadro 2.4. Estos resultados se muestran en el Cuadro 2.10.

Parámetro	valor	Parámetro	valor
h_{ie}	$\frac{1}{y_{11}} = \frac{N_F \cdot V_T}{I_B}$	h_{re}	$-\frac{y_{12}}{y_{11}} \approx 0$
h_{fe}	$\frac{y_{21}}{y_{11}} = \frac{I_C}{I_B}$	h_{oe}	$y_{22} - \frac{y_{21} \cdot y_{12}}{y_{11}} \approx \frac{I_C}{V_{AF}}$

Cuadro 2.10: Parámetros h a partir de las corrientes en el punto de operación, temperatura y características propias del transistor.

Deben tenerse en cuenta algunos hechos. En primer lugar, como se dijo antes, el parámetro h_{re} es, en general, despreciable aunque no sea exactamente nulo. Por ese motivo, el modelo híbrido en emisor común es equivalente al subcircuito de Fig. 2.9. Por otro lado, el valor de h_{fe} coincide con h_{FE} , β_F en los transistores ideales aunque, en la realidad, puede haber alguna variación.

2.3.5.3. Modelos híbridos en base y colector común

Los resultados del Cuadro 2.10 nos permiten obtener los valores de los parámetros híbridos en el resto de configuraciones. Así, para la configuración de colector común se obtendría la representación del Cuadro 2.11.

Parámetro	valor	Parámetro	valor
h_{ic}	$\frac{N_F \cdot V_T}{I_B}$	h_{rc}	≈ 1
h_{fc}	$-\left(1 + \frac{I_C}{I_B}\right)$	h_{oc}	$\approx \frac{I_C}{V_{AF}}$

Cuadro 2.11: Obtención de parámetros h en colector común a partir del punto de operación.

Debe resaltarse un hecho realmente importante. En emisor común, el parámetro h_{re} es despreciable por lo que la fuente de tensión con valor $h_{re} \cdot v_{ce}$ no aparece en los cálculos derivados de modo que, en la entrada del transistor (base), hay una simple resistencia al nudo común. Sin embargo, en este modelo **jamás** se debe hacer esta simplificación al ser el factor h_{rc} prácticamente igual a 1. El subcircuito equivalente sigue siendo el mostrado en Fig. 2.7c. En el modelo en base común, los parámetros adquieren los valores mostrados en el Cuadro 2.12.

Parámetro	valor	Parámetro	valor
h_{ib}	$\frac{h_{ie}}{1+h_{fe}} \approx \frac{N_F \cdot V_T}{I_E}$	h_{rb}	$\frac{h_{ie} \cdot h_{oe}}{1+h_{fe}} - h_{re} \approx \frac{N \cdot V_T}{V_{AF}} - h_{re} \approx 0$
h_{fb}	$-\frac{h_{fe}}{1+h_{fe}} \approx -\alpha_F$	h_{ob}	$\frac{h_{oe}}{1+h_{fe}} \approx \frac{I_B}{V_{AF}}$

Cuadro 2.12: Obtención de parámetros h en base común a partir del punto de operación.

Para realizar las aproximaciones y dejar las ecuaciones de este modelo de un modo sencillo, se ha supuesto que $h_{fe} \equiv h_{FE} \equiv \beta_F \gg 1$. A semejanza del modelo en emisor común, la salida apenas influye en la entrada pues $h_{rb} \approx 0$. Por ello, el circuito equivalente es igual al de Fig. 2.7b aunque puede eliminarse la fuente de tensión dependiente.

2.3.5.4. Modelos de Giacoletto

En principio, nada excluye que se pueda definir un modelo en Π en emisor común, base común o colector común. Sin embargo, en la práctica, solo tiene interés el modelo de Giacoletto en emisor común. Como es lógico, en este modelo la entrada es la base y la salida el colector. De este modo, las equivalencias son las mostradas en el Cuadro 2.13.

Parámetro	Valor
g_π	$\frac{1-h_r}{h_i} \approx \frac{1}{h_{ie}} \approx \frac{I_B}{N \cdot V_T}$
g_μ	$\frac{h_r}{h_i} \approx 0$
g_m	$\frac{h_r+h_f}{h_i} \approx \frac{h_{fe}}{h_{ie}} \approx \frac{I_C}{N \cdot V_T}$
g_o	$h_o - h_r \cdot h_i^{-1} \cdot (1 + h_f) \approx h_o = \frac{I_C}{V_{AF}}$

Cuadro 2.13: Equivalencia entre los parámetros del modelo de Giacoletto e híbrido en h en configuración de emisor común.

Podemos ver que este modelo se ha reducido a una leve modificación del modelo híbrido en emisor común reemplazando h_{ie} por su conductancia equivalente y en el que la fuente de corriente dependiente de corriente se ha sustituido por una fuente de corriente dependiente de tensión. Sin embargo, como veremos más adelante, este modelo recobra todo su interés a altas frecuencias debido a la aparición de capacidades parásitas que conectan base y colector.

2.3.6. Extensión del modelo en pequeña señal

Como es bien sabido, en todo dispositivo aparecen parásitos que pueden ser incluidos en el modelo en pequeña señal. Estos parásitos son, básicamente, resistencias y capacidades parásitas.

2.3.6.1. Inclusión de resistencias parásitas

En todo transistor bipolar existen tres resistencias parásitas, cada una de ellas referida a un terminal. Así, el modelo híbrido en emisor común se transformaría en el mostrado en Fig. 2.10. Deben tenerse en cuenta varios puntos.

1. La geometría del colector y emisor permite modelar correctamente la resistencia parásita como una resistencia simple en serie. En cambio, la resistencia de base puede dividirse en varias para modelar mejor el comportamiento de ésta⁵.
2. En el caso del modelo en II, la caída de tensión que controla fuente de corriente no se debe medir entre base y emisor sino entre los extremos de g_π .
3. En general, la resistencia de emisor es despreciable frente a las otras.

⁵Consultar el modelo SPICE completo para tener más detalles

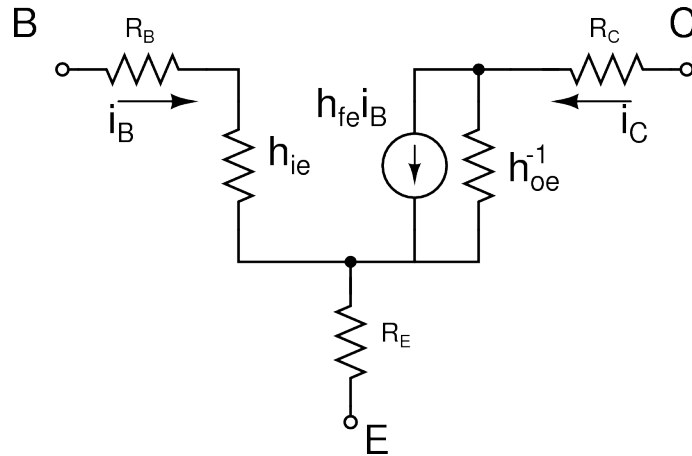


Figura 2.10: Inclusión de resistencias parásitas en el modelo híbrido en emisor común.

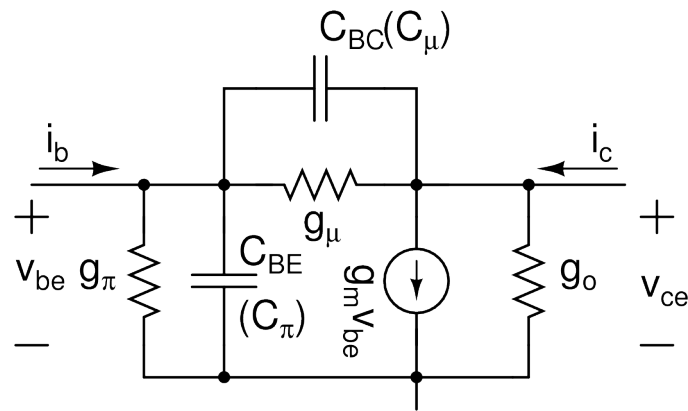


Figura 2.11: Inclusión de capacidades parásitas en el modelo de Giacoletto en emisor común.

2.3.6.2. Capacidades parásitas

Mayor importancia que las resistencias parásitas tienen las capacidades parásitas. Recordemos que en toda unión PN pueden darse dos capacidades: Difusión, en directa, y unión, en inversa. Como nos estamos centrando en el BJT en activa directa, solo nos deben interesar la capacidad de difusión en la unión BE, que se denomina C_π y la de unión entre base y colector, denominada C_μ . El por qué de estos nombres surge de manera natural una vez que se incorporan al modelo de Giacoletto en emisor común (Fig. 2.11). Como se ve, cada capacidad está en paralelo con la conductancia que le da el nombre.

Lógicamente, ambas dependen del punto de operación. Así, el valor de C_π no es sino el de la transconductancia g_m multiplicada por el tiempo medio de tránsito, τ_F . Por tanto:

$$C_\pi = \tau_F \cdot g_m \approx \tau_F \cdot \frac{I_C}{N \cdot V_T} \quad (2.25)$$

en tanto que la capacidad de unión entre base y colector es:

$$C_\mu = C_{JBC,Q} = \frac{C_{JBC,0}}{\left(1 + \frac{V_{BC,Q}}{V_{BI}}\right)^M} \quad (2.26)$$

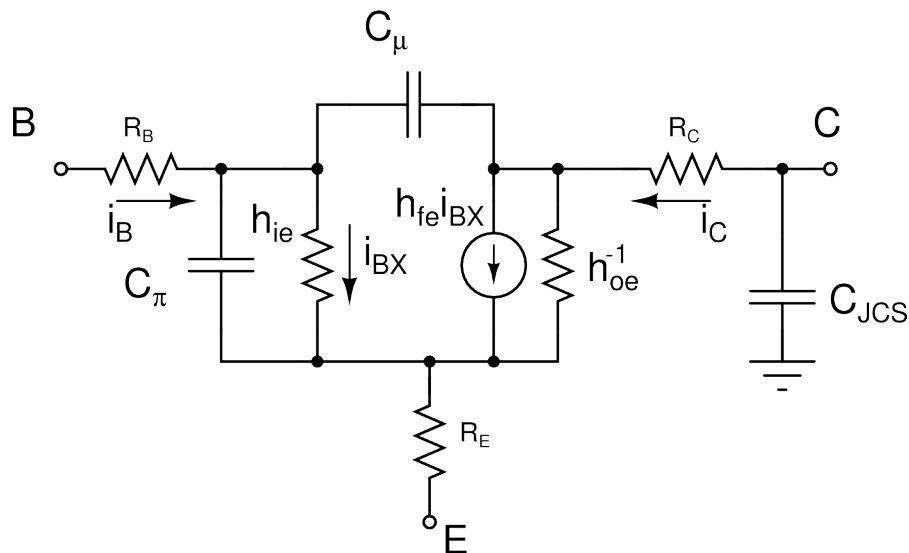


Figura 2.12: Inclusión de capacidades y resistencias parásitas en el modelo híbrido en emisor común.

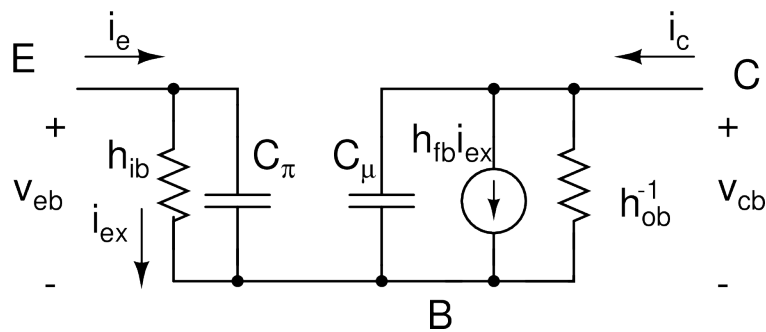


Figura 2.13: Inclusión de capacidades y resistencias parásitas en el modelo híbrido en base común.

Por otra parte, si se toma en cuenta el sustrato debe añadirse una nueva capacidad de unión entre colector y sustrato, C_{JCS} . En general, el sustrato estará conectado a una fuente de tensión constante dependiendo del tipo de transistor. Esto hace que, en pequeña señal, esta capacidad esté conectada entre el colector y tierra como muestra Fig. 2.12, donde se muestra el modelo híbrido en emisor común con las tres capacidades descritas. Asimismo, se han mantenido las resistencias parásitas. Por otra parte, fijémonos en un hecho importante. Al incorporar la capacidad de difusión, no toda la corriente de base se amplifica en el colector sino solo la fracción que circula por h_{ie} . Por ello, se ha marcado como i_{BX} esta fracción de i_B . Este problema no aparece en el modelo de Giacoletto al tomar diferencias de tensión como argumento.

La incorporación de las capacidades parásitas a los modelos híbridos en base o colector común es inmediata. Basta con colocar una capacidad C_π entre base y emisor y otra capacidad C_μ entre base y colector dondequiera que estén en el dibujo del subcircuito. Así, por ejemplo, en el modelo en base común, la incorporación de los condensadores conduce al circuito de Fig. 2.13. Asimismo, fijémonos de que no toda la corriente de emisor se amplifica sino solo una fracción.

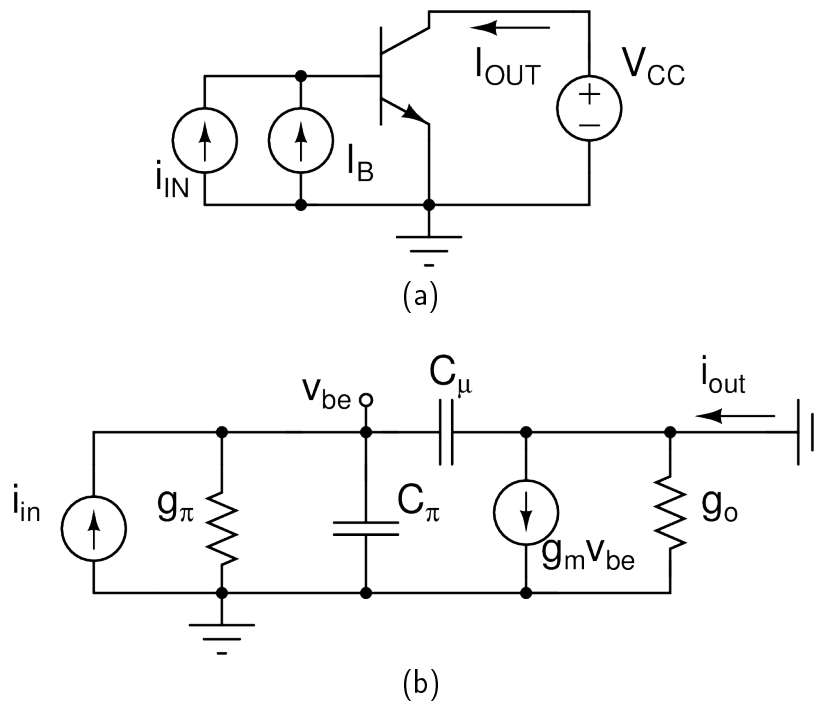


Figura 2.14: Cálculo de la frecuencia de transición. Circuito original (a) y equivalente en pequeña señal (b).

2.3.7. Frecuencia de transición de un transistor bipolar

La frecuencia de transición de un transistor bipolar, y en general la de cualquier transistor, nos permite estimar cómo de bueno es su comportamiento en frecuencia. Evidentemente, un transistor no deja de trabajar al rebasar la frecuencia de transición sino que, simplemente, empezará a comportarse peor a medida que nos vayamos aproximando a ella. Por otra parte, la frecuencia de transición caracteriza al transistor, no al circuito donde se encuentre. Así, existen configuraciones con peor comportamiento en frecuencia que la estimada directamente a través de la frecuencia de transición.

Finalmente, hay que indicar que esta frecuencia está relacionada solamente con el comportamiento en pequeña señal. Se pueden definir otras frecuencias relacionadas, por ejemplo, con la velocidad de conmutación de los transistores en un paso de corte a saturación o viceversa. Sin embargo, esta frecuencia está fuera del objetivo de esta asignatura y no se estudiarán aquí.

La frecuencia de transición se calcula del siguiente modo. Imaginemos un transistor bipolar NPN (el caso PNP es inmediato) con emisor a tierra, colector a una fuente de alimentación suficientemente alta y cuya base está polarizada por una fuente de corriente entrante, I_B , a la que se añade en paralelo una fuente de corriente sinusoidal de pequeña señal y de frecuencia variable, $i_{IN}(s)$ (Fig. 2.14a). Evidentemente, aparecerá una corriente de colector que, en el punto de operación, será $I_{OUT} = h_{FE} \cdot I_B$ a la que habría que añadir una perturbación asociada a la fuente en pequeña señal. Al pasar a pequeña señal, el colector estaría unido a tierra y la fuente de polarización, I_B , desaparece. De este modo, se obtiene el circuito de Fig. 2.14b.

Nuestro objetivo es, en primer lugar, determinar la relación entre las dos corrientes en pequeña señal, i_{out}/i_{in} . Para agilizar el cálculo, hagamos una serie de puntualizaciones:

1. La tensión v_{be} está determinada por la corriente de entrada y un paralelo de dos condensadores, C_π y C_μ , y una conductancia, g_π . En general, los transistores bipolares tienen una capacidad de difusión mucho mayor que la de unión. Por ello, vamos a despreciar C_μ . En muchos textos, este paso se hace a posteriori pero, por comodidad, nosotros lo vamos a hacer ahora.
2. En el paralelo formado por g_π y C_π podemos intuir que la primera será despreciable a altas frecuencias, que es donde está la frecuencia de transición. En consecuencia,

$$v_{be} \approx \frac{i_{in}}{C_\pi \cdot s} \quad (2.27)$$

3. A través de la conductancia g_o no circula corriente al estar sus extremos cortocircuitados a tierra. Por ello, la corriente i_{out} será, simplemente, el valor de la fuente de corriente pues suponemos que la fuga a través de C_μ es despreciable. Por tanto:

$$i_{out} = g_m \cdot v_{be} = g_m \cdot \frac{i_{in}}{C_\pi \cdot s} \Rightarrow \frac{i_{out}}{i_{in}} = \frac{g_m}{C_\pi \cdot s} \quad (2.28)$$

Se define la frecuencia de transición, f_T , como aquella en la que la ganancia en corriente tiene módulo 1. En otras palabras:

$$\left| \frac{g_m}{C_\pi \cdot s_T} \right| = \left| \frac{g_m}{C_\pi \cdot \omega_T} \right| = 1 \Rightarrow \omega_T = 2 \cdot \pi \cdot f_T = \frac{g_m}{C_\pi}$$

Aplicando Eq. 2.25:

$$f_T = \frac{1}{2 \cdot \pi} \cdot \frac{g_m}{C_\pi} = \frac{1}{2 \cdot \pi} \cdot \frac{1}{\tau_F} \quad (2.29)$$

Donde τ_F es el tiempo medio de tránsito. En un transistor como el 2N2222, dicho parámetro⁶ es del orden de $5 \cdot 10^{-10}$ s. En consecuencia, podemos situar su máxima frecuencia de trabajo en torno a 3.2 GHz.

2.4. El transistor MOSFET

En comparación con el transistor bipolar, el transistor MOSFET es muy fácilmente describible en pequeña señal. El motivo es que, a pesar de tener tres terminales, uno se comporta como un abierto por lo que solo puede circular corriente entre drenador y fuente. Ciertamente, veremos que a frecuencias elevadas hay corriente a través de la puerta pero, en primera instancia, puede obviarse la existencia de estas corrientes.

Asimismo, en electrónica analógica, solo nos interesan los transistores MOSFET en saturación. Carecen de interés tanto la zona de corte como la zona óhmica. Este hecho simplifica aún más las cosas. Por otra parte, veremos que el modelo en pequeña señal es válido tanto para NMOS como

⁶No es sino el parámetro TF del modelo SPICE.

para PMOS recordando, claro está, que el drenador y la fuente de ambos transistores se habrán intercambiado⁷.

2.4.1. Modelo básico a bajas frecuencias

A bajas frecuencias, podemos describir las características DC de un transistor MOS en saturación como:

$$\begin{cases} I_G = 0 \\ I_{DS} = \beta \cdot (V_{GS} - V_{TH})^2 \cdot (1 + \lambda \cdot V_{DS}) \end{cases} \quad (2.30)$$

Siendo β un parámetro que depende de la movilidad de los portadores y de las dimensiones del canal. Se ha supuesto que el transistor es de canal N. Esto implica que la tensión umbral, V_{TH} , es positiva. Recordemos que, por efecto sustrato, esta tensión depende de la diferencia de tensión entre sustrato y fuente, V_{SB} según la expresión:

$$V_{TH} = V_{TH,0} + \gamma \cdot \left(\sqrt{\phi + V_{SB}} - \sqrt{\phi} \right) \quad (2.31)$$

donde $V_{TH,0}$, ϕ y γ son parámetros tecnológicos independientes de las tensiones aplicadas⁸. Utilizando la notación típica $\Delta X_Y \equiv x_Y$, se puede demostrar que:

$$i_G = 0$$

$$i_{DS} = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_Q \cdot v_{GS} + \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_Q \cdot v_{DS} + \left. \frac{\partial I_{DS}}{\partial V_{TH}} \right|_Q \cdot \left. \frac{\partial V_{TH}}{\partial V_{SB}} \right|_Q \cdot v_{SB} \quad (2.32)$$

En el último término de esta expresión, hemos aplicado la regla de la cadena para estudiar la influencia de v_{SB} . Asimismo, recordemos que el sufijo Q indica, simplemente, que las derivadas se calculan con los valores de tensiones y corrientes del punto de operación. Estudiamos ahora la estructura de esta ecuación. Cada término tiene dimensiones de corriente y, en teoría de circuitos, una corriente igual a la suma de varias corrientes equivale a un conjunto de elementos en paralelo. De esos tres elementos en paralelo, hay uno que relaciona v_{DS} con i_{DS} . Esto no es sino la ley que gobierna una resistencia (o conductancia) entre los nudos D y S . Esta conductancia se va a denominar g_O . Los otros dos solo pueden ser fuentes de corriente controladas por tensión. La primera, que es la más importante, se llamará g_m y, la segunda, g_{mb} . Así, Eq. 2.32 se transformaría en:

$$i_{DS} = g_m \cdot v_{GS} + g_O \cdot v_{DS} + g_{mb} \cdot v_{SB} \quad (2.33)$$

Fig. 2.15 esboza como sería el equivalente circuital de un transistor MOS deducido a partir de esta ecuación. Ahora, la pregunta pertinente es saber cuanto vale cada uno de los parámetros.

⁷Insistiendo: En un NMOS, la fuente está “abajo” y en un PMOS, “arriba”.

⁸Consultar la descripción del modelo SPICE del MOS o la bibliografía de la asignatura para conocer sus significados.

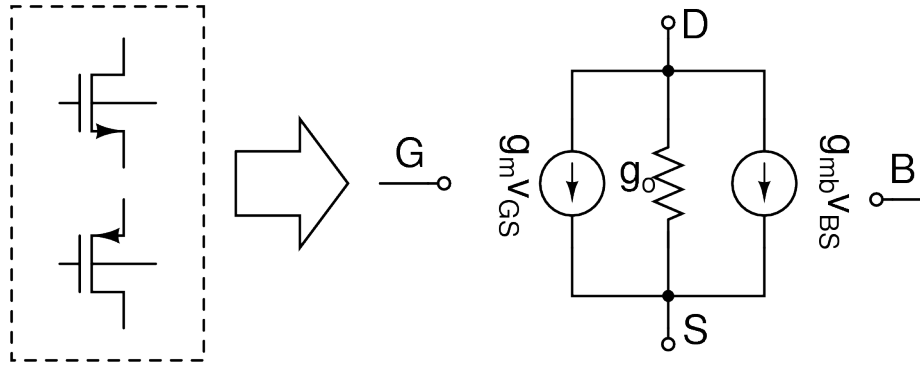


Figura 2.15: Equivalente básico en pequeña señal de un transistor MOS.

Vayamos uno a uno:

1. g_o :

$$g_o = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_Q = \beta \cdot (V_{GS} - V_{TH})^2 \cdot \frac{\partial (1 + \lambda V_{DS})}{\partial V_{DS}} = \lambda \cdot \beta \cdot (V_{GS} - V_{TH})^2 \approx \lambda \cdot I_{DS,Q} \quad (2.34)$$

donde $I_{DS,Q}$ es la corriente de drenador a fuente (o viceversa en PMOS) en el punto de operación.

2. g_m :

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_Q = 2 \cdot \beta \cdot (V_{GS} - V_{TH}) \cdot (1 + \lambda V_{DS}) \approx 2 \cdot \beta \cdot \sqrt{\frac{I_{DS,Q}}{\beta}} \approx 2 \cdot \sqrt{\beta} \cdot \sqrt{I_{DS,Q}} \quad (2.35)$$

En este caso, se ha despreciado el efecto de modulación del canal para obtener una expresión sencilla de g_m .

3. g_{mb} : En este caso, la expresión es algo más compleja. En primer lugar, se puede demostrar que:

$$\left. \frac{\partial I_{DS}}{\partial V_{TH}} \right|_Q = -2 \cdot \beta \cdot (V_{GS} - V_{TH}) \cdot (1 + \lambda V_{DS}) \approx -g_m$$

y que, por otro lado,

$$\left. \frac{\partial V_{TH}}{\partial V_{SB}} \right|_Q = \frac{\gamma}{2 \cdot \sqrt{\phi + V_{SB,Q}}}$$

Por lo que:

$$g_{mb} = -g_m \cdot \frac{\gamma}{2 \cdot \sqrt{\phi + V_{SB,Q}}} \quad (2.36)$$

El hecho de que este parámetro sea negativo nos obliga a redefinir la tensión de referencia. Así, podemos considerar g_{mb} como un término positivo si multiplica a v_{BS} en lugar de v_{SB} , como se había propuesto originalmente. Esta corrección ya se ha incorporado a Fig. 2.15. En general, g_{mb} vale, aproximadamente, $(0,1 - 0,3) \cdot g_m$ en la mayor parte de los transistores.

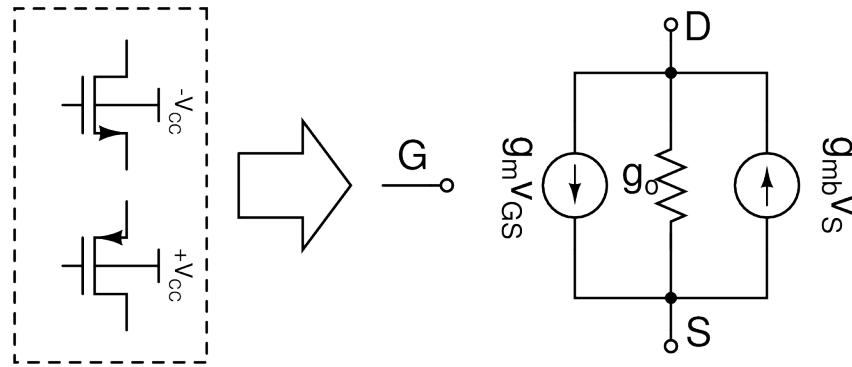


Figura 2.16: Equivalente básico en pequeña señal de un transistor MOS suponiendo tensión de sustrato constante.

Por otra parte, ocurre que, en la mayoría de los casos, el sustrato está conectado a una tensión constante de modo que v_{BS} equivale a $-v_S$. Por ello, el circuito de Fig. 2.15 se transforma en el de Fig. 2.16. Asimismo, en los transistores discretos, se rompe la simetría entre drenador y fuente pues el sustrato se cortocircuita con la fuente con lo que, a partir de ese momento $V_{SB} = 0$ y no tiene sentido hablar de la transconductancia g_{mb} .

2.4.2. Parásitos en un transistor MOS. Capacidades parásitas.

Hay tres tipos de parásitos en un transistor MOS. En primer lugar, y como suele ocurrir en cualquier dispositivo electrónico, existen resistencias parásitas en serie con cada uno de los terminales. Evidentemente, hay que descartar la resistencia parásita de puerta por inútil ya que estaría en serie con un condensador. Sin embargo, sí pueden tener importancia las resistencias parásitas de drenador y fuente, R_D y R_S . Estas resistencias desempeñan un papel importante cuando el transistor es atravesado por corrientes considerables como, por ejemplo, en las etapas de salida de los dispositivos CMOS.

Otra familia de parásitos de importancia son las uniones PN inversamente polarizadas que existen entre drenador/fuente y sustrato. Su modelado es sencillo pues solo hay que conectar cada terminal con el paralelo de una conductancia muy pequeña (g_{SB} y g_{DB}) y un par de capacidades de unión, (C_{JSB} y C_{JDB}). Son equivalentes a las estudiadas en el Apartado 2.2.2.

Mayor importancia tienen los condensadores parásitos asociados al óxido de puerta. Así, en un transistor MOS, pueden aparecer capacidades parásitas entre la puerta y la fuente (C_{GS}), el drenador (C_{GD}) y el sustrato (C_{GB}). En un transistor en saturación, la capacidad con mayor importancia es la primera, C_{GS} , cuyo valor es prácticamente igual a la capacidad total del óxido de puerta, $C_{GS} \approx C_G = C_{OX} \cdot W \cdot L$.

Fig. 2.17 muestra el modelo en pequeña señal de un transistor MOS incluyendo todos los parásitos que se han descrito en este apartado. Por otra parte, los transistores MOS discretos carecen de sustrato pues éste se encuentra cortocircuitado a la fuente. Por ello, el modelo original en pequeña señal se convierte en el de Fig. 2.18. Puede apreciarse que aparece una capacidad parásita entre drenador y fuente que puede afectar fuertemente al comportamiento en frecuencia del dispositivo.

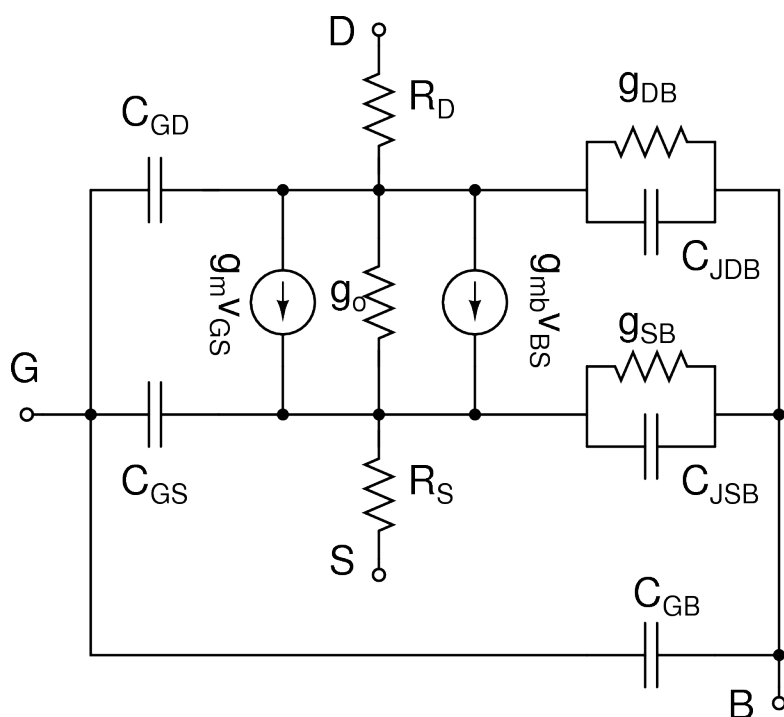


Figura 2.17: Equivalente en pequeña señal de un transistor incluyendo parásitos.

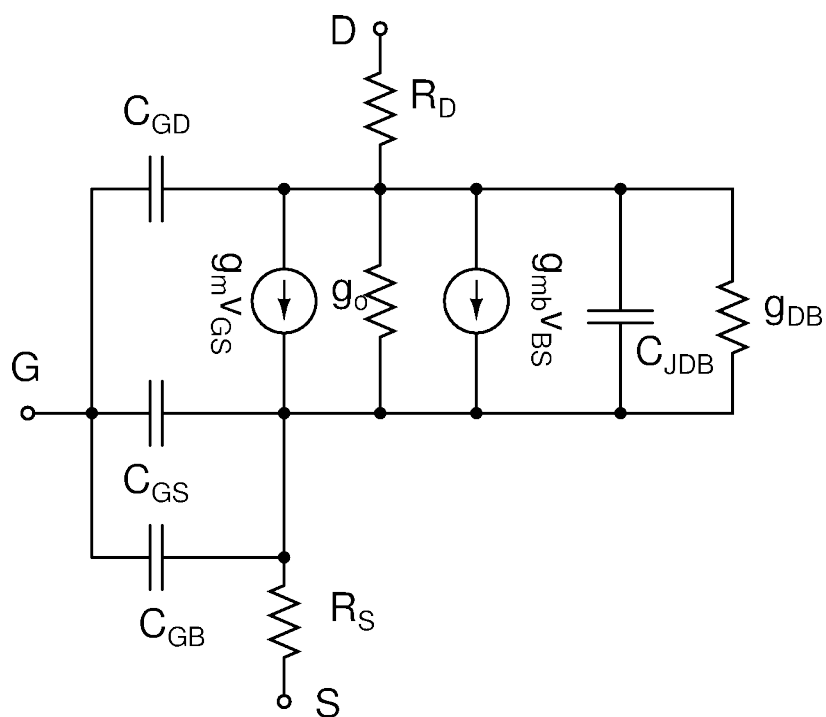


Figura 2.18: Equivalente en pequeña señal de un transistor incluyendo parásitos.

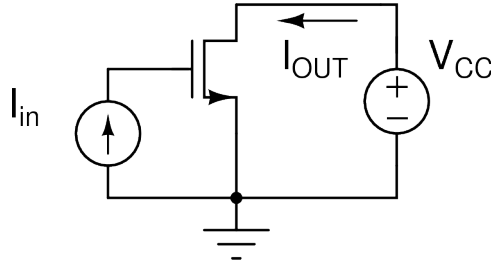


Figura 2.19: Polarización de un transistor NMOS para calcular su frecuencia de transición.

2.4.3. Frecuencia de transición

A semejanza del transistor bipolar, puede definirse un parámetro, llamado “frecuencia de transición”, que determina el buen comportamiento de un transistor MOS en el dominio de la frecuencia. Para ello, debemos suponer que el transistor se encuentra polarizado en saturación y que excitamos en pequeña señal con una fuente de corriente. Este estímulo provoca una variación en la corriente de salida (Fig. 2.19). Evidentemente, se plantea una dificultad intrínseca de diseño pues ¿cómo se puede polarizar en DC un transistor MOS atacando la puerta con una fuente de corriente? Sin embargo, recordemos que esto es un experimento mental.

En pequeña señal, ese circuito se convierte en el de Fig. 2.20. En esta estructura, gran parte de los elementos pasivos están cortocircuitados por lo que, tras eliminar estos elementos, obtendríamos el circuito de Fig. 2.21. Operando en este circuito, se puede deducir que:

$$v_{GS} = \frac{i_{IN}}{s \cdot (C_{GS} + C_{GB} + C_{GD})} \approx \frac{i_{IN}}{s \cdot C_{GS}} \quad (2.37)$$

Ocurre que, en general, suele predominar C_{GS} sobre las otras capacidades por lo que se ha podido realizar esta simplificación. Por otro lado, si despreciamos la corriente que fluye a través de C_{GD} :

$$i_O = g_m \cdot v_{GS} = \frac{g_m}{s \cdot C_{GS}} \cdot i_{IN} \Rightarrow \frac{i_O}{i_{IN}} = \frac{g_m}{C_{GS}} \cdot \frac{1}{s} \quad (2.38)$$

En la frecuencia de transición, f_T el módulo de esta ganancia debe hacerse 1. Esto solo es posible si:

$$f_T = \frac{g_m}{C_{GS}} \quad (2.39)$$

Dos hechos importantes. En primer lugar, $g_m \propto \sqrt{I_{DS}}$ por lo que la frecuencia de transición aumenta con la corriente de polarización del dispositivo. Esto constituye una diferencia clara con el transistor bipolar, en el que la frecuencia de transición dependía solo de un parámetro tecnológico. Por otra parte, suponiendo constantes las tensiones de polarización de los transistores:

$$f_T = \frac{g_m}{C_{GS}} = \frac{2 \cdot \beta \cdot (V_{GS} - V_{TH})}{C_{GS}} = \frac{2 \cdot 0,5 \cdot \mu_X \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})}{W \cdot L \cdot C_{OX}} \propto \frac{1}{L^2} \quad (2.40)$$

En conclusión, cuanto menor sea la longitud efectiva del canal, mayor es la frecuencia de tran-

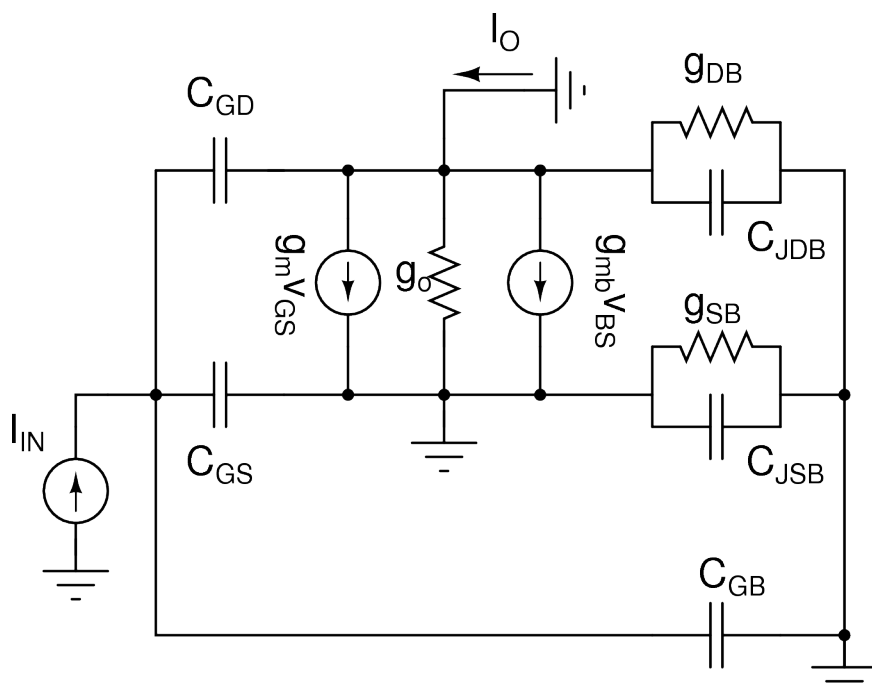


Figura 2.20: Equivalente en pequeña señal de un transistor NMOS para calcular su frecuencia de transición.

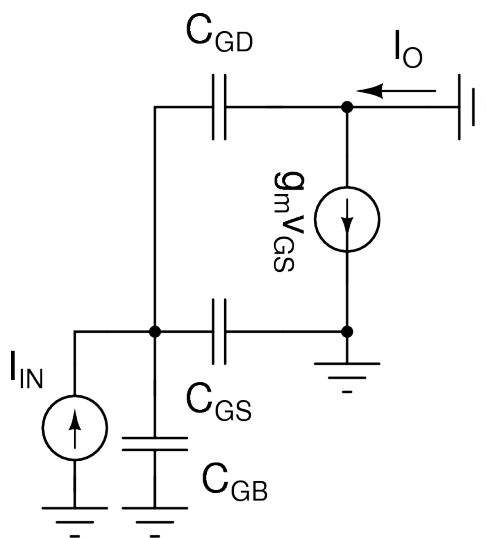


Figura 2.21: Simplificación del circuito de Fig. 2.20.

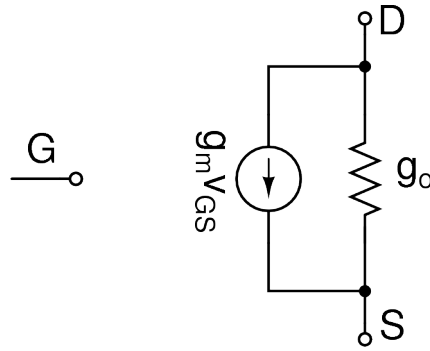


Figura 2.22: Equivalente básico en pequeña señal de un transistor JFET.

sición. Así, un progreso tecnológico que haga que reduzca a la mitad la escala de integración de un proceso CMOS implica que la frecuencia de transición se cuadruplica. Asimismo, Eq. 2.40 también nos señala que, cuanto mayor sea la tensión de puerta-fuente, V_{GS} , mayor es la frecuencia de transición. Este parámetro está de algún modo relacionado con la tensión de alimentación lo cual nos hace intuir que cuanto menores sean las tensiones de alimentación, peor comportamiento en frecuencia tienen los dispositivos, hecho que se observa de forma habitual.

2.5. El transistor JFET

La descripción del transistor JFET en pequeña señal es trivial una vez explicado el transistor MOS. La razón de ello es que, en saturación, la ecuación que rige el comportamiento de un JFET es similar a Eq. 2.30, con la salvedad de que en lugar de hablar de la tensión umbral, V_{TH} , se menciona a la tensión de pinch-off, V_P . Además, esta última tensión es constante para cada dispositivo pues no hay efecto sustrato. En consecuencia, el modelo básico en pequeña señal de un JFET se reduce a una transconductancia, g_m , y una conductancia, g_o , y no hay ni rastro de g_{mb} . Fig. 2.22 muestra en qué se convierte un transistor JFET, sea cual sea el tipo de canal.

Los valores de los parámetros del modelo en pequeña señal serían:

$$g_m = 2 \cdot \beta \cdot (V_{GS} - V_P) \cdot (1 + \lambda \cdot V_{DS}) \approx 2 \cdot \beta \cdot \sqrt{\frac{I_{DS,Q}}{\beta}} \approx 2 \cdot \sqrt{\beta} \cdot \sqrt{I_{DS,Q}} \quad (2.41)$$

$$g_o = \lambda \cdot \beta \cdot (V_{GS} - V_P)^2 \approx \lambda \cdot I_{DS,Q} \quad (2.42)$$

Los parásitos que pueden aparecer en este circuitos son bastante sencillos (Fig. 2.23). En primer lugar, aparecerán resistencias parásitas en el drenador y la fuente (R_D y R_S). También aparecen capacidades parásitas entre la puerta y los terminales del canal, ambas de tipo unión PN en inversa. Ocurre que, en general, se supone por simplicidad que el efecto capacitivo se distribuye equitativamente entre ambos terminales. En otras palabras, $C_{JGS} = C_{JGD} = \frac{1}{2}C_{JG}$ donde C_{JG} es la capacidad de unión entre puerta y canal completo.

¿Cual es la frecuencia de transición? Podremos utilizar Eq. 2.39 reemplazando C_{GS} por su

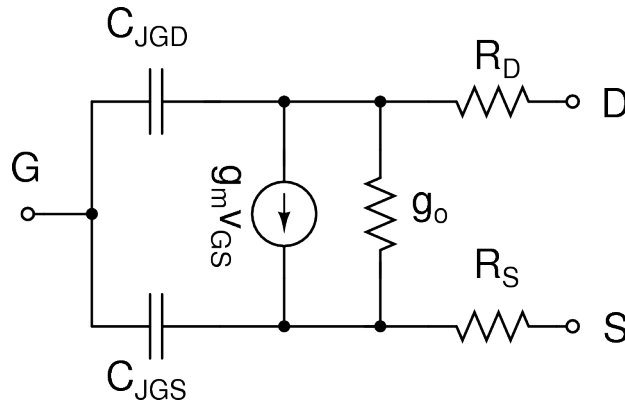


Figura 2.23: Equivalente en pequeña señal con parásitos de un transistor JFET.

equivalente, C_{JG} ⁹. Así, la frecuencia de transición sería:

$$f_T = \frac{g_m}{C_{JG}} \quad (2.43)$$

Los resultados cualitativos serían similares. Se puede demostrar, por ejemplo, que la frecuencia de transición aumenta linealmente con $\sqrt{I_{DS}}$ y con L^{-2} , siendo L la longitud del canal del transistor. La dependencia con la tensión de puerta-fuente es más compleja al no ser C_{JG} constante. Por ello, no se discutirá el caso.

⁹O, más concretamente, hemos reemplazado $C_{GS} + C_{GD} + C_{GB}$ por la capacidad total de la puerta de un JFET, C_{JG} en Eq. 2.37.

Capítulo 3

EL PROBLEMA DE LA POLARIZACIÓN

3.1. ¿Qué es la polarización?

3.1.1. Consideraciones generales

El objetivo de muchos circuitos contruidos con transistores es obtener una señal amplificada en un nodo llamado “*de salida*” a partir de una señal de entrada, aplicada en otro nodo llamado “*de entrada*”. Ocurre que, en general, estas señales son lo que se conocen como “pequeñas señales” o perturbaciones respecto del punto de operación. En otras palabras, en muchos casos típicos es necesario fijar primero el punto de operación del circuito y, posteriormente, estudiar el efecto de una perturbación aplicada a la entrada.

El punto de operación del sistema no puede ser cualquiera ya que nos interesa que se cumpla una serie de requisitos. Así, por ejemplo, **hay que tener cuidado con que el transistor que sea el núcleo de nuestro amplificador se encuentre en zona activa directa, si es BJT, o en saturación si es FET**. Aparte de éste, los requisitos que se deben cumplir son los siguientes:

1. **Aprovechamiento máximo de las alimentaciones:** En muchos casos, la salida de un amplificador suele ser el colector si consta de un BJT o el drenador si es un FET. A veces, es una tensión diferencial entre colector-emisor o drenador-fuente. Ocurre que, si tenemos un circuito alimentado por una única alimentación V_{CC} , nos interesa que la tensión de continua en la salida sea la mitad de esta tensión, es decir, $\frac{V_{CC}}{2}$. ¿Por qué? Imaginemos que tenemos la tensión DC de la salida es un valor cualquiera, $V_{O,Q}$. A esta tensión, habrá que añadirle la perturbación de tal modo que la salida se convierte en $V_{O,Q} + v_o(t)$. Puesto que no podemos sobrepasar las tensiones de alimentación, se debe cumplir que $0 < V_{O,Q} + v_o(t) < V_{CC}$. Es fácil demostrar entonces que el valor máximo de la perturbación en la salida es

$$|v_o(t)| < \min(V_{O,Q}, V_{CC} - V_{O,Q})$$

siendo este valor máximo cuando $V_{O,Q} = \frac{V_{CC}}{2}$. En otras palabras, si llevamos el punto de operación demasiado arriba, se producirá una saturación positiva temprana. Si es muy abajo, será saturación negativa. Solo al polarizar en el punto medio se consigue el máximo rango posible en la tensión de salida.

2. **Ganancia e impedancias de entrada y salida:** En general, se intenta que la ganancia sea la máxima posible, que no dependa de la carga aplicada y que las impedancias de entrada y salida sean las apropiadas para los requerimientos del circuito.
3. **Consumo:** En caso de querer minimizar el consumo de potencia hay que reducir las corrientes que polarizan los elementos del circuito.
4. **Estabilidad:** Es interesante que el circuito sea todo lo inmune que se pueda a variaciones de, por ejemplo, la temperatura, la tensión de alimentación, etc.

3.1.2. Técnicas de polarización

Existen dos líneas más o menos definidas para polarizar circuitos amplificadores. En primer lugar, es posible fijar el punto de operación utilizando resistencias. Esta técnica suele emplearse en diseños con transistores discretos. Por otra parte, es posible crear fuentes de corriente que polaricen el circuito de turn, técnica que se suele utilizar en los circuitos integrados.

Sin embargo, siempre es posible utilizar una técnica en lo que sería el campo del otro o, por ejemplo, realizar una combinación de ellas.

¿Cómo se introduce la señal de entrada, que es una perturbación sin alterar el punto de operación? Realmente, hay varias formas que se verán con más detalle en los próximos temas. En algunos casos, se utilizan condensadores de desacoplo que aíslan el núcleo del circuito haciendo que solo entren las señales de frecuencias medias. En otros casos, se realiza una superposición de ambas señales de manera simple y directa. Finalmente, en otros circuitos como los amplificadores diferenciales, se reserva una entrada como realimentación para estabilizar el punto de operación.

3.2. Redes de polarización resistivas

Estas redes se caracterizan por tener un transistor en zona activa directa (BJT) o saturación (FET) con un conjunto de resistencias que fijan y estabilizan el punto de operación. En general, pueden usarse con alimentación bipolar o unipolar. Por simplicidad, consideraremos que hay solo una fuente de alimentación y que la otra es, simplemente, tierra.

3.2.1. Red simple

Esta red consta, básicamente, de un transistor polarizado por dos resistencias y dos fuentes externas. En general, el terminal de emisor/fuente se conecta a tierra o a la alimentación positiva

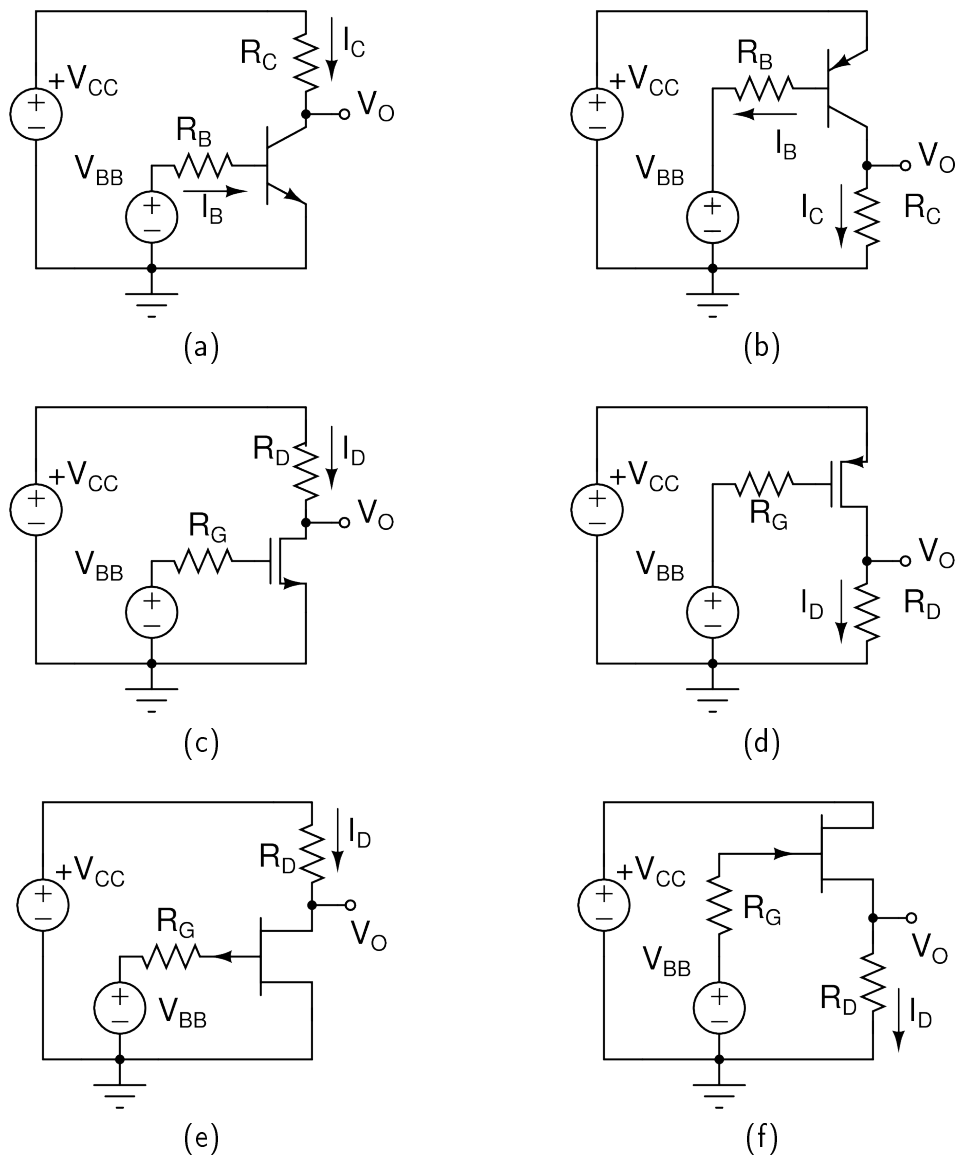


Figura 3.1: Distintas redes simples de polarización de transistores. Los transistores son bipolares tipo NPN (a), PNP (b), MOSFET de canal N o NMOS (c), de canal P o PMOS (d), y JFET de canal P (e) y de canal N (f).

dependiendo del carácter del transistor y el colector/drenador a la alimentación positiva o tierra a través de una resistencia, según cual sea la conexión de emisor/fuente. El terminal de base/puerta se polariza con otra fuente de tensión independiente protegida por una resistencia. Las distintas configuraciones posibles se muestran en Fig. 3.1.

En primer lugar, estudiemos la red de polarización simple con transistor NPN, que es el primer dibujo de Fig. 3.1. En este caso, y recordando que $V_{CE} = V_O$, se cumple que:

$$\begin{aligned} V_{CC} &= V_{CE} + R_C \cdot I_C \\ V_{BB} &= V_{BE} + R_B \cdot I_B \end{aligned} \quad (3.1)$$

Recordemos que el transistor NPN se supone en zona activa directa en donde¹ $I_C = \beta_F \cdot I_B$ y $V_{BE} = V_\gamma \approx 0,7 V$. En estas circunstancias, se deduce que:

$$\begin{aligned} I_B &= \frac{V_{BB} - V_\gamma}{R_B} \\ I_C &= \beta_F \cdot \frac{V_{BB} - V_\gamma}{R_B} \\ V_{CE} = V_O &= V_{CC} - \beta_F \cdot \frac{R_C}{R_B} \cdot (V_{BB} - V_\gamma) \end{aligned} \quad (3.2)$$

Es necesario que, por un lado, $V_{CE} > 0,2 V$, hecho que impone una restricción a los posibles valores de las alimentaciones V_{CC} y V_{BB} . Por otro lado, se debe cumplir que $V_O = \frac{V_{CC}}{2}$. Este hecho impone una condición de ligadura a la hora de elegir los posibles valores de las resistencias a partir de los valores de las fuentes de alimentación.

Un conjunto de ecuaciones similares puede obtenerse para el transistor PNP mostrado en Fig. 3.1b. Así, utilizando el criterio de corriente comúnmente usado en estos apuntes, con una corriente de emisor entrante y las otras salientes, las ecuaciones de malla que se plantearían son:

$$\begin{aligned} V_{CC} &= V_{EC} + R_C \cdot I_C \\ V_{CC} &= V_{BB} + V_{EB} + R_B \cdot I_B \end{aligned} \quad (3.3)$$

Cuya solución es:

$$\begin{aligned} I_B &= \frac{V_{CC} - V_{BB} - V_\gamma}{R_B} \\ I_C &= \beta_F \cdot \frac{V_{CC} - V_{BB} - V_\gamma}{R_B} \\ V_{EC} = V_O &= V_{CC} - \beta_F \cdot \frac{R_C}{R_B} \cdot (V_{CC} - V_{BB} - V_\gamma) \end{aligned} \quad (3.4)$$

En cambio, en los transistores FET las ecuaciones son mucho más sencillas aunque, lamentablemente, son no lineales. Así, por ejemplo, en el caso del transistor NMOS, supuesto en saturación, se deduce que:

$$I_{DS} = \frac{V_{CC} - V_O}{R_D} = \beta_N \cdot (V_{BB} - V_{TH,N})^2 \quad (3.5)$$

y si es un PMOS:

$$I_{DS} = \frac{V_O}{R_D} = \beta_P \cdot (V_{BB} - V_{CC} - V_{TH,P})^2 \quad (3.6)$$

En un transistor JFET, las ecuaciones son similares tomando la tensión de *pinch-off* en lugar de la tensión umbral.

¹En realidad, $I_C = h_{FE} \cdot I_B$ aunque, por comodidad, haremos la identificación $h_{FE} \equiv \beta_F$ para hacer más legibles las largas deducciones matemáticas del Apartado 3.2. Más adelante, se volverá a esta notación, más correcta. No se identificará este parámetro con h_{fe} sino que, si fuera necesario, se hará $h_{FE} \approx h_{fe}$ cuando esto conduzca a una simplificación ventajosa de las ecuaciones que se hayan derivado. Un ejemplo es el paso de Eq. 3.37 a 3.38.

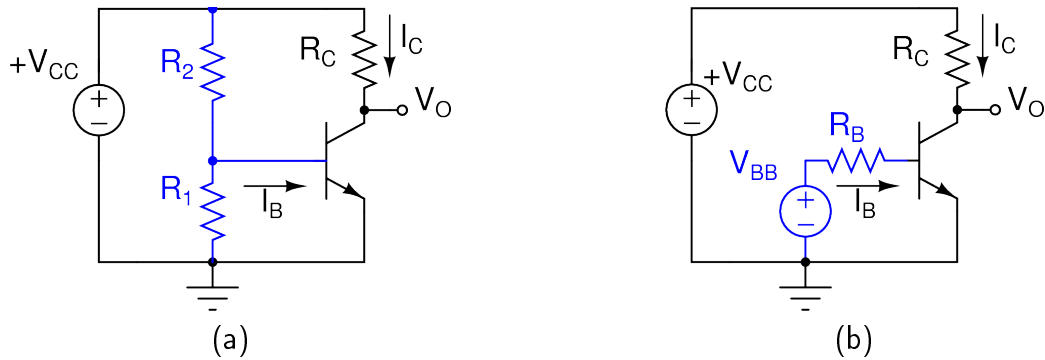


Figura 3.2: Polarización de un transistor con una única fuente y dos resistencias (a). Asimismo, su equivalente Thévenin (b).

3.2.2. Red simple con una única alimentación

Tal y como se muestran las redes de Fig. 3.1, se plantea una pregunta crucial... ¿Por qué se ha añadido una resistencia en serie con la puerta de los FET? Dado que la impedancia de entrada del transistor es infinita, ¿tiene sentido añadir dicha resistencia? Asimismo, podemos ver que existe un problema de diseño: De acuerdo con los dibujos, se necesitan dos fuentes independientes², V_{CC} y V_{BB} . En la mayor parte de los casos, se intenta disponer del menor número posible de fuentes de alimentación.

¿Cómo se soluciona esto? Simplemente, utilizando un divisor de tensiones entre la alimentación positiva y tierra (o la alimentación negativa, según el deseo del diseñador) formado por dos resistencias. En el nudo de unión, se conecta la base/puerta del transistor, tal y como muestra Fig. 3.2a para un transistor NPN.

Se puede demostrar fácilmente que el conjunto formado por las dos resistencias y la fuente de alimentación tiene como equivalente Thévenin el mostrado en Fig. 3.2b, teniendo en cuenta que:

$$R_B = (R_1 // R_2) \quad (3.7)$$

$$V_{BB} = \frac{R_2}{R_1 + R_2} \cdot V_{CC} \quad (3.8)$$

De este modo, se puede determinar el valor de las resistencias a partir de V_{CC} y, una vez calculado, el valor de I_B . En el caso de los MOSFET, el valor de V_{BB} es el de la tensión de puerta que nos fija el punto de operación deseado. No tiene sentido, lógicamente, hablar de I_G con lo que solo se cuenta con una ecuación para calcular dos parámetros. Sin embargo, como veremos en temas posteriores, el valor de R_B está estrechamente relacionado con la impedancia de entrada del amplificador basado en esta red de polarización. El valor de esta impedancia se podrá utilizar para determinar, finalmente, los valores de las resistencias. Como se ha dicho, los detalles se darán en temas posteriores.

²En caso de alimentación bipolar, las alimentaciones serían *tres* pues hay que contar con $-V_{CC}$.

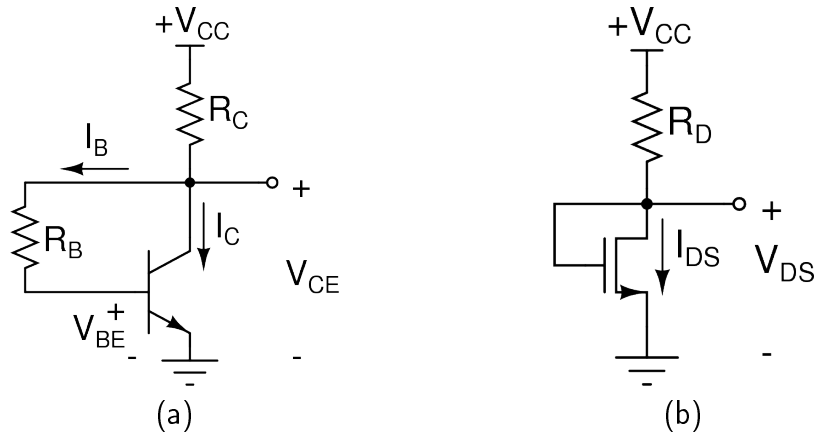


Figura 3.3: Redes con realimentación colector-base (a) y drenador-puerta (b).

3.2.3. Red con realimentación colector-base (drenador-puerta)

Otro tipo de red polarizable con una única fuente de alimentación es la llamada “red con realimentación colector-base”, en el caso de los BJT, o “con realimentación drenador-puerta”, en el caso de los MOSFET. Ejemplos de ellas, con transistores NPN y NMOS se muestran en Fig. 3.3.

El estudio de estas redes es sencillo. En primer lugar, es fácilmente demostrable que la red basada en BJT está en zona activa directa y en saturación la basada en MOS. Así, en el caso de la red con BJT, excluida por imposibles las situaciones de corte y zona activa inversa, se puede ver que la tensión colector-base debe ser mayor que 0 pues la corriente I_B fluye del nudo de colector a la base. Como $V_{CE} = V_{CB} + V_{BE} = V_{CB} + V_\gamma \approx 0,7V + V_{CB}$, se deduce que $V_{CE} > 0,2V \approx V_{SAT}$. En el caso del NMOS, la demostración es incluso más sencilla, pues $V_{DS} = V_{GS} > V_{GS} - V_{TH,N}$ ya que, en un NMOS, $V_{TH,N} > 0^3$.

En el caso del NPN, se puede deducir fácilmente el siguiente conjunto de ecuaciones:

$$\begin{aligned} \frac{V_{CC} - V_{CE}}{R_C} &= I_B + I_C \\ V_{CE} &= V_{BE} + R_B \cdot I_B \end{aligned} \quad (3.9)$$

Y teniendo en cuenta que estamos en ZAD, $V_{BE} = V_\gamma$ e $I_C = \beta_F \cdot I_B$ con lo que:

$$\begin{aligned} I_C &= \frac{\beta_F}{R_B + R_C \cdot (\beta_F + 1)} \cdot (V_{CC} - V_\gamma) \\ V_{CE} &= \frac{V_{CC} + \frac{R_C}{R_B} \cdot (\beta_F + 1) \cdot V_\gamma}{1 + \frac{R_C}{R_B} \cdot (\beta_F + 1)} \end{aligned} \quad (3.10)$$

Recordemos que, en general, tenemos dos parámetros ajustables, que son las resistencias ya que las características del transistor no son constantes pero no son controlables por el diseñador⁴. ¿Cómo

³Aunque esto no es siempre cierto. En ambientes aeroespaciales, un gran problema es que la tensión umbral de los NMOS puede hacerse negativa.

⁴Recordemos que el valor de una resistencia puede variarse a voluntad como, por ejemplo, usando un potenció-

seleccionamos el valor de estas resistencias? En primer lugar, debe aplicarse la condición de ligadura, $V_{CE} = \frac{V_{CC}}{2}$. Esto hace que solo exista un grado de libertad y que, una vez elegido un valor de resistencia, el otro se deduzca de modo inmediato. Es necesaria, por tanto, una nueva condición como el consumo, la impedancia de entrada o de salida del amplificador final, o su comportamiento en frecuencia, para fijar definitivamente el valor de las resistencias.

En el caso del NMOS, las ecuaciones son aún más sencillas pues no existe flujo de corriente en la puerta del transistor. Así:

$$I_{DS} = \frac{V_{CC} - V_{DS}}{R_D} = \beta \cdot (V_{DS} - V_{TH,N})^2 \quad (3.11)$$

Que es una ecuación cuadrática resoluble de un modo sencillo. En este caso, solo hay un grado de libertad, R_D , que se obtiene a partir de la condición $V_{DS} = \frac{V_{CC}}{2}$, que convierte Eq. 3.11 en:

$$\frac{V_{CC}}{2 \cdot R_D} = \beta \cdot \left(\frac{V_{CC}}{2} - V_{TH,N} \right)^2 \quad (3.12)$$

El valor de I_{DS} solo se podría tocar variando el valor de la tensión de alimentación o modificando las dimensiones del transistor para cambiar el valor de $\beta = \frac{1}{2} \cdot \frac{W}{L} \cdot K_P$. Esto se puede hacer solo en el caso de que estemos diseñando un circuito integrado, donde se dispone de control sobre las características del dispositivo.

En cualquier caso, estas redes solo tienen interés desde el punto de vista académico para mostrar los efectos de la realimentación en la estabilidad del punto de operación. En apartados posteriores, se discutirá el problema de la sensibilidad, que es donde esta red adquiere interés pues tiene una estabilidad intermedia entre la red simple y la red con degeneración de emisor/fuente, que se verá a continuación, y que se emplea mucho más en el diseño de amplificadores con componentes discretos.

3.2.4. Red con degeneración de emisor/fuente

Esta red es muy parecida a la red simple, descrita en Figs. 3.1 y 3.2, con la diferencia de que el emisor del BJT o la fuente del FET no está unido a una tensión constante de modo directo sino a través de una resistencia adicional, R_E o R_S . Esto aporta grandes ventajas como que, por ejemplo, se alcanza una gran estabilidad del punto de operación. Fig. 3.4 muestra como se pueden construir las distintas redes con una única fuente de alimentación. Evidentemente, estas redes pueden simplificarse con el equivalente Thévenin de $+V_{CC}$, R_1 y R_2 , como se muestra en Fig. 3.5. Recordemos que, en este caso, los valores de la fuente V_{BB} y la resistencia R_B se calculan a partir de Eq. 3.7 y 3.8.

En el caso de la red con degeneración de emisor, las ecuaciones de malla que se plantean son las siguientes:

$$V_{CC} = R_C \cdot I_C + V_{CE} + R_E \cdot I_E$$

metro. En cambio, aún no se ha inventado un transistor de ganancia en corriente ajustable.

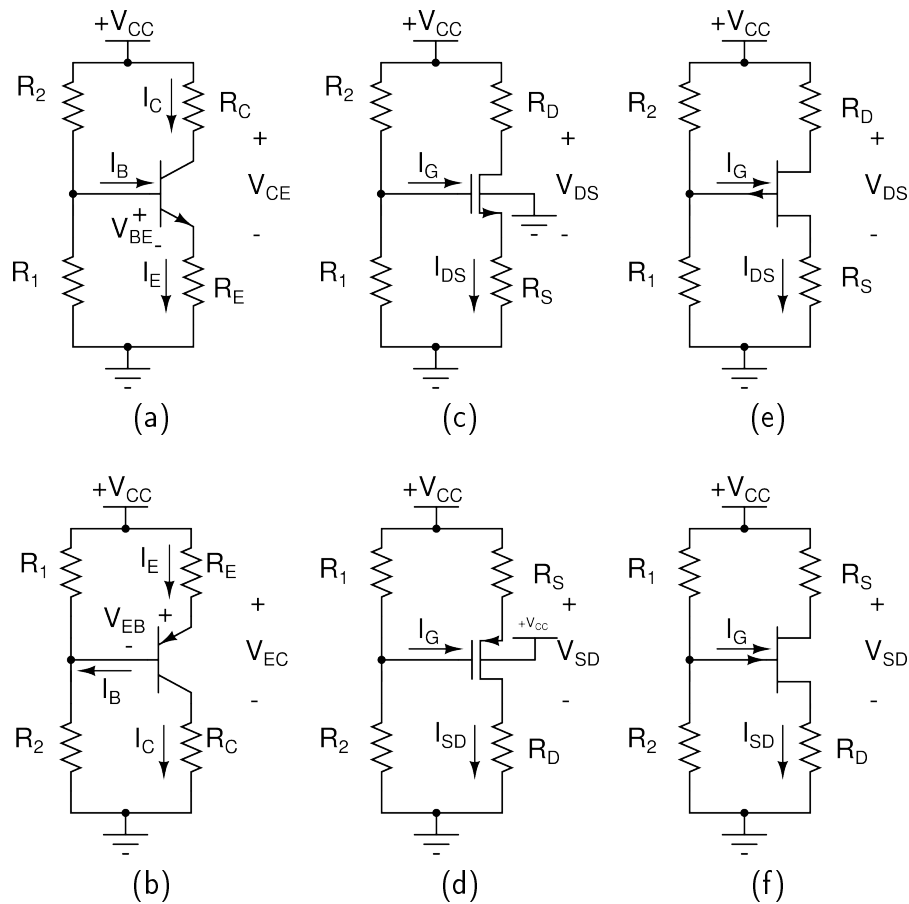


Figura 3.4: Distintas redes de polarización de transistores con degeneración. Si los transistores son BJT, como (a) y (b), la red es “de degeneración de emisor”. Si son FET, tanto MOSFET como JFET (c)-(f), la red es “de degeneración de fuente”. En el caso de los transistores MOS, se ha supuesto que el sustrato está unido a una tensión constante y extrema aunque podría estar unido a la fuente.

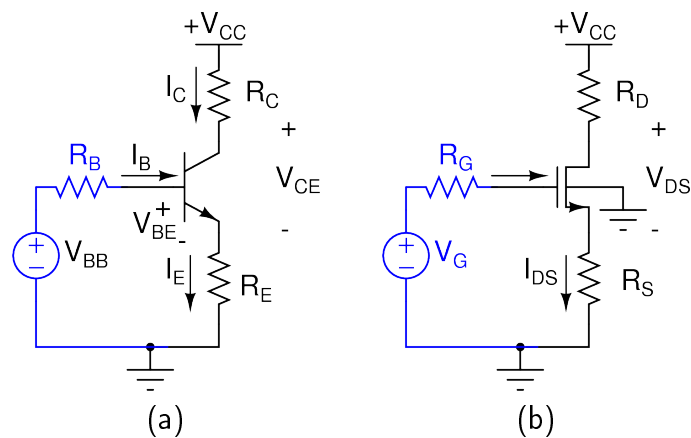


Figura 3.5: Red simplificada con degeneración de emisor en un NPN (a) o un NMOS (b). La fuente V_{BB} (V_G) y la resistencia R_B (R_G) pueden ser reales o, simplemente, una simplificación de Fig. 3.4.

$$V_{BB} = R_B \cdot I_B + V_{BE} + R_E \cdot I_E \quad (3.13)$$

Teniendo en cuenta que el transistor está en zona activa directa, se cumple que $I_C = \beta_F \cdot I_B$, $I_E = (\beta_F + 1) \cdot I_B$ y $V_{BE} = V_\gamma$. De este modo, podría calcularse el punto de operación. Si queremos proceder a la inversa, es decir, calcular los valores de las resistencias, se suele proceder como sigue:

1. Se debe fijar $V_{CE} = \frac{V_{CC}}{2}$ para optimizar el rango de trabajo del futuro amplificador.
2. $I_C = \frac{V_{CC} - V_{CE}}{R_C + R_E}$ suele ser un parámetro definido en el amplificador final ya que, por ejemplo, es la componente principal de consumo en estática, está relacionada con la impedancia de salida, etc.
3. El valor de R_E suele ser la décima parte de R_C aunque esta condición no es obligatoria.
4. El cálculo de R_1 y R_2 requiere especial atención. En principio, deberían calcularse a partir de Eq. 3.7-3.8 pero, para ello, es necesario conocer de manera exacta los valores de V_{BB} y R_B . Lamentablemente, con los datos en la mano, solo es posible hallar una relación del tipo $V_{BB} - R_B \cdot I_B = R_E \cdot I_E + V_{BE}$ por lo que es necesario encontrar otra ecuación para completar el sistema de ecuaciones. A veces, se utiliza como argumento el consumo de la red. En otros casos, sin embargo, se puede demostrar que R_B está directamente relacionada con la impedancia de entrada del amplificador final. Por ello, se suele indicar el valor elegido de impedancia de entrada y usarlo para calcular este parámetro.

En el caso de los transistores FET, las ecuaciones son aún más sencillas. Así, en un NMOS, las ecuaciones que gobiernan el comportamiento son:

$$V_{CC} = V_{DS} + (R_D + R_S) \cdot I_{DS}$$

$$V_G = \frac{R_1}{R_1 + R_2} \cdot V_{CC}$$

$$I_{DS} = \beta \cdot (V_{GS} - V_T)^2 = \beta \cdot (V_G - R_S \cdot I_{DS} - V_T)^2 \quad (3.14)$$

Conociendo la alimentación, las resistencias y las características del transistor, puede calcularse el punto de operación. Con leves variaciones, estas ecuaciones pueden aplicarse a los PMOS y JFET, teniendo en cuenta que, en estos, la tensión de *pinch-off* reemplaza a la tensión umbral. Asimismo, recordemos que, en esta estructura, la tensión de fuente NO es constante. Por tanto, la tensión umbral del MOSFET, que no del JFET, puede cambiar debido al efecto sustrato. Esto se corregiría uniendo el sustrato con la fuente aunque, lamentablemente, se introducen nuevas capacidades que afectan al comportamiento en frecuencia de la red.

En caso de querer recorrer el camino inverso y partir de un punto de operación y buscar las resistencias debe tenerse en cuenta que:

1. En general, $V_{DS} = \frac{1}{2} \cdot V_{CC}$. Esto implica que $(R_D + R_S) \cdot I_{DS} = V_{CC} - V_{DS} = \frac{1}{2} \cdot V_{CC}$.
2. Por otra parte, es costumbre común hacer $R_S = \frac{1}{10} \cdot R_D$.
3. El valor de V_G puede deducirse a partir de Eq. 3.14. Debe tenerse en cuenta que la ecuación cuadrática tiene dos soluciones por lo que hay que escoger de ellas aquella que haga $V_{GS} > V_{TH,N}$ en los NMOS, $V_{GS} < V_{TH,P}$ en los PMOS y $0 > V_{GS} > V_P$ en los NJFET y $0 < V_{GS} < V_P$ en los PJFET. Posteriormente, recordemos que $V_G = \frac{R_1}{R_1 + R_2} \cdot V_{CC}$ con lo que aparece un nexo que vincula los valores de R_1 y R_2 .
4. El segundo nexo debe imponerse de otro modo. En general, se debe recurrir al consumo o a la impedancia de entrada deseada del amplificador final, que suele ser equivalente a R_G .

Con todas estas instrucciones, es posible crear una red con el punto de operación deseado. Sin embargo, hay que recordar que los cálculos se realizan a partir de modelos de transistor simplificados por lo que hay que verificar los resultados mediante simulaciones o, mejor aún, construyendo el circuito con elementos reales.

3.3. Sensibilidad

Todos los circuitos electrónicos están sujetos a vaivenes en los valores de sus parámetros internos que acaban afectando al punto de operación. Así, cualquier circuito puede estar sometido a variaciones térmicas, que cambian las características de los dispositivos, a variaciones de las tensiones de alimentación o, simplemente, a la propia tolerancia de los componentes. En efecto, a la hora de construir varias versiones de un mismo circuito, el valor de cada componente gemelo cambia de un circuito a otro por la simple incertidumbre de la tolerancia. Así, recordemos que una resistencia de valor nominal R con una tolerancia del $k\%$ puede tener un valor real entre $\frac{100 \pm k}{100} \cdot R$. Otros parámetros, como la ganancia de los transistores, pueden presentar un rango de variación incluso más alto. Por ello, un buen diseñador de circuitos debe estar preparado para afrontar estas variaciones inevitables.

3.3.1. Definición matemática de sensibilidad

Para medir la estabilidad de un circuito ante un determinado parámetro, se recurre a un concepto llamado “sensibilidad”. En general, se denomina *sensibilidad de una magnitud F frente a un parámetro X_k* a:

$$S_{X_k}^F = \left\| \frac{\partial F}{\partial X_k} \right\|_Q \quad (3.15)$$

¿Qué es cada cosa? En general, la magnitud F es cualquier parámetro que interviene en el punto de operación: Tensión de salida, corriente de alimentación, etc. El parámetro X_k sería o bien

cualquiera de las resistencias o bien los parámetros internos de los dispositivos electrónicos como la ganancia, tensiones Early o coeficientes de modulación de canal, etc, o cualquier otro parámetro adicional como la tensión de alimentación, la temperatura, etc. Evidentemente, las sensibilidades cambian de un modelo a otro de un mismo transistor. Así, en un modelo simple del NPN tiene sentido definir la sensibilidad de la corriente de colector frente a la tensión de codo en la unión BE. Sin embargo, en un modelo SPICE completo, esto carece de fundamento ya que, en este modelo, no existe un parámetro llamado V_γ .

3.3.2. Sensibilidad en redes basadas en un NPN

Como ejemplo, se van a calcular las sensibilidades de la tensión colector-emisor en las distintas redes basadas en un NPN. Asimismo, se realizará una estimación matemática con valores realistas de los distintos parámetros.

3.3.2.1. Red simple

Suponiendo que tenemos una red como la de Fig. 3.2a, puede demostrarse que:

$$V_{CE} = V_{CC} - R_C \cdot I_C = V_{CC} - \beta_F \cdot R_C \cdot I_B = V_{CC} - \beta_F \cdot R_C \cdot \frac{V_{BB} - V_\gamma}{R_B}$$

pero los valores de R_B y V_{BB} son conocidos:

$$V_{CE} = V_{CC} - \beta_F \cdot R_C \cdot \frac{V_{BB} - V_\gamma}{R_B} = V_{CC} - \beta_F \cdot R_C \cdot \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \cdot \left(\frac{R_1}{R_1 + R_2} \cdot V_{CC} - V_\gamma \right)$$

De aquí, pueden obtenerse las sensibilidades. Hay, en total, seis parámetros distintos pero solo vamos a centrarnos en la alimentación, V_{CC} , en la ganancia, β_F y en la resistencia de colector, R_C :

$$S_{V_{CC}}^{V_{CE}} = \left\| \frac{\partial V_{CE}}{\partial V_{CC}} \right\| = \left| 1 - \beta_F \cdot R_C \cdot \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \cdot \left(\frac{R_1}{R_1 + R_2} \right) \right| = \left| 1 - \beta_F \cdot \frac{R_C}{R_2} \right|$$

$$S_{\beta_F}^{V_{CE}} = \left\| \frac{\partial V_{CE}}{\partial \beta_F} \right\| = \left| -R_C \cdot \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \cdot \left(\frac{R_1}{R_1 + R_2} \cdot V_{CC} - V_\gamma \right) \right|$$

$$S_{R_C}^{V_{CE}} = \left\| \frac{\partial V_{CE}}{\partial R_C} \right\| = \left| -\beta_F \cdot \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \cdot \left(\frac{R_1}{R_1 + R_2} \cdot V_{CC} - V_\gamma \right) \right|$$

Suponiendo que $V_\gamma = 0,7 V$, $V_{CC} = 10 V$, que $I_C = 1 mA$ y que $\beta_F = 100$, puede deducirse que los valores $R_C = 5 k\Omega$, $R_1 = 10 k\Omega$ y $R_2 = 116,25 k\Omega$ conducen a una tensión de salida de $5 V$. Los valores de la sensibilidad son:

$$S_{V_{CC}}^{V_{CE}} = \left\| \frac{\partial V_{CE}}{\partial V_{CC}} \right\| = \left| 1 - \beta_F \cdot \frac{R_C}{R_2} \right| = \left| 1 - 100 \cdot \frac{5}{116,25} \right| = 3,30 \frac{V}{V}$$

$$\begin{aligned}
S_{\beta_F}^{V_{CE}} &= \left\| \frac{\partial V_{CE}}{\partial \beta_F} \right\| = \left| -R_C \cdot \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \cdot \left(\frac{R_1}{R_1 + R_2} \cdot V_{CC} - V_\gamma \right) \right| = \\
&= \left| -5 \cdot \left(\frac{1}{10} + \frac{1}{116,25} \right) \cdot \left(\frac{10}{10 + 116,25} \cdot 10 - 0,7 \right) \right| = 0,05 \frac{V}{\square} \\
S_{R_C}^{V_{CE}} &= \left\| \frac{\partial V_{CE}}{\partial R_C} \right\| = \left| -\beta_F \cdot \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \cdot \left(\frac{R_1}{R_1 + R_2} \cdot V_{CC} - V_\gamma \right) \right| = 1 \frac{V}{k\Omega}
\end{aligned}$$

¿Qué significan estos valores? Simplemente, que si se produce una variación de un voltio en V_{CC} , se produce una variación de $3,3V$ en la tensión colector-emisor. O que, si la ganancia en corriente aumenta una unidad, la tensión de salida cambia $50mV$.

3.3.2.2. Red con realimentación colector-emisor

Esta red se describe en Fig. 3.3a y se puede demostrar que, en el nudo de colector:

$$\frac{V_{CC} - V_{CE}}{R_C} = I_B + I_C = (\beta_F + 1) \cdot I_B$$

Pero es inmediato que $I_B = \frac{V_{CE} - V_{BE}}{R_B} = \frac{V_{CE} - V_\gamma}{R_B}$ con lo que:

$$\frac{V_{CC} - V_{CE}}{R_C} = (\beta_F + 1) \cdot \frac{V_{CE} - V_\gamma}{R_B}$$

Ahora, podríamos despejar el valor de V_{CE} y calcular las sensibilidades. Sin embargo, vamos a utilizar un método distinto. En lugar de despejar esta tensión y hacer derivadas parciales, realizaremos la derivada y despejaremos. Así, para calcular la sensibilidad frente a la tensión de alimentación:

$$\begin{aligned}
\frac{\partial}{\partial V_{CC}} \left[\frac{V_{CC} - V_{CE}}{R_C} \right] &= \frac{\partial}{\partial V_{CC}} \left[(\beta_F + 1) \cdot \frac{V_{CE} - V_\gamma}{R_B} \right] \\
\frac{1}{R_C} - \frac{1}{R_C} \cdot \frac{\partial V_{CE}}{\partial V_{CC}} &= \frac{\beta_F + 1}{R_B} \cdot \frac{\partial V_{CE}}{\partial V_{CC}}
\end{aligned}$$

Con lo que:

$$\frac{\partial V_{CE}}{\partial V_{CC}} = \frac{R_B}{R_B + (\beta_F + 1) \cdot R_C} = S_{V_{CC}}^{V_{CE}}$$

Pues todos los términos son positivos. Análogamente:

$$\frac{\partial}{\partial \beta_F} \left[\frac{V_{CC} - V_{CE}}{R_C} \right] = \frac{\partial}{\partial \beta_F} \left[(\beta_F + 1) \cdot \frac{V_{CE} - V_\gamma}{R_B} \right]$$

Trabajando miembro a miembro:

$$\begin{aligned}
\frac{\partial}{\partial \beta_F} \left[\frac{V_{CC} - V_{CE}}{R_C} \right] &= -\frac{1}{R_C} \cdot \frac{\partial V_{CE}}{\partial \beta_F} \\
\frac{\partial}{\partial \beta_F} \left[(\beta_F + 1) \cdot \frac{V_{CE} - V_\gamma}{R_B} \right] &= \frac{V_{CE} - V_\gamma}{R_B} + \frac{\beta_F + 1}{R_B} \cdot \frac{\partial V_{CE}}{\partial \beta_F}
\end{aligned}$$

con lo que:

$$\frac{\partial V_{CE}}{\partial \beta_F} = -\frac{R_C \cdot (V_{CE} - V_\gamma)}{R_B + R_C \cdot (\beta_F + 1)} \Rightarrow S_{\beta_F}^{V_{CE}} = \frac{R_C \cdot (V_{CE} - V_\gamma)}{R_B + R_C \cdot (\beta_F + 1)}$$

Finalmente, realizando unos cálculos similares calculamos la sensibilidad frente a R_C :

$$\frac{\partial}{\partial R_C} \left[\frac{V_{CC} - V_{CE}}{R_C} \right] = \frac{\partial}{\partial R_C} \left[(\beta_F + 1) \cdot \frac{V_{CE} - V_\gamma}{R_B} \right]$$

Recordemos que, en el miembro de la izquierda, se debe aplicar la fórmula de la derivada de un cociente:

$$\frac{\partial}{\partial R_C} \left[\frac{V_{CC} - V_{CE}}{R_C} \right] = \frac{-R_C \cdot \frac{\partial V_{CE}}{\partial R_C} - (V_{CC} - V_{CE})}{R_C^2}$$

$$\frac{\partial}{\partial R_C} \left[(\beta_F + 1) \cdot \frac{V_{CE} - V_\gamma}{R_B} \right] = \frac{\beta_F + 1}{R_B} \cdot \frac{\partial V_{CE}}{\partial R_C}$$

Igualando términos y recolocando el denominador del primero:

$$-R_C \cdot \frac{\partial V_{CE}}{\partial R_C} - (V_{CC} - V_{CE}) = (\beta_F + 1) \cdot \frac{R_C^2}{R_B} \cdot \frac{\partial V_{CE}}{\partial R_C}$$

de lo que se deduce que:

$$\begin{aligned} \frac{\partial V_{CE}}{\partial R_C} &= \frac{R_B}{R_C \cdot (R_B + R_C \cdot (\beta_F + 1))} \cdot (V_{CC} - V_{CE}) \\ \Rightarrow S_{R_C}^{V_{CE}} &= \left\| \frac{\partial V_{CE}}{\partial R_C} \right\|_Q = \frac{R_B \cdot (V_{CC} - V_{CE})}{R_C \cdot (R_B + R_C \cdot (\beta_F + 1))} \end{aligned}$$

Supongamos que, como en la sección anterior, contamos con una alimentación de 10 V y un transistor con ganancia $\beta_F = 100$. En estas circunstancias, si se elige una resistencia de colector de $5\text{ k}\Omega$ y una resistencia de base de $434,3\text{ k}\Omega$, se obtiene una tensión colector-emisor de 5 V y una corriente de colector de valor $990,1\text{ }\mu\text{A}$. Así, las distintas sensibilidades serían:

$$S_{V_{CC}}^{V_{CE}} = \left| \frac{R_B}{R_B + (\beta_F + 1) \cdot R_C} \right| = \frac{434,3}{434,3 + 101 \cdot 5} = 0,462 \frac{\text{V}}{\text{V}}$$

$$S_{\beta_F}^{V_{CE}} = \frac{R_C \cdot (V_{CE} - V_\gamma)}{R_B + R_C \cdot (\beta_F + 1)} = \frac{5 \cdot (5 - 0,7)}{434,3 + 5 \cdot (100 + 1)} = 2,29 \cdot 10^{-2} \frac{\text{V}}{\square}$$

$$S_{R_C}^{V_{CE}} = \frac{R_B \cdot (V_{CC} - V_{CE})}{R_C \cdot (R_B + R_C \cdot (\beta_F + 1))} = \frac{434,3 \cdot (10 - 5)}{5 \cdot (434,3 + 5 \cdot (100 + 1))} = 0,462 \frac{\text{V}}{\text{k}\Omega}$$

Fijémonos que estos valores son inferiores a los de la red simple. El motivo es sencillo y tiene que ver con la realimentación. En apartados posteriores se discutirá este punto.

3.3.2.3. Red con degeneración de emisor

El cálculo de la tensión colector-emisor en esta estructura (Fig. 3.4a) es algo complejo aunque, tras una serie de cálculos, puede demostrarse que:

$$V_{CE} = V_{CC} - \frac{R_E \cdot (\beta_F + 1) + \beta_F \cdot R_C}{R_E \cdot (\beta_F + 1) + R_B} \cdot (V_{BB} - V_\gamma)$$

donde V_{BB} y R_B se calculan a partir de Eq. 3.7 y 3.8. En estas circunstancias, las sensibilidades serían:

$$S_{V_{CC}}^{V_{CE}} = \left| 1 - \frac{R_E \cdot (\beta_F + 1) + \beta_F \cdot R_C}{R_E \cdot (\beta_F + 1) + R_B} \cdot \frac{\partial V_{BB}}{\partial V_{CC}} \right| = \left| 1 - \frac{R_E \cdot (\beta_F + 1) + \beta_F \cdot R_C}{R_E \cdot (\beta_F + 1) + R_B} \cdot \frac{R_1}{R_1 + R_2} \right|$$

Asimismo:

$$S_{\beta_F}^{V_{CE}} = \left| - \frac{(R_E + R_C) \cdot (R_E \cdot (\beta_F + 1) + R_B) - R_E \cdot (R_E \cdot (\beta_F + 1) + \beta_F \cdot R_C)}{(R_E \cdot (\beta_F + 1) + R_B)^2} \cdot (V_{BB} - V_\gamma) \right|$$

$$S_{R_C}^{V_{CE}} = \left| - \frac{\beta_F}{R_E \cdot (\beta_F + 1) + R_B} \cdot (V_{BB} - V_\gamma) \right|$$

Aplicaremos ahora estas expresiones a un caso práctico. Así, en caso de construir una red con $V_{CC} = 10 \text{ V}$, $\beta_F = 100$, $R_C = 4,545 \text{ k}\Omega$, $R_E = 0,454 \text{ k}\Omega$, $R_1 = 10 \text{ k}\Omega$, y $R_2 = 70,5 \text{ k}\Omega$, se puede deducir que la corriente de colector es del orden de 1 mA y la tensión colector-emisor de 5 V . Con estos valores, y teniendo en cuenta que $R_B = R_1 // R_2 = 8,76 \text{ k}\Omega$:

$$S_{V_{CC}}^{V_{CE}} = \left| 1 - \frac{0,454 \cdot (100 + 1) + 100 \cdot 4,545}{0,454 \cdot (100 + 1) + 8,76} \cdot \frac{10}{10 + 70,5} \right| = 0,138 \frac{\text{V}}{\text{V}}$$

Además, como $V_{BB} = \frac{10}{10+70,5} \cdot 10 = 1,242 \text{ V}$, se deduce que:

$$\begin{aligned} S_{\beta_F}^{V_{CE}} &= \\ &= \left| - \frac{(0,454 + 4,545) \cdot (0,454 \cdot (100 + 1) + 8,76) - 0,454 \cdot (0,454 \cdot (100 + 1) + 100 \cdot 4,545)}{(0,454 \cdot (100 + 1) + 8,76)^2} \cdot (1,242 - 0,7) \right| = \\ &= 8,34 \cdot 10^{-3} \frac{\text{V}}{\square} \end{aligned}$$

$$S_{R_C}^{V_{CE}} = \left| - \frac{100}{0,454 \cdot (100 + 1) + 8,76} \cdot (1,242 - 0,7) \right| = 0,992 \frac{\text{V}}{\text{k}\Omega}$$

En general, esta red presenta ventajas importantes frente a las anteriores. Así, se observa que solo es derrotada por la red con realimentación colector-base en el caso de la sensibilidad de la salida frente a la resistencia de colector. Sin embargo, éste es un parámetro que no está sujeto, ni mucho menos, a las oscilaciones que se presentan en otros dispositivos. Así, por ejemplo, las resistencias pueden presentar, como máximo, una variación de 5 % en tanto que las alimentaciones pueden variar enormemente. O, por ejemplo, en el caso de la ganancia de los transistores, la variación puede ser ostensible. Tómese un transistor típico como el 2N222A cuya ganancia en corriente puede variar de 75 a 300 en las condiciones de trabajo de los ejemplos de acuerdo con las especificaciones del fabricante. Por ello, es recomendable utilizar configuraciones que minimicen la influencia de estos parámetros por lo que se suele utilizar la configuración con emisor degenerado a la hora de construir amplificadores con componentes discretos.

Si a eso añadimos que, en esta configuración, el punto de trabajo es menos sensible a variaciones térmicas se entiende aún más su popularidad entre los diseñadores. Finalmente, debe tenerse en cuenta que el circuito es tanto más estable cuanto mayor sea el valor de R_E . Sin embargo, la elección de un valor demasiado alto conlleva una disminución considerable de la ganancia del amplificador por construir. Análogamente, cuanto mayor sea el valor de R_B , menor es la sensibilidad del punto de operación. Hay que tener en cuenta, no obstante, que esta resistencia está relacionada con el valor de la impedancia de entrada. Por otra parte, cuanto mayores sean las resistencias, mayor es el ruido térmico introducido en el circuito y, finalmente, valores demasiado altos de resistencias limitan el valor de I_B pues ésta no debe ser mayor que $\frac{V_{CC}-V_B}{R_2} < \frac{V_{CC}}{R_2}$.

3.3.2.4. Sensibilidad y realimentación

Una pregunta que surge es el por qué el punto de operación es más estable en unas configuraciones que en otras. La respuesta viene de la mano de la realimentación. Imaginemos que nos encontramos con una red simple y, por algún motivo (cambio de transistor, fluctuaciones térmicas, ...) la ganancia β_F del transistor NPN aumenta en tanto que el resto de parámetros no cambia. Como la corriente de base ya viene determinada por las resistencias y la tensión de codo, la corriente de colector aumenta en proporción a la ganancia y ésto se refleja, directamente, en un descenso de la tensión colector-emisor.

¿Qué ocurre en la red con realimentación colector-base? Pues que un aumento de la ganancia en corriente⁵ redundará en un aumento inicial de la corriente de colector y esto conlleva un descenso del valor de la tensión de colector-emisor. Sin embargo, a diferencia de la red anterior, la secuencia de hechos no termina aquí pues la corriente de base está determinada por la tensión colector-emisor por medio de R_B . Así, si esta tensión disminuye, la corriente de base también lo hace. Esto conlleva que la corriente de colector disminuya y la tensión de colector-emisor aumente. En otras palabras, el sistema reacciona compensando parcialmente la disminución de la tensión colector-emisor. Esto

⁵Un razonamiento similar puede realizarse si la ganancia disminuye o si cambia otro parámetro. O, simplemente, si se utiliza un modelo más avanzado de los transistores.

no significa que el punto de operación sea indefinidamente estable sino que las variaciones de los parámetros se ven en cierto modo compensadas.

En el caso de la red con degeneración de emisor, un aumento de la ganancia en corriente implicaría un aumento de las corrientes de emisor y colector. Al aumentar la corriente de emisor, aumenta la tensión de éste y, por tanto, la tensión de base. Esto implica un aumento de la corriente que se escapa a través de R_1 y la disminución de la que proviene de R_2 . Por tanto, decrece la corriente de base provocando un rebote que baja la corriente de colector y la de emisor, manteniendo estable el punto de operación.

3.3.3. Sensibilidad en SPICE

Se ha visto que la deducción directa de las sensibilidades plantea ciertos problemas. En primer lugar, el cálculo de derivadas parciales puede ser laborioso y propenso a la comisión de errores. Por otro lado, se han usado modelos muy sencillos de los dispositivos electrónicos de modo que sería prácticamente imposible calcular las sensibilidades. Afortunadamente, SPICE proporciona elementos para calcular la sensibilidad frente a los parámetros internos del circuito por medio de la instrucción SENS. Al invocarla, el simulador calcula el punto de operación del circuito, cambia levemente un parámetro y recalcula las tensiones y corrientes del circuito. A partir de la diferencia de valores en los puntos de operación, puede determinar las sensibilidades. Este proceso se repite una y otra vez para todos los parámetros internos de los dispositivos que forman el circuito.

Por ejemplo, la sensibilidad de la tensión de colector en la red con emisor degenerado puede calcularse con SPICE usando el siguiente código:

```
*****
VCC alimpos 0      10V
R1  base      0      10k
R2  alimpos base 70.5k

RC alimpos colector 4.545k
RE emisor  0        0.454k

** El transistor se modela como una fuente
** de tension con una fuente de corriente
** controlada por corriente (FCE)

VBE base emisor 0.7V
FCE colector emisor VBE 100

.sens v(colector)
.end
```

Debe tenerse en cuenta que la sentencia SENS no está disponible en todos los dialectos de SPICE. Así, por ejemplo, a día de hoy LTSpice carece de ella a pesar de estar presente en la versión original de Berkeley SPICE 3f5. Por otra parte, esta instrucción SPICE puede combinarse con un barrido AC entre dos valores de frecuencia para conocer la sensibilidad de una corriente o tensión frente al resto de los parámetros a la frecuencia de trabajo del circuito y no solo en DC.

3.4. Polarización con fuentes de corriente

3.4.1. Algunas nociones sobre las fuentes y espejos de corriente

En los circuitos integrados, el punto de operación de los amplificadores no suele fijarse con resistencias. A fin de cuentas, integrar elementos resistivos exige mucho espacio y su coste es elevado si se desea una gran precisión pues, por ejemplo, es necesario emplear técnicas como el recortado por láser, muy costosas. Por ello, en estos dispositivos se suele recurrir a otra estrategia, que es el uso de fuentes de corriente.

Las fuentes de corriente ofrecen muchas ventajas. En primer lugar, el punto de operación de un transistor puede fijarse de manera más sencilla. En otros casos, dado que idealmente tienen una impedancia infinita, pueden conseguirse ganancias extremadamente elevadas cuando se usan como cargas en circuitos amplificadores.

El problema que se plantea, lógicamente, es cómo construir fuentes de corriente estables. A fin de cuentas, no hay un equivalente a las pilas o baterías DC para alimentar los circuitos. ¿Cómo se resuelve esto? Afortunadamente, existen configuraciones que proporcionan corriente de un modo más o menos independiente de las tensiones de alimentación, del valor de la resistencia de carga, etc. Ocurre que, en general, son estructuras con un buen número de transistores y, en los circuitos integrados, construir tantas fuentes tiene un coste elevado. Por ello, se han desarrollado algunas estructuras más sencillas capaces de reflejar en una rama la corriente que entra por la otra. Las primeras estructuras se llaman “fuentes primarias” y las segundas, “espejos de corriente”. En la mayor parte de los circuitos integrados, se suele crear una fuente de corriente estable que es reflejada hacia cada una de las etapas que componen el circuito.

Debe tenerse en cuenta, además, que en gran parte de los casos uno de los extremos de la fuente de corriente real debe ser alguna de las fuentes de alimentación. No suelen encontrarse fuentes que partan y acaben en cualesquiera nudos del circuito sino que uno de ellos es, como se dijo, alguna de las fuentes de alimentación.

3.4.2. Resistencia de salida

Toda fuente de corriente lleva asociada una resistencia parásita en paralelo que idealmente debería ser de valor infinito. Sin embargo, esto no es así. Para calcular su valor, pueden utilizarse

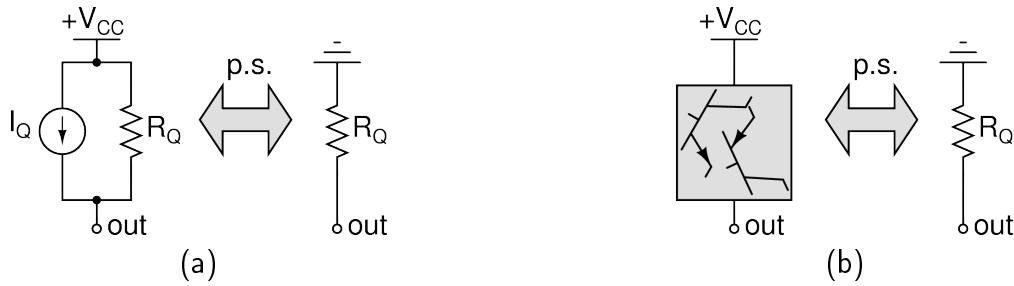


Figura 3.6: Fundamentos del cálculo de la resistencia de salida de una fuente a partir del modelo en pequeña señal de sus componentes. Sea como sea la fuente, al hacer el modelo en pequeña señal solo permanece la resistencia parásita.

varios métodos.

En primer lugar, se encuentra el método de inspección. Al analizar la estructura, podemos suponer que se produce una pequeña variación en la tensión de salida de la fuente y, tras inspeccionar el circuito, deducir cual ha sido el incremento de la corriente. Esto nos permite estimar el valor de la resistencia de salida. Buenos ejemplos de ello pueden encontrarse en los capítulos dedicados a los espejos de corriente de los libros de Gray y Sedra.

Otra opción, más exacta, consiste en utilizar el método del modelo en pequeña señal. Imaginemos que disponemos de una fuente que extrae una corriente de la alimentación positiva y que tiene una resistencia parásita en paralelo pues la fuente ideal se debe reemplazar por un abierto. Evidentemente, al obtener su modelo en pequeña señal, solo permanece esta resistencia (Fig. 3.6a). Ahora, imaginemos que esta fuente de corriente es, en realidad, un bloque que consta de dispositivos como resistencias, transistores, etc. Si reemplazamos los dispositivos de este circuito por su equivalente en pequeña señal, obtendremos una red que consta de resistencias, fuentes dependientes, etc. Al carecer de fuentes independientes, es posible calcular la resistencia Thévenin equivalente que, lógicamente, se identifica con la resistencia parásita de la fuente (Fig. 3.6b).

Finalmente, puede usarse SPICE para calcular la resistencia de salida. Imaginemos que construimos en SPICE el circuito de Fig. 3.6b y que conectamos una fuente de tensión V_{IN} a la salida OUT . Si realizamos un barrido DC en esta fuente de tensión, la corriente que atraviesa V_{IN} es:

$$I_{VIN} = I_Q + \frac{V_{CC} - V_{IN}}{R_Q} \Rightarrow R_Q = \frac{\Delta V_{IN}}{\Delta I_{IN}}$$

que es un valor fácilmente calculable a partir de los datos de la simulación.

3.4.3. Referencias de tensión integradas

Resulta curioso que las fuentes de corriente sean extraordinariamente útiles para polarizar circuitos integrados pero que, en la realidad, es más sencillo construir referencias de tensión más o menos constantes. Por ello, muchas fuentes de corriente utilizan referencias de tensión muy sencillas de construir y que polarizan una resistencia de valor conocido. Por otra parte, las estructuras cascode que veremos en el Apartado 3.4.6.2 y en temas posteriores requieren una tensión constante, que es

necesario diseñar con antelación. Dependiendo de la tecnología, las fuentes de tensión que se suelen utilizar son:

1. *Uniones PN en directa*: Son fácilmente implementables pues basta con polarizar una unión PN con una resistencia para conseguir una caída de tensión más o menos estable del orden de $0,6 - 0,7 V$. Apilando varias uniones, puede conseguirse cualquier múltiplo entero de esta cantidad. Son referencias tan básicas que su facilidad de construcción nos permite obviar la leve dependencia de la tensión de alimentación⁶ y la fuerte variación con la temperatura.
2. *Uniones PN en ruptura Zener*: Otro método consiste en la inserción de uniones PN con una tensión de ruptura Zener menor que el umbral mínimo de la tensión de alimentación. Son algo más difíciles de construir pero permiten obtener tensiones de varios voltios con un único dispositivo.
3. *Transistores MOS como resistencias no lineales*: Si cortocircuitamos la fuente y el drenador de un transistor MOS y polarizamos con una corriente I_Q , la caída de tensión entre sus extremos es $V_{DS} = V_{TH} + \sqrt{\frac{I_Q}{\beta}}$. Si hacemos que $I_Q \rightarrow 0$, la caída de tensión es la tensión umbral del transistor, que es un parámetro tecnológico. La minúscula corriente I_Q puede obtenerse fácilmente con una resistencia elevada en serie con el transistor. Como en la unión PN polarizada en directa, se pueden apilar transistores para conseguir múltiplos de la tensión umbral.

En caso de desear obtener una fuente de tensión más precisa, es necesario utilizar celdas avanzadas como la referencia “band-gap”. El estudio de estas estructuras escapa al nivel de estos apuntes pero se remite al estudiante al capítulo 4 del libro de Gray.

3.4.4. Fuentes de corriente primarias

En este apartado, se recogen las fuentes de corriente independientes de la tensión de alimentación y que servirán de referencia a los espejos de corriente.

3.4.4.1. Tecnología bipolar

En esta tecnología se dispone de resistencias, diodos y transistores bipolares. Una de las fuentes de corriente más básicas es la que utiliza una unión PN como referencia para polarizar una resistencia (Fig. 3.7). En este caso, la corriente de salida es:

$$I_O \approx I_E = \frac{V_E}{R_Q} = \frac{2 \cdot V_D - V_{BE}}{R_Q} \approx \frac{V_\gamma}{R_Q} \quad (3.16)$$

Los problemas asociados a esta fuente son los siguientes: En primer lugar, existe una dependencia de la tensión de alimentación a través del valor de V_γ . Por otra parte, si se desean obtener valores

⁶En realidad, depende de $\ln(V_{CC})$

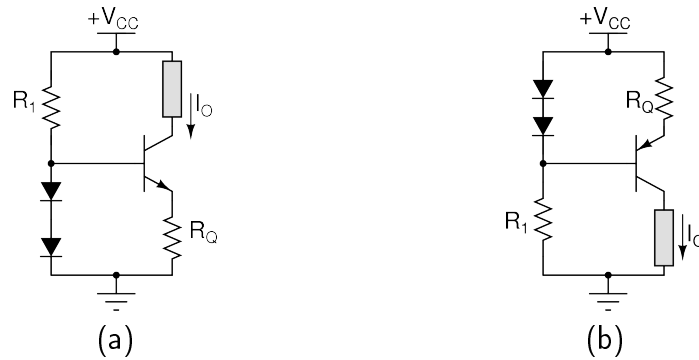


Figura 3.7: Fuente de corriente basada en uniones PN, como sumidero de corriente (a) y como suministradora (b). La corriente de salida es I_O y la carga hipotética está en gris.

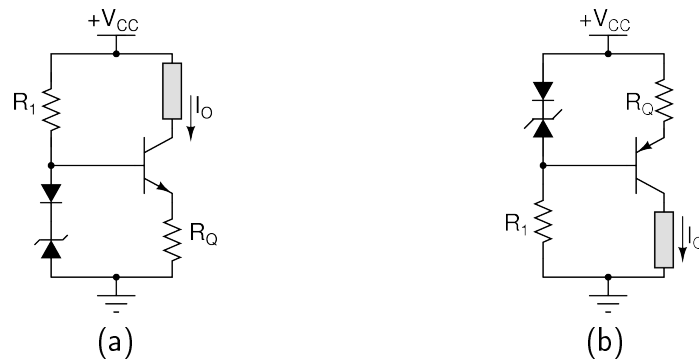


Figura 3.8: Fuente de corriente basada en uniones PN *en ruptura Zener*, como sumidero de corriente (a) y como suministradora (b). La corriente de salida es I_O y la carga hipotética está en gris.

de corriente del orden del miliamperio, la resistencia R_Q debe rondar los 500 Ω . Estos valores son difíciles de conseguir de modo preciso en circuitos integrados. Por otra parte, son muy sensibles a la temperatura.

Otra fuente parecida a la anterior utiliza un diodo Zener como referencia, tal y como se muestra en Fig. 3.8. En este caso, la corriente de salida es:

$$I_O \approx I_E = \frac{V_E}{R_Q} = \frac{V_Z + V_D - V_{BE}}{R_Q} \approx \frac{V_Z}{R_Q} \quad (3.17)$$

La ventaja de esta estructura es que la tensión de ruptura Zener es, como mínimo, 3-4 V. Esto hace que R_Q no deba ser tan pequeña. Además, su valor es más estable con la temperatura ya que $S_T^{V_Z} \sim 0 \frac{V}{K}$ si la ruptura se produce entre 6 y 8 V. El talón de Aquiles de esta estructura es la tensión mínima de funcionamiento. Es fácil ver que, para que los diodos conduzcan y que los transistores estén en zona activa directa, la tensión de alimentación debe ser mayor que $V_Z + V_{SAT}$, siendo V_{SAT} la tensión colector-emisor de los transistores en saturación⁷. En otras palabras, es necesario aplicar varios voltios para hacer funcionar esta fuente. Por el contrario, la fuente basada en uniones PN en directa solo requiere una alimentación $V_{CC} > V_\gamma + V_{SAT} \sim 0,9 V$.

¿Cuál es la resistencia de salida de estas fuentes? Si nos centramos en Fig. 3.7, el circuito equi-

⁷Se ha supuesto que el caso extremo de una carga igual a un simple cortocircuito.

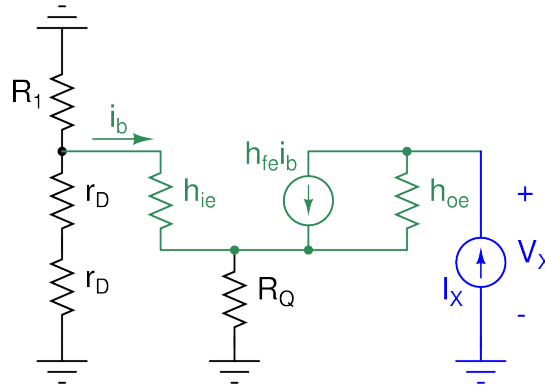


Figura 3.9: Equivalente en pequeña señal de Fig. 3.7a.

valente en pequeña señal de ambas configuraciones es el mostrado en Fig. 3.9. En esta estructura, se ha representado el transistor en emisor común (verde) y los diodos equivalen a un par de resistencias r_D , iguales por comodidad. Supondremos que la salida de la fuente, que es el colector del transistor, se excita con una fuente I_X , en color azul. Una vez calculado V_X , el circuito equivaldrá a una resistencia de valor $Z_O = \frac{V_X}{I_X}$. Operando en este circuito, puede deducirse que:

$$V_X = I_X \cdot \left(h_{oe}^{-1} + R_Q \cdot \frac{h_{fe} \cdot h_{oe}^{-1} + h_{ie} + R_A}{R_Q + h_{ie} + R_A} \right) \quad (3.18)$$

siendo $R_A = (2r_D // R_1) = \left(\frac{1}{2r_D} + \frac{1}{R_1} \right)^{-1}$. Como, en general, el término $h_{fe} \cdot h_{oe}^{-1}$ del numerador predomina sobre los otros, se llega a la conclusión de que:

$$Z_O = \frac{V_X}{I_X} \approx h_{oe}^{-1} \cdot \left(1 + h_{fe} \cdot \frac{R_Q}{R_Q + h_{ie} + R_A} \right) = \frac{V_{AF}}{I_O} \cdot \left(1 + h_{fe} \cdot \frac{R_Q}{R_Q + h_{ie} + R_A} \right) \quad (3.19)$$

V_{AF} es la tensión Early del transistor. Por otra parte, en contra de lo mostrado en Fig. 3.6, se ha simbolizado como Z_O la resistencia de salida de la fuente para no confundirla con la utilizada para polarizar la fuente, R_Q . En adelante, se mantendrá este criterio. Un resultado similar se obtendría en los otros circuitos, utilizando incluso un diodo Zener como referencia.

Finalmente, otro modo muy popular de construir una fuente de corriente consiste en implementar un transistor JFET. Fig. 3.10 muestra un ejemplo básico. Aceptando que el transistor JFET está en saturación, para lo cual se necesita un valor de $+V_{CC}$ suficientemente alto, se cumple que:

$$I_O = I_{DS} = \beta \cdot (V_{GS} - V_P)^2$$

en el caso del transistor de canal N, la puerta está conectada a tierra y la fuente, que es el terminal inferior, está sometida a una tensión $V_S = R_Q \cdot I_O$ con lo que:

$$I_O = \beta \cdot (-R_Q \cdot I_O - V_P)^2$$

No perdamos de vista que la tensión de *pinch-off* es negativa. Esta ecuación cuadrática se puede

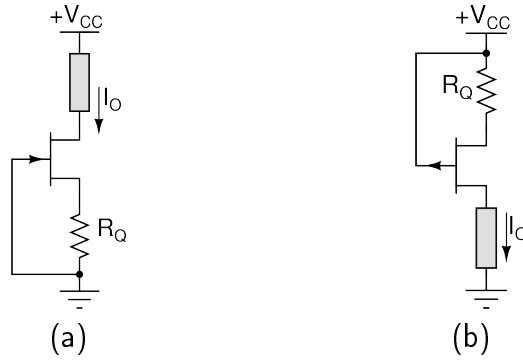


Figura 3.10: Fuente de corriente basada en un transistor JFET, bien como sumidero (a) bien como suministrador (b). La resistencia R_Q es opcional.

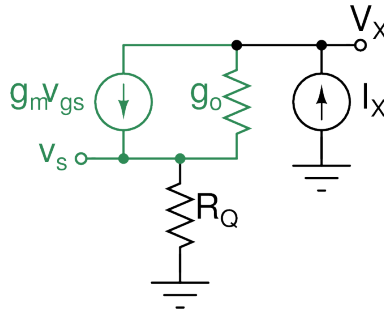


Figura 3.11: Equivalente en pequeña señal de Fig. 3.10a.

desarrollar y resolver. De las dos soluciones, Una de ellas debe ser descartada al ser físicamente imposible pues, generalmente, viola el principio de $V_P < V_{GS} < 0$ en este tipo de transistores. En el caso extremo de que $R_Q \rightarrow 0$, la corriente de salida es máxima y de valor:

$$I_O = \beta \cdot V_P^2 \quad (3.20)$$

En cambio, si $R_Q \rightarrow \infty$, la corriente de salida disminuye mucho de tal modo que

$$I_O \rightarrow -\frac{V_P}{R_Q} = \frac{|V_P|}{R_Q} \quad (3.21)$$

¿Por qué se pone R_Q ? Simplemente, porque aumenta ostensiblemente la resistencia de salida. Si hacemos el modelo en pequeña señal de las fuentes de Fig. 3.10, se obtiene el circuito de Fig. 3.11. En este caso, el transistor está en verde. Por otra parte, como la tensión de puerta está unida a un lugar constante, que es tierra, se cumple que $v_{gs} = -v_s$. En consecuencia, las ecuaciones que gobiernan este circuito son:

$$I_X = -g_m \cdot v_s + g_o \cdot (V_X - v_s) = \frac{v_s}{R_Q}$$

Operando, puede demostrarse que

$$Z_O = \frac{V_X}{I_X} = g_o^{-1} \cdot (1 + R_Q \cdot (g_m + g_o)) \quad (3.22)$$

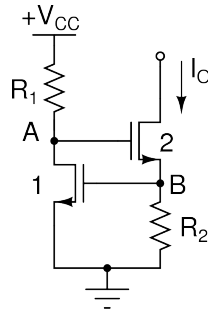


Figura 3.12: Sumidero de corriente en tecnología CMOS con dos transistores y dos resistencias.

El factor g_m decrece con la raíz cuadrada de la corriente que es, a su vez, más o menos proporcional a R_Q^{-1} como se muestra en Eq. 3.21. Por ello, se garantiza que el valor de la impedancia de salida crece desde un valor inicial g_o^{-1} a un ritmo proporcional a $\sqrt{R_Q}$ si ésta es suficientemente grande. En construcciones más avanzadas, esta resistencia puede reemplazarse por un transistor BJT en configuración cascode, con una resistencia equivalente muy elevada y sin los inconvenientes de la disminución de corriente.

3.4.4.2. Tecnología CMOS

En esta tecnología, están disponibles los transistores MOS aparte de resistencias, diodos, etc. Por ello, es posible crear versiones de fuentes de corriente similares a las mostradas en el apartado anterior. Así, por ejemplo, es posible crear una fuente de corriente similar a la de Fig. 3.7 cambiando los diodos por transistores NMOS con drenador y fuente cortocircuitados y el transistor BJT por un CMOS. De esta manera, la corriente generada es $\frac{V_{TH,N}}{R_Q}$. O el de Fig. 3.10 utilizando MOSFETs por JFETs aunque se debe tener en cuenta que en transistor JFET de canal N se debe reemplazar por un MOS de canal P, y viceversa, y que aparece el efecto sustrato en los MOSFET.

No son, sin embargo, las únicas alternativas posibles. En primer lugar, en caso de disponer de una tensión de polarización constante distinta de las alimentaciones, se puede hacer uso de ella para polarizar un MOS en saturación. Esta tensión podría obtenerse, por ejemplo, con un divisor de tensiones, con diodos en serie, etc. Variando el cociente $\frac{W}{L}$ se podría obtener cualquier valor de corriente. Otro modo consiste en construir el circuito de Fig. 3.12. En este circuito, se supone que V_{CC} es lo suficientemente alto como para llevar todos los transistores a saturación así que la corriente I_O se obtiene tras resolver el siguiente sistema de ecuaciones:

$$V_B = R_2 \cdot I_O$$

$$\frac{V_{CC} - V_A}{R_1} = \beta_1 \cdot (V_B - V_{TH,N})^2$$

$$I_O = \beta_2 \cdot (V_A - V_B - V_{TH,N})^2$$

Algunos parámetros, como la tensión umbral, son propios de la tecnología en cuestión. Sin embargo, variando los distintos parámetros geométricos se puede obtener una salida prácticamente

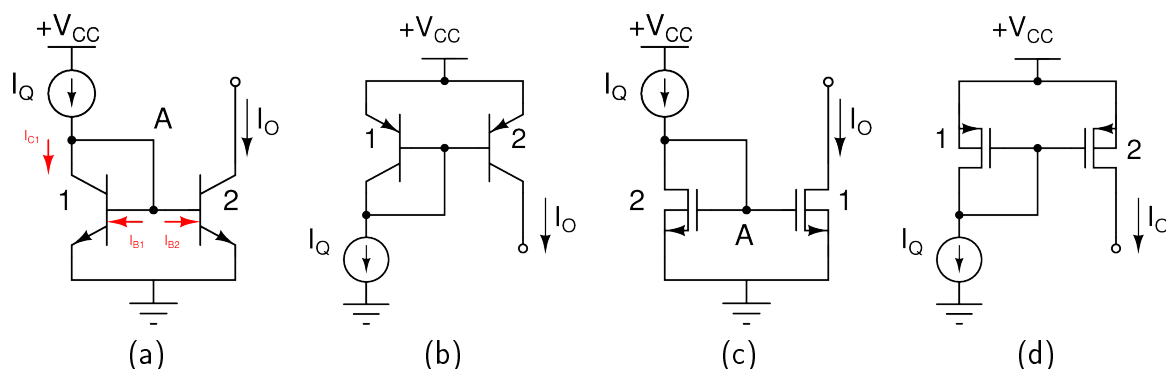


Figura 3.13: Espejos simples contruidos con NPN (a), PNPs (b), NMOS (c) y PMOS (d).

independiente de la tensión de alimentación.

3.4.5. Espejos simples de corriente

El apartado anterior mostró diversas técnicas para construir fuentes de corriente más o menos estables e independientes de la tensión de alimentación. Sin embargo, las fuentes de corriente plantean un problema: El número de elementos que las componen. Así, por ejemplo, las fuentes primarias tienen de 2 (JFET) a 5 elementos (Zener). Recordemos, no obstante, que éstas son estructuras simplificadas ya que, en la práctica, se añaden más elementos para estabilizar el punto de operación de modo preciso. Además, algunas configuraciones presentan el problema del encendido o start-up ya que son circuitos que presentan un estado estable con los transistores en situación de corte, que se evita añadiendo elementos adicionales que fuerzan a la fuente a trabajar de modo correcto.

Por ello, en diseño analógico se suele crear una fuente primaria y polarizar cada una de los bloques que lo necesiten con un espejo de corriente. Estas estructuras no tienen más de cuatro elementos y permiten reflejar de un modo sencillo la corriente original en tantas partes como sea necesario. Además, con simples modificaciones geométricas la corriente reflejada puede aumentarse o disminuirse. Finalmente, algunos espejos tienen una impedancia de salida tan alta que son utilizados extensamente en diseño de amplificadores, especialmente en pares diferenciales.

3.4.5.1. Espejo simple

El primer espejo que vamos a ver es el espejo simple, que consta de dos transistores. Fig. 3.13 muestra diversos ejemplos de espejos simples que reflejan una corriente de referencia, I_Q , en otra rama (I_O). En primer lugar, se supone que los transistores que componen un espejo están apareados. Es decir, que tienen exactamente las mismas propiedades eléctricas. En particular, se supone que los transistores bipolares tienen la misma ganancia en corriente, h_{FE} , y los MOSFET la misma transconductancia y tensión umbral, β y V_{TH} . En apartados posteriores, estudiaremos qué ocurre si se introducen variaciones geométricas de transistor a transistor.

En primer lugar, estudiemos el caso bipolar y, en particular, el de los transistores NPN (Fig. 3.13a). Aceptando que los transistores se encuentran en zona activa directa y que el efecto Early es

despreciable, es fácil ver que:

$$I_Q = I_{C1} + I_{B1} + I_{B2}$$

$$I_{C1} = h_{FE1} \cdot I_{B1}$$

$$I_O = h_{FE2} \cdot I_{B2}$$

Ahora, hagamos uso del apareamiento de los transistores. En primer lugar, es obvio que $h_{FE1} = h_{FE2} \equiv h_{FE}$. Por otra parte, fijémonos que las bases de $Q1$ y $Q2$ están cortocircuitadas, al igual que los emisores. Por tanto, $V_{BE1} = V_{BE2}$. Finalmente, recordemos que la corriente de base de un transistor bipolar es única y exclusivamente función de esta tensión. Esto conlleva que, como los transistores son iguales, y están sometidos a la misma tensión de base-emisor, $I_{B1} = I_{B2} \equiv I_B$ y el anterior sistema de ecuaciones se reduce a:

$$I_Q = I_{C1} + 2 \cdot I_B$$

$$I_O = I_{C1} = h_{FE} \cdot I_B$$

Operando con estas ecuaciones, se llega a la conclusión de que:

$$\frac{I_O}{I_Q} = \frac{h_{FE}}{h_{FE} + 2} \quad (3.23)$$

Si la ganancia es muy alta, se cumple que $I_O \simeq (1 - 2 \cdot h_{FE}^{-1}) \cdot I_Q \approx I_Q$. Esta ecuación es válida para el espejo simple PNP (Fig. 3.13b). Hay que insistir, sin embargo, que la ganancia de un PNP suele ser mucho más baja que la de los NPN en la misma tecnología.

El espejo CMOS es aún más fácil de estudiar y para ello nos vamos a centrar en el caso del NMOS (Fig 3.13c). Supongamos que ambos transistores se encuentran en saturación y que el efecto de modulación de canal es despreciable. En este caso, se ve que:

$$I_Q = \beta_1 \cdot (V_{GS,1} - V_{TH,1})^2$$

$$I_O = \beta_2 \cdot (V_{GS,2} - V_{TH,2})^2 \quad (3.24)$$

Sin embargo, recordemos que los transistores están apareados por lo que $\beta_1 = \beta_2 \equiv \beta$ y $V_{TH,1} = V_{TH,2} \equiv V_{TH}$. Por otra parte, las puertas están cortocircuitadas así como los emisores con lo que $V_{GS,1} = V_{GS,2} \equiv V_{GS} = V_A$. Por tanto:

$$I_Q = \beta \cdot (V_A - V_{TH})^2 = I_O \quad (3.25)$$

Esta identidad nace del hecho de que no hay fugas a través de las puertas de los transistores y es perfectamente válida para los espejos PMOS (Fig 3.13d).

Otro aspecto de interés es el valor de la resistencia de salida. Para ello, es conveniente realizar el modelo en pequeña señal de los espejos. En un BJT, sea de tipo NPN o PNP, el circuito equivalente

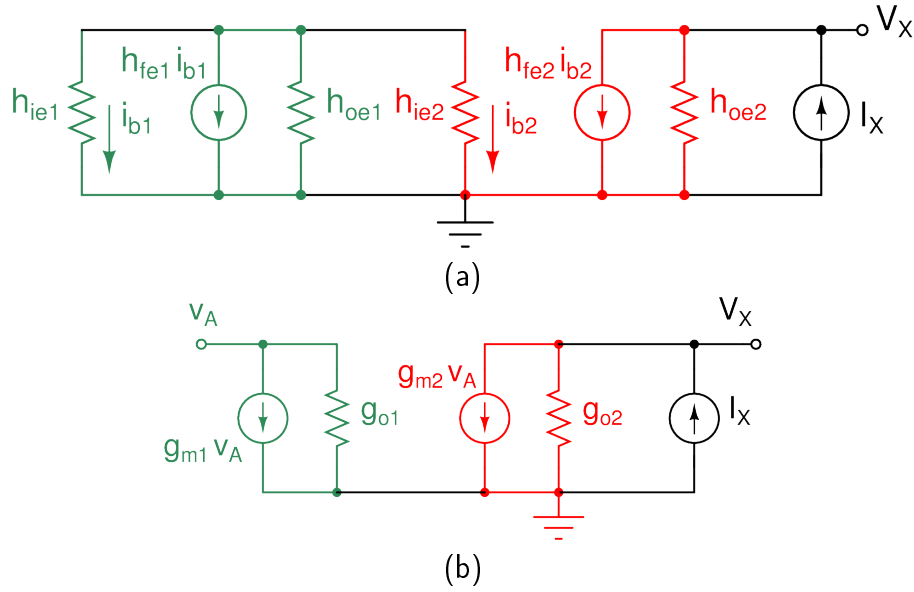


Figura 3.14: Equivalentes en pequeña señal de los espejos NPN (a) y NMOS (b) para el cálculo de la impedancia de salida.

en pequeña señal es el de Fig. 3.14a. Se va a suponer que el efecto Early existe en los transistores, hecho que justifica la presencia de h_{oe}^{-1} , pero que es tan pequeño que Eq. 3.23 sigue vigente. A pesar de la aparente complejidad del circuito, podemos ver que, en realidad, es extremadamente sencillo. Fijémonos que, en la parte izquierda, solo hay una fuente dependiente que es proporcional a la corriente que fluye por una resistencia, h_{ie1} . Asimismo, la fuente de corriente y la resistencia están en paralelo. No es difícil demostrar entonces que la corriente que atraviesa la fuente $h_{fe1} \cdot i_{b1}$ es proporcional a la diferencia de tensión entre sus extremos por lo que ¡en realidad es una resistencia de valor $\frac{h_{ie1}}{h_{fe1}}$!.

En consecuencia, en la parte izquierda del subcircuito de Fig. 3.14a solo hay resistencias y no hay ninguna fuente que pueda excitarla. Por ello, $i_{b1} = i_{b2} = 0$ y, por tanto, $h_{fe2} \cdot i_{b2} = 0$, lo cual es equivalente a un abierto. En otras palabras, la fuente I_X solo ve la resistencia h_{oe2}^{-1} y:

$$Z_O = \frac{V_X}{I_X} = h_{oe2}^{-1} = \frac{V_{AF2}}{I_O} \quad (3.26)$$

En el caso de los espejos CMOS (Fig. 3.14b), el modelo en pequeña señal de los transistores es más simple de lo normal debido a la ausencia de efecto sustrato al estar las fuentes conectadas a un tensión constante. Por otra parte, recordemos que la tensión de puerta-fuente es, simplemente, V_A , y así se ha reflejado en la figura. Siguiendo el mismo procedimiento que con el BJT, se puede deducir que $g_{m1} \cdot v_A$ es equivalente a una resistencia de valor g_m^{-1} y que, por tanto, podemos prescindir de la parte izquierda del circuito tras deducir que, al no haber fuentes de ningún tipo, $v_A = 0$. En definitiva, la fuente de corriente $g_{m2} \cdot v_A$ también desaparece con lo que I_X solo aprecia la presencia de g_{o2}^{-1} así que:

$$Z_O = \frac{V_X}{I_X} = g_{o2}^{-1} = \frac{1}{\lambda_2 \cdot I_O} \quad (3.27)$$

siendo λ_2 el coeficiente de modulación de canal del transistor de salida. En la práctica, las impedancias de salida en espejos de este tipo están asociadas a las variaciones de la corriente de colector/drenador frente a las oscilaciones en la tensión aplicada debidas al efecto Early o de modulación de canal en el transistor de salida.

3.4.5.2. Escalado de corrientes en el espejo simple por modificación de la geometría

Supongamos ahora que nos encontramos con un espejo simple tipo NPN en el que el transistor de referencia tiene un área base-emisor A_1 y el de reflexión un área distinta, $A_2 = K \cdot A_1$. Por lo demás, son exactamente iguales: Misma ganancia, efecto Early como un fenómeno de segundo orden, etc. En este caso, sigue siendo cierto que

$$I_Q = I_{C1} + I_{B1} + I_{B2}$$

$$I_{C1} = h_{FE} \cdot I_{B1}$$

$$I_O = h_{FE} \cdot I_{B2}$$

pero no podemos afirmar que $I_{B1} = I_{B2}$. Sin embargo, dado que la corriente de base es proporcional al área base-emisor⁸, que el resto de parámetros tecnológicos son iguales y que también lo es la diferencia de tensión entre base y emisor, se puede concluir que:

$$I_{B2} = K \cdot I_{B1}$$

siendo K el coeficiente de proporcionalidad entre las superficies base-emisor. Es fácil ver entonces que $I_O = h_{FE} \cdot I_{B2} = K \cdot h_{FE} \cdot I_{B1} = K \cdot I_{C1}$ y, por lo tanto:

$$I_{B1} = \frac{I_Q}{h_{FE} + K + 1} \quad (3.28)$$

$$I_O = K \cdot \frac{h_{FE}}{h_{FE} + K + 1} \cdot I_Q \quad (3.29)$$

Esto se convierte en $I_O \approx K \cdot I_Q$ si $h_{FE} \gg K + 1$. En otras palabras, se consigue escalar la corriente, bien aumentándola, bien disminuyéndola. Evidentemente, hay limitaciones. Así, si se desean corrientes muy altas se corre el riesgo de hacer $K \sim h_{FE}$. Por el contrario, no se pueden obtener corrientes muy bajas pues el tamaño mínimo de los transistores está limitado por la tecnología⁹.

En la tecnología CMOS, el escalado es aún más fácil de realizar. Supongamos que tenemos dos transistores fabricados en la misma tecnología pero con distintas dimensiones de canal. Al ser de la misma tecnología, tienen la misma tensión umbral y la transconductancia es proporcional al cociente $\frac{W_k}{L_k}$. Como por construcción están sometidos a la misma tensión puerta-fuente, Eq. 3.24 se

⁸Este hecho puede comprobarse en cualquier libro dedicado al BJT, como Sze, Neamen, Tyagi, etc.

⁹La solución está en el espejo Widlar, que se verá en el Apartado 3.4.6.5.

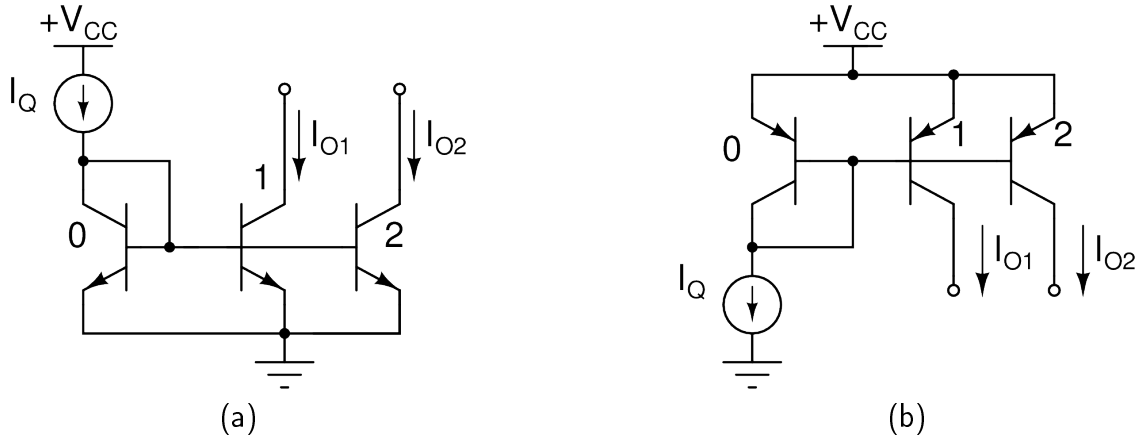


Figura 3.15: Espejos dobles contruidos con transistores bipolares.

transforma en:

$$\begin{aligned} I_Q &= \beta_1 \cdot (V_{GS} - V_{TH})^2 \\ I_O &= \beta_2 \cdot (V_{GS} - V_{TH})^2 \end{aligned} \quad (3.30)$$

Si las dividimos entre sí:

$$\frac{I_O}{I_Q} = \frac{\beta_2 \cdot (V_{GS} - V_{TH})^2}{\beta_1 \cdot (V_{GS} - V_{TH})^2} = \frac{\beta_2}{\beta_1} = \frac{\frac{W_1}{L_1} \cdot K_N}{\frac{W_2}{L_2} \cdot K_N} = \frac{W_1 \cdot L_2}{W_2 \cdot L_1} \quad (3.31)$$

con lo que el escalado se consigue de manera inmediata. En principio, solo aparece la limitación de las dimensiones mínimas de los transistores. Por lo demás, los transistores pueden hacerse tan grandes como se desee al no haber fugas a través de la puerta.

¿Cual es la impedancia de salida? Realmente, el tratamiento en pequeña señal como el realizado en Fig. 3.14 tiene en cuenta que los transistores puedan ser distintos. Por tanto, Eq. 3.26 y 3.27 son válidas para los espejos escalados.

3.4.5.3. Reflexión múltiple de corriente

Se dijo antes que una de las funciones de los espejos de corriente era economizar recursos en el interior de un circuito integrado. Se debía crear una fuente de corriente estable y poderla reflejar donde se quisiera. Sin embargo, si solo se refleja en un brazo, no se gana absolutamente nada. Por ello, es interesante estudiar si es posible realizar la reflexión de una corriente de referencia, I_Q , en varios espejos.

Fig. 3.15 representa dos espejos que reflejan una misma corriente. Si suponemos los tres transistores de cada estructura exactamente iguales, se deduce que:

$$I_Q = I_{C0} + I_{B0} + I_{B1} + I_{B2}$$

$$I_{C0} = h_{FE} \cdot I_{B0}$$

$$I_{O1} = h_{FE} \cdot I_{B1}$$

$$I_{O2} = h_{FE} \cdot I_{B2}$$

$$I_{B0} = I_{B1} = I_{B2}$$

Si operamos, se acaba deduciendo que:

$$I_{O1} = I_{O2} = \frac{h_{FE}}{h_{FE} + 3} \cdot I_Q \quad (3.32)$$

En general, si hay N transistores exactamente iguales reflejando corriente, la salida de cada uno es:

$$I_{Oi} = \frac{h_{FE}}{h_{FE} + N + 1} \cdot I_Q \quad (3.33)$$

Obviamente, no se pueden poner demasiados transistores pues se degrada la relación entre las corrientes. Por otra parte, si cada transistor espejo tiene un área $A_i = K_i \cdot A_0$, siendo A_0 el área del transistor Q_0 , la fórmula anterior se transforma en:

$$I_{Oi} = K_i \cdot \frac{h_{FE}}{h_{FE} + 1 + \sum_{i=1}^N K_i} \cdot I_Q \quad (3.34)$$

¿Qué ocurre en el caso de los transistores MOSFET? Se construirían reemplazando los NPN por NMOS en Fig. 3.15a y por PMOS en Fig. 3.15b. A diferencia del caso BJT, no hay fugas a través de las puertas por lo que, se pueden poner tantos espejos como se deseen con las dimensiones que se requieran. En consecuencia, más que un espejo múltiple se podría hablar de múltiples espejos simples individuales compartiendo la misma corriente de referencia.

3.4.6. Espejos Avanzados de Corriente

Los espejos simples de corriente son especialmente útiles para polarizar distintas etapas en un circuito integrado a partir de una única fuente de referencia. Imaginemos que, por ejemplo, queremos reflejar una fuente de corriente de $100 \mu A$ con un transistor bipolar de ganancia $h_{FE} = 100$ y $V_{AF} = 100 V$. En estas circunstancias, la corriente reflejada es del orden de $98 \mu A$ (-2 %) y la impedancia de salida es del orden de $\frac{100 V}{0,1 \mu A} = 1 M\Omega$. Para esta función, estos resultados son más que suficientes.

El problema está que, en algunas circunstancias, no nos podemos conformar con un error del 2 % entre las ramas o con una impedancia de salida relativamente baja. Así, en los pares diferenciales, se utilizan espejos de corriente como cargas de un amplificador y se requiere una impedancia de salida mucho mayor y un apareamiento extraordinario entre las corrientes de las ramas. Por todo ello, existen configuraciones avanzadas que, añadiendo más transistores, consiguen mejorar las características de los espejos de corriente.

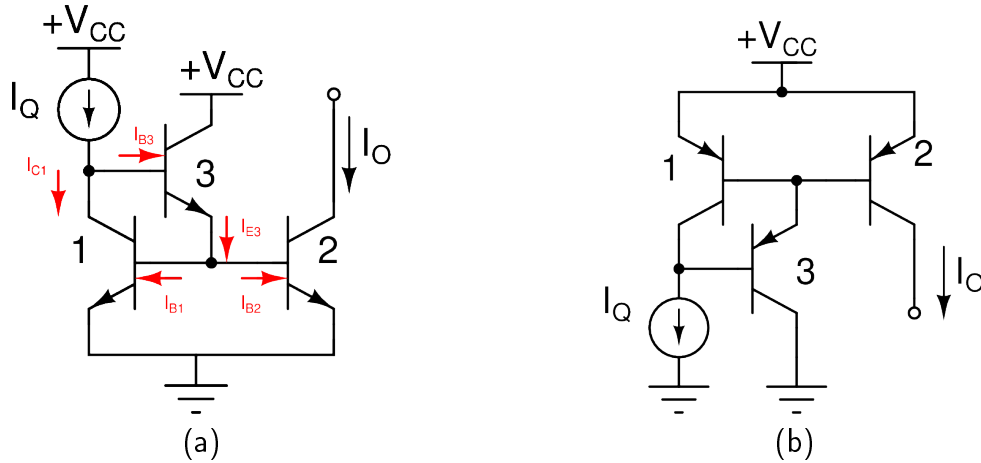


Figura 3.16: Espejos de base compensada, como sumideros con NPNs (a) y como inyectores con PNP (b).

3.4.6.1. Espejo de base compensada

Este espejo soluciona el problema de la disparidad de corrientes entre la rama de entrada y la de salida de un espejo bipolar de corriente. Es el único espejo que no tiene contrapartida CMOS y su estructura se muestra en Fig. 3.16. Su mecanismo de funcionamiento es relativamente sencillo. En lugar de robar corriente a I_Q para polarizar las bases de los transistores, se extrae una fracción significativamente menor que es amplificada por un transistor bipolar antes de llegar a los dispositivos.

Así, en el caso del espejo NPN, cuyo esquema de corrientes se encuentra detallado en Fig. 3.16a, se cumplen las siguientes ecuaciones de nudo:

$$I_Q = I_{C1} + I_{B3}$$

$$I_{E3} = I_{B1} + I_{B2}$$

Aceptando que los transistores son exactamente iguales, que se encuentran en zona activa directa y que el efecto Early no es significativo, se añaden las siguientes ecuaciones:

$$I_{B1} = I_{B2} \equiv I_B$$

$$I_{C1} = h_{FE} \cdot I_B = I_O$$

$$I_{E3} = (h_{FE} + 1) \cdot I_{B3}$$

Operando con estas ecuaciones, se deduce que:

$$\frac{I_O}{I_Q} = \frac{h_{FE}^2 + h_{FE}}{h_{FE}^2 + h_{FE} + 2} = 1 - \frac{2}{h_{FE}^2 + h_{FE} + 2} \quad (3.35)$$

Aceptando que la ganancia es sobradamente alta, la expresión anterior es, aproximadamente, $1 - 2/h_{FE}^2$. Por ello, un transistor con ganancia 100 produce una reflexión con un error del 0.02 %.

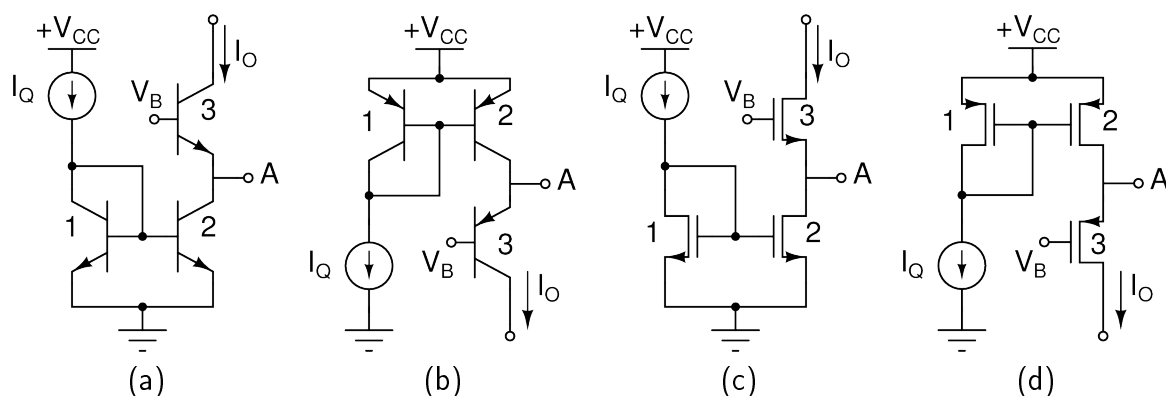


Figura 3.17: Espejos cascodes simples contruidos con NPNs (a), PNP (b), NMOS (c) y PMOS (d). La tensión de polarización V_B es externa. A no es una fuente sino un nudo simple llamado de interés en cálculos posteriores.

Así, incluso PNP laterales con ganancias del orden 25-30 consiguen reflexiones con un error del 0.2 %. Téngase en cuenta, asimismo, que no es forzoso aparear Q3 con los otros dos transistores pues basta, simplemente, con que tenga una ganancia alta.

El valor de la resistencia de salida de esta estructura no cambia con respecto a la mostrada en Eq. 3.26. A fin de cuentas, este espejo minimiza las pérdidas en las bases pero la salida sigue siendo un simple transistor bipolar, sujeto a efecto Early.

Lógicamente, este espejo no tiene interés en tecnologías CMOS pues las corrientes de puerta son nulas.

3.4.6.2. Espejos cascode

En el caso de que se desee aumentar la impedancia de salida sin mejorar la reflexión, es posible recurrir a una familia de espejos llamados “cascode”. En electrónica, el término “cascode” se aplicó inicialmente a los circuitos contruidos con tubos de vacío (1939) siendo este término la abreviatura de “*cascade to cathode*” pero, en la actualidad, se aplica a cualquier configuración en las que la base/puerta de un transistor se encuentra a tensión constante y su emisor/fuente está puesto en serie con el colector/drenador de otro transistor distinto. Así, una estructura cascode simple es la mostrada en Fig. 3.17a-d. Centrándonos en la capacidad de reflexión, fijémonos que las condiciones que nos llevaron a Eq. 3.25 y 3.31 siguen vigentes en las estructuras CMOS de dicha figura. Por tanto, la capacidad de reflexión es la misma de un espejo simple.

En el caso de los espejos BJT, debe tenerse en cuenta que la reflexión en Q1 y Q2 nos permite obtener la corriente de colector de Q2, que ya no es la de salida pues ésta es la corriente de colector de Q3. Por tanto:

$$I_{C2} = \frac{h_{FE}}{h_{FE} + 2} \cdot I_Q$$

En una estructura cascode, $I_{E3} = I_{C2}$ e $I_O = I_{C3} = \frac{h_{FE}}{h_{FE}+1} \cdot I_{E3}$. En consecuencia:

$$I_O = \frac{h_{FE}}{h_{FE} + 1} \cdot I_{E3} = \frac{h_{FE}}{h_{FE} + 1} \cdot \frac{h_{FE}}{h_{FE} + 2} \cdot I_Q$$

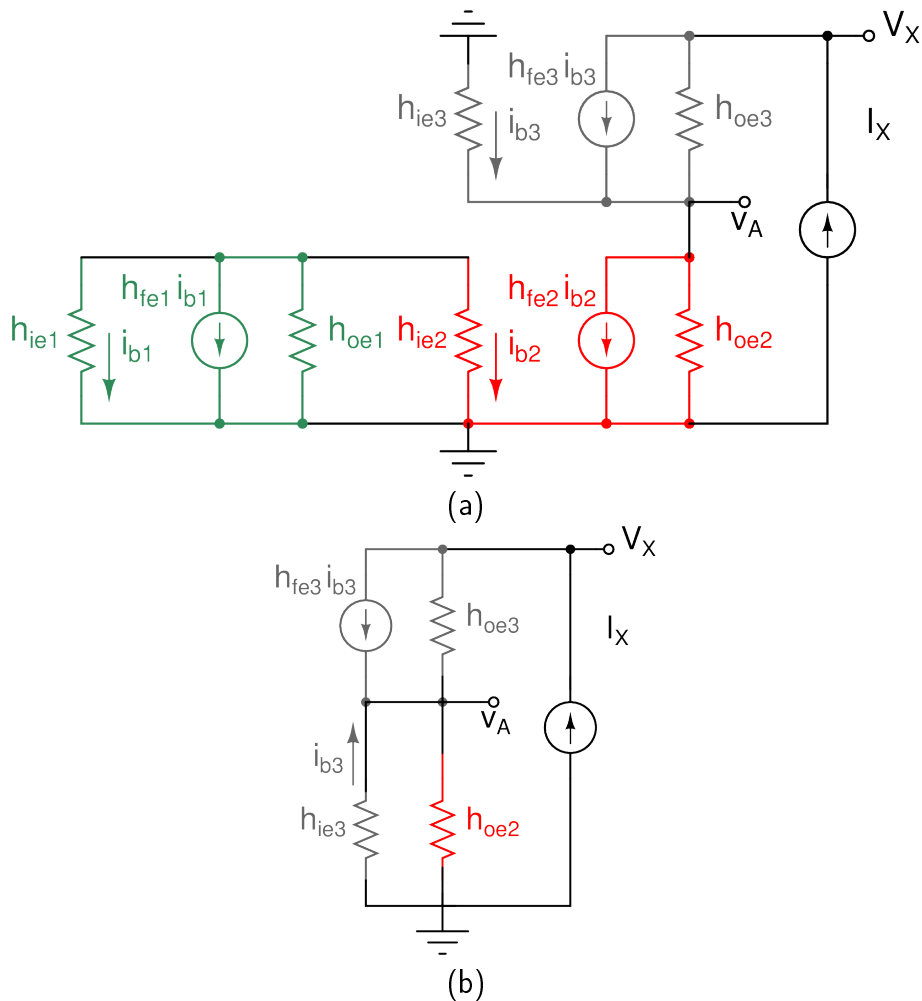


Figura 3.18: Equivalentes en pequeña señal de los espejos cascode simple en tecnología bipolar para el cálculo de la impedancia de salida. Versión completa (a) y simplificada (b).

Por lo que:

$$\frac{I_O}{I_Q} = \frac{h_{FE}^2}{h_{FE}^2 + 3 \cdot h_{FE} + 2} = 1 - \frac{3 \cdot h_{FE} + 2}{h_{FE}^2 + 3 \cdot h_{FE} + 2} \quad (3.36)$$

Esta expresión tiende a $1 - 3 \cdot h_{FE}^{-1}$ a medida que la ganancia aumenta. Es decir, su capacidad de reflexión es peor que la del espejo simple en tecnología bipolar. Sin embargo, tiene una importante ventaja: La resistencia de salida. Volvamos al espejo de Fig. 3.17a. Si se produjera un leve incremento de la tensión de salida, se produciría lógicamente un incremento inicial de la corriente que fluye de colector a emisor. Sin embargo, al llegar esta corriente al transistor Q2, ese incremento forzaría por efecto Early un leve aumento de la tensión de colector-emisor. Eso implica que la tensión base-emisor del transistor Q3 disminuye, impidiendo el paso de corriente.

Matemáticamente, la resistencia de salida para modelos en pequeña señal es igual al de Fig. 3.18a. Esta figura es igual a Fig. 3.14a tras añadir un nuevo transistor. Se opta por el modelo en emisor común por mantener el mismo criterio que con los otros dos. Fijémonos en los siguientes puntos:

1. V_B es constante y, por tanto, la base de Q3 se une a tierra.

2. El modelo en pequeña señal de Q1 no tiene circulación de corriente, como en el caso del espejo simple.
3. Por el mismo motivo, la corriente de base de Q2 y su amplificación son nulas.

Por tanto, el circuito se reduce a Fig. 3.18b. En este circuito, es fácil demostrar que:

$$v_A = (h_{ie3}/h_{oe2}^{-1}) \cdot I_X$$

$$i_{b3} = -\frac{v_A}{h_{ie3}} = -\frac{(h_{ie3}/h_{oe2}^{-1})}{h_{ie3}} \cdot I_X$$

$$I_X = h_{fe3} \cdot i_{b3} + h_{oe3} \cdot (V_X - v_A)$$

Despejando V_X , se llega a la conclusión de que:

$$Z_O = \frac{V_X}{I_X} = h_{oe3}^{-1} \cdot (1 + (h_{ie3}/h_{oe2}^{-1}) \cdot (h_{oe3} + h_{fe3} \cdot h_{ie3}^{-1})) \quad (3.37)$$

¿Cuanto vale esta expresión? En primer lugar, asumamos que todos los transistores son iguales con lo que es posible prescindir entonces de los números en los subíndices. Así, los términos de la fórmula anterior se convierten en:

$$(h_{ie3}/h_{oe2}^{-1})^{-1} = \frac{1}{h_{ie3}} + h_{oe3} = \frac{I_{B3}}{N \cdot V_T} + \frac{I_{C3}}{V_{AF}} = I_{C3} \cdot \left(\frac{1}{N \cdot V_T \cdot h_{FE3}} + \frac{1}{V_{AF}} \right)$$

$$h_{oe3} + h_{fe3} \cdot h_{ie3}^{-1} \approx \frac{I_{C3}}{V_{AF}} + h_{FE} \cdot \frac{I_{B3}}{N \cdot V_T} = I_{C3} \cdot \left(\frac{1}{V_{AF}} + \frac{1}{N \cdot V_T} \right)$$

Donde se ha hecho $h_{fe3} \approx h_{FE}$. En transistores normales, $V_{AF} \gg N \cdot V_T \cdot h_{FE} \gg N \cdot V_T$. Por tanto:

$$(h_{ie3}/h_{oe2}^{-1}) \approx \frac{N \cdot V_T \cdot h_{FE}}{I_O}$$

$$h_{oe3} + h_{fe3} \cdot h_{ie3}^{-1} \approx \frac{I_O}{N \cdot V_T}$$

Se ha identificado I_{C3} con I_O . Tras este paso, Eq. 3.37 se puede aproximar a:

$$Z_O = h_{oe3}^{-1} \cdot \left(1 + \frac{N \cdot V_T \cdot h_{FE}}{I_O} \cdot \frac{I_O}{N \cdot V_T} \right) = h_{oe3}^{-1} \cdot (1 + h_{FE}) \quad (3.38)$$

¡Se ha aumentado casi dos órdenes de magnitud la resistencia de salida!. Aquí se comprueba la bondad de esta estructura. En el caso de que nos encontremos en tecnología CMOS, el equivalente en pequeña señal de Fig. 3.17c-d es el mostrado en Fig. 3.19a. En este caso, se ha denominado Y al nudo de puerta de los transistores Q1 y Q2. Se ha tomado en cuenta que no existe efecto sustrato en los transistores Q1 y Q2 y que la tensión de puerta del transistor Q3 es constante.

Asimismo, al inspeccionar el circuito, se observa que se pueden realizar algunas simplificaciones ya que la tensión en el nudo Y es nula, con lo que desaparecen casi todos los elementos de la parte

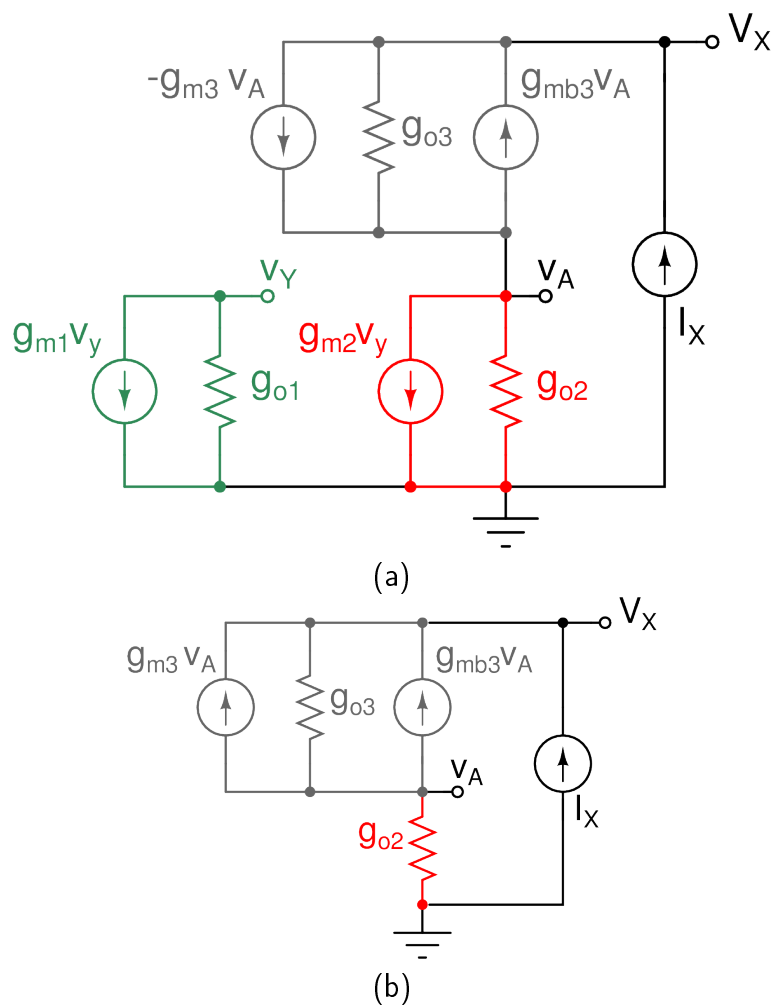


Figura 3.19: Equivalentes en pequeña señal de los espejos cascode simple en tecnología CMOS para el cálculo de la impedancia de salida. Versión completa (a) y simplificada (b).

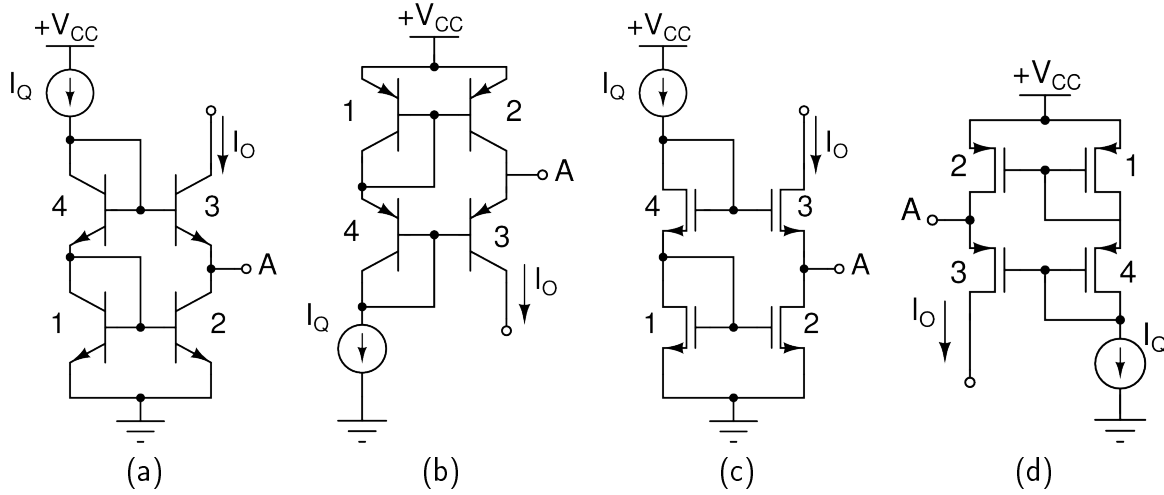


Figura 3.20: Espejos cascodes compuestos contruidos con NPNs (a), PNP (b), NMOS (c) y PMOS (d).

inferior. Por tanto, el circuito se reduce al de Fig. 3.19b. En este circuito, un sencillo cálculo nos permite demostrar que la impedancia de salida es:

$$Z_O = \frac{V_X}{I_X} = g_{o3}^{-1} \cdot (1 + g_{o2}^{-1} \cdot (g_{o3} + g_{m3} + g_{mb3})) \quad (3.39)$$

¿Cuál es el valor de esta magnitud? Recordando que $g_o = \lambda \cdot I_{DS}$, que $g_m = \sqrt{2 \cdot \beta} \cdot \sqrt{I_{DS}}$ y que $\chi = \frac{g_{mb}}{g_m}$ se deduce que:

$$\begin{aligned} Z_O &= \frac{1}{\lambda_3 \cdot I_O} \cdot \left(1 + \frac{1}{\lambda_2 \cdot I_O} \cdot \left(\lambda_3 \cdot I_O + \sqrt{2 \cdot \beta_3} \cdot \sqrt{I_O} \cdot (1 + \chi_3) \right) \right) = \\ &= \frac{1}{\lambda_3 \cdot I_O} \cdot \left(1 + \frac{\lambda_3}{\lambda_2} + \sqrt{2 \cdot \beta_3} \cdot (1 + \chi_3) \cdot I_O^{-1/2} \right) \end{aligned} \quad (3.40)$$

En esta ecuación, hay varios parámetros no controlables de modo sencillo, como son λ_i y χ_3 . Sin embargo, sí se observa que aumentando la transconductancia del transistor 3 aumenta la impedancia de salida. Esto se puede lograr, simplemente, aumentando el valor de W_3 . Por otra parte, en caso de que domine este término, la impedancia de salida es proporcional a $I_O^{-3/2}$, hecho de radical importancia en capítulos posteriores.

Finalmente, existe una versión muy popular del espejo cascode que utiliza un elemento activo como polarizador para obtener V_B . Así, en tecnología bipolar se añade un transistor BJT con colector y base cortocircuitados para proporcionar una caída de tensión del orden de 0.7 V y, en el caso de tecnología CMOS, se añade un transistor con drenador y puerta cortocircuitados (Fig. 3.20).

Estas estructuras son tan populares que la mayor parte de los textos las denominan, simplemente, “espejos cascode” a pesar de que son solo un ejemplo de una familia más amplia. Lamentablemente, existen desventajas adicionales. Así, en una estructura BJT, una fracción adicional de I_Q debe

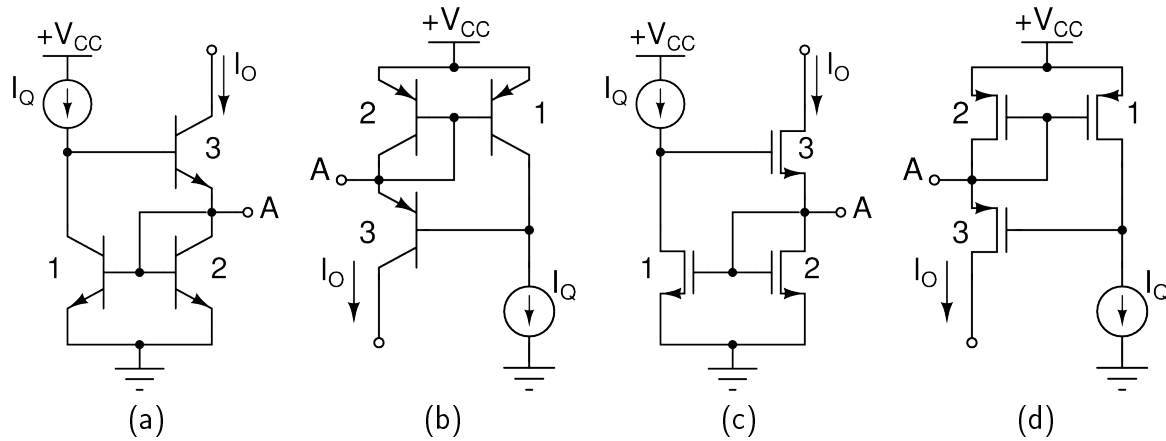


Figura 3.21: Espejos Wilson simples contruidos con NPNs (a), PNP (b), NMOS (c) y PMOS (d).

polarizar la base de Q3 de tal modo que se puede deducir que:

$$\frac{I_O}{I_Q} = \frac{h_{FE}^2}{h_{FE}^2 + 4 \cdot h_{FE} + 2} = 1 - \frac{4 \cdot h_{FE} + 2}{h_{FE}^2 + h_{FE} + 2} \quad (3.41)$$

que se convierte en $1 - 4 \cdot h_{FE}^{-1}$ a medida que a $h_{FE} \rightarrow \infty$. Evidentemente, este problema no aparece en el caso de las estructuras CMOS. La resistencia de salida también se ve modificada¹⁰ aunque, en cualquier caso, es muchísimo mayor que la del espejo simple.

Por otra parte, una gran ventaja de los espejos cascode es la posibilidad de apilamiento. Se aprecian niveles de transistores uno encima de otro de tal modo que se pueden añadir tantas capas como se necesiten. Evidentemente, la capacidad de reflexión se degrada en los bipolares de tal modo que esta práctica suele ser más habitual en las tecnologías CMOS. Finalmente, sean CMOS o bipolares, cada nivel hace aumentar la tensión mínima necesaria para hacer funcionar el espejo.

3.4.6.3. Espejos Wilson

La desventaja de los espejos cascode a la hora de reflejar la corriente se resuelven de manera muy sencilla con el llamado “Espejo Wilson”. Este espejo no necesita una fuente externa de polarización y puede construirse con solo tres transistores (Fig. 3.21). Se dice que fue creado en 1967 por George Wilson a raíz una apuesta con Barrie Gilbert sobre la posibilidad de crear el mejor espejo con el menor número de componentes. Gilbert es otro diseñador conocido sobre todo por una celda multiplicadora que se verá en temas posteriores.

En el caso de los dispositivos CMOS, la reflexión se realiza de manera íntegra al tener los transistores 1 y 2 la misma tensión de puerta-fuente. En el caso de las tecnologías bipolares, es necesario realizar un balance de corrientes. Así:

$$I_Q = I_{B3} + I_{C1}$$

¹⁰Aproximadamente, se reduce a la mitad de los valores de Eq. 3.38 y 3.40 como se muestra en el Capítulo 4 de Gray.

$$I_O = \frac{h_{FE}}{h_{FE} + 1} \cdot I_{E3}$$

$$I_{E3} = I_{C2} + I_{B1} + I_{B2}$$

Teniendo en cuenta que, al estar en zona activa directa, $I_O = h_{FE} \cdot I_{B3}$, $I_{C1} = h_{FE} \cdot I_{B1}$ e $I_{C2} = h_{FE} \cdot I_{B2}$. Por otra parte, suponiendo que los tres transistores son iguales, $I_{B1} = I_{B2} \equiv I_B$. No se necesita ninguna suposición más y se deduce que:

$$\frac{I_O}{I_Q} = \frac{h_{FE}^2 + 2 \cdot h_{FE}}{h_{FE}^2 + 2 \cdot h_{FE} + 2} = 1 - \frac{2}{h_{FE}^2 + 2 \cdot h_{FE} + 2} \quad (3.42)$$

Esta ecuación se convierte en $1 - 2 \cdot h_{FE}^{-2}$ si la ganancia del transistor bipolar es suficientemente elevada. En otras palabras, es equiparable al espejo de base compensada. Sin embargo, a diferencia de éste, la impedancia de salida también se dispara. Estudiemos ahora el modelo en pequeña señal del espejo Wilson simple en tecnología bipolar (Fig. 3.22a). A diferencia del cascode, no es sencillo hacer simplificaciones. Así, lo único que se puede hacer es suponer que todo el transistor Q2 se comporta en pequeña señal como una resistencia de valor:

$$R_{P2} = \left(h_{ie2} / \left(\frac{h_{ie2}}{h_{fe}} / h_{oe2}^{-1} \right) \right) \quad (3.43)$$

Es fácil ver que, en circunstancias normales, $h_{oe}^{-1} \gg \frac{h_{ie}}{h_{fe}}$ por lo que

$$R_{P2} \approx \frac{h_{ie2}}{h_{fe} + 1} \quad (3.44)$$

Por ello, el circuito se puede simplificar y reordenar para obtener el de Fig. 3.22b. Este circuito conduce a soluciones algo complicadas y farragosas que pueden simplificarse realizando unas sencillas suposiciones. En primer lugar, todos los transistores son iguales y, en segundo, que la tensión Early sea mucho mayor que $h_{fe} \cdot N \cdot V_T \sim 2 - 5 V$. De este modo, a partir de las ecuaciones

$$I_X = h_{oe} \cdot (V_X - v_A) + h_{fe} \cdot i_{b3}$$

$$I_X = \frac{v_A}{R_{P2}} + i_{b1} - i_{b3}$$

$$i_{b3} + h_{fe} \cdot i_{b1} + h_{oe} \cdot v_y = 0$$

$$v_A = h_{ie} \cdot i_{b1}$$

$$v_y = v_A + h_{ie} \cdot i_{b3} = h_{ie} \cdot (i_{b1} + i_{b3})$$

se acaba demostrando que

$$i_{b3} = -\frac{h_{fe} + h_{oe} \cdot h_{ie}}{1 + h_{oe} \cdot h_{ie}} \cdot i_{b1} \approx -h_{fe} \cdot i_{b1}$$

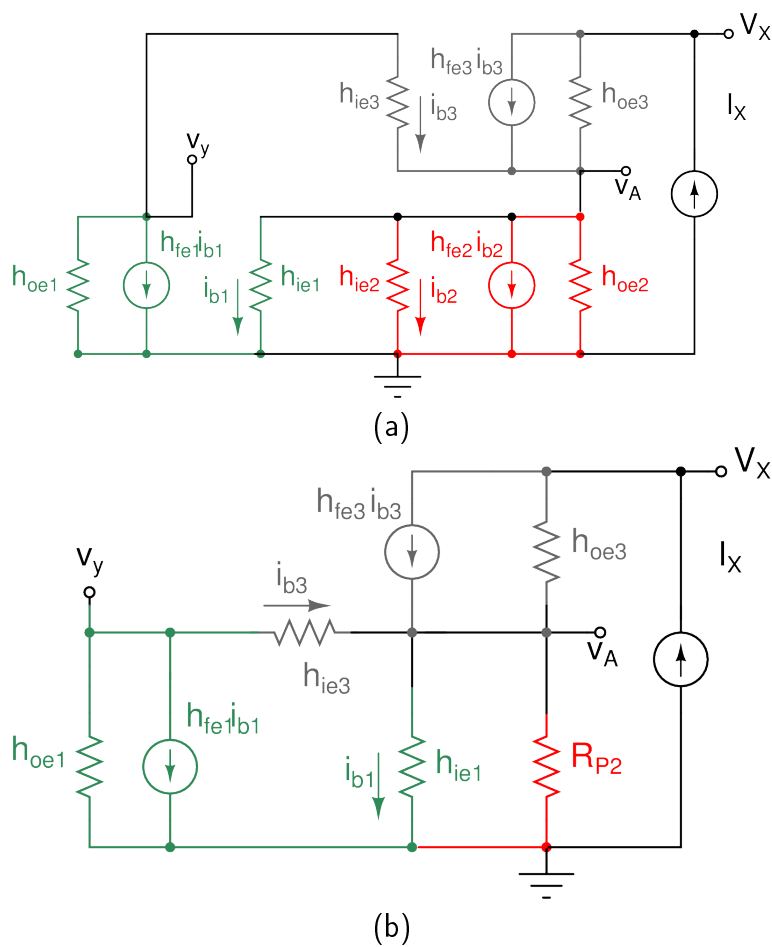


Figura 3.22: Equivalentes en pequeña señal de los espejos Wilson en tecnología bipolar para el cálculo de la impedancia de salida. Versión completa (a) y simplificada (b).

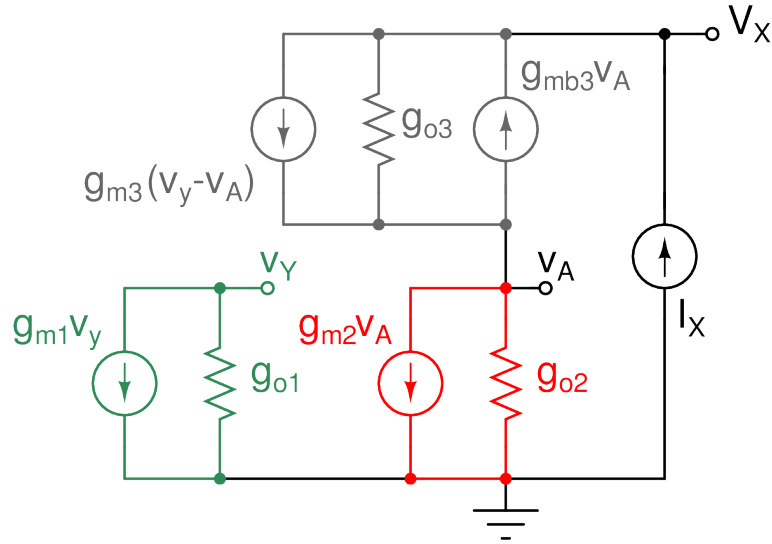


Figura 3.23: Equivalentes en pequeña señal de los espejos wilson simple en tecnología CMOS para el cálculo de la impedancia de salida.

$$i_{b1} = \frac{1}{2} \cdot \frac{I_X}{h_{fe} + 1}$$

y, finalmente,

$$Z_O = \frac{V_X}{I_X} = h_{oe}^{-1} \cdot \left(1 + \frac{1}{2} \cdot \frac{h_{ie} \cdot h_{oe}}{h_{fe} + 1} + \frac{1}{2} \cdot \frac{h_{fe}^2}{h_{fe} + 1} \right) \approx h_{oe}^{-1} \cdot \left(1 + \frac{1}{2} \cdot h_{fe} \right) \quad (3.45)$$

En otras palabras, prácticamente multiplica la impedancia de salida del espejo simple por $0,5 \cdot h_{fe}$. En tecnología CMOS, el circuito en pequeña señal es distinto y se representa en Fig. 3.23. Su resolución conduce a la siguiente impedancia de salida:

$$Z_O = g_{o3}^{-1} \cdot \left(1 + \frac{g_{m3} + g_{mb3} + g_{o3} + g_{m1} \cdot g_{m3} \cdot g_{o1}^{-1}}{g_{m2} + g_{o2}} \right) \quad (3.46)$$

Para interpretar esta fórmula, debemos realizar unos cálculos rápidos para orientarnos. Supongamos que, por ejemplo¹¹, tenemos un transistor de forma cuadrada ($W = L$) y con una transconductancia de 0.2 mA/V^2 y un coeficiente de modulación de canal de valor 0.003 V^{-1} . Si circula una corriente de 1 mA por ambas ramas, los valores en pequeña señal serían:

$$g_{m1} = g_{m2} = \sqrt{2 \cdot \beta \cdot I_Q} = \sqrt{2 \cdot 0.2 \cdot 10^{-3} \cdot 10^{-3}} = 0.63 \frac{\text{mA}}{\text{V}}$$

$$g_{o1} = g_{o2} = \lambda \cdot I_Q = 0.003 \frac{\text{mA}}{\text{V}}$$

Puede verse que, en circunstancias normales, la transconductancia en pequeña señal domina

¹¹Realmente, estos datos son similares a los del transistor de la Tarea 1 del curso 2011-2012.

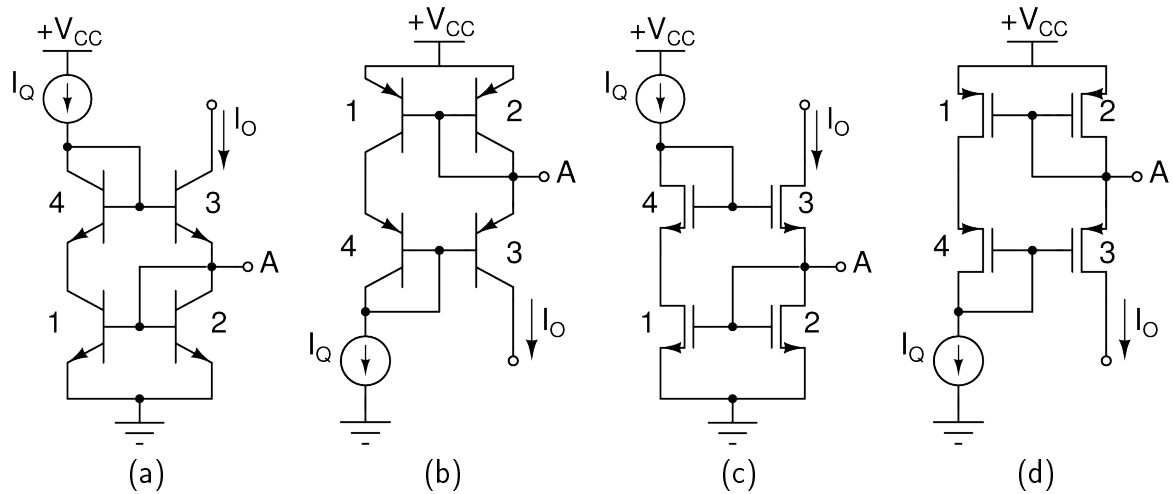


Figura 3.24: Espejos Wilson compuestos contruidos con NPNs (a), PNP (b), NMOS (c) y PMOS (d).

sobre la conductancia. Por tanto:

$$Z_O \approx g_{o3}^{-1} \cdot \left(1 + \frac{g_{m3} + g_{mb3}}{g_{m2}} \right) \quad (3.47)$$

Por tanto, para aumentar la impedancia de salida, basta con aumentar la transconductancia del transistor situado en el nivel superior, que se puede realizar fácilmente incrementando la anchura de su canal.

El espejo Wilson aún puede mejorarse. Fijémonos en los espejos de Fig. 3.21. En ellos, se aprecia que la tensión colector-emisor del transistor 1 de las versiones bipolares es del orden de $2 \cdot V_\gamma \sim 1,4 V$. Por el contrario, en el transistor 2, la tensión colector-emisor es solo $V_\gamma \sim 0,7 V$. Aún en el caso de que el efecto Early sea de segundo orden, el factor $\frac{V_\gamma}{V_{AF}}$ puede ser más importante que el factor $-h_{FE}^{-2}$. En consecuencia, si se desea conseguir una buena reflexión, se debe equiparar el valor de las tensiones colector-emisor de ambos transistores. Algo similar ocurre en las tecnologías CMOS. En este caso, la tensión drenador-fuente del transistor 1 es $2 \cdot V_{TH}$ y, en el 2, simplemente V_{TH} . El error introducido, del orden de $\lambda \cdot V_{TH}$, puede ser bastante importante.

En ambos casos, el problema puede solucionarse utilizando un transistor adicional, como muestra Fig. 3.24. La adición de este cuarto transistor hace que las caídas de tensión en los transistores 1 y 2 sean prácticamente las mismas. Por otra parte, puede demostrarse que Eq. 3.42 sigue siendo válida para los espejos bipolares. La impedancia de salida puede variar pero sigue siendo extraordinariamente alta.

¿Configuraciones Wilson o cascode? Ciertamente, los espejos cascode en tecnología bipolar adolecen de un factor de reflexión muy degradado. Por ello, deben ser descartados en beneficio de los otros espejos si se desea conseguir una impedancia de salida muy elevada. Sin embargo, en tecnología CMOS no hay diferencia entre ambos tipos de espejos siendo muy habituales las configuraciones cascode con tensión de polarización adicional, como en Fig. 3.17c-d. Una pequeña desventaja del espejo Wilson, en tecnología CMOS, es que necesita una alimentación mínima superior a $2 \cdot V_{TH}$ para

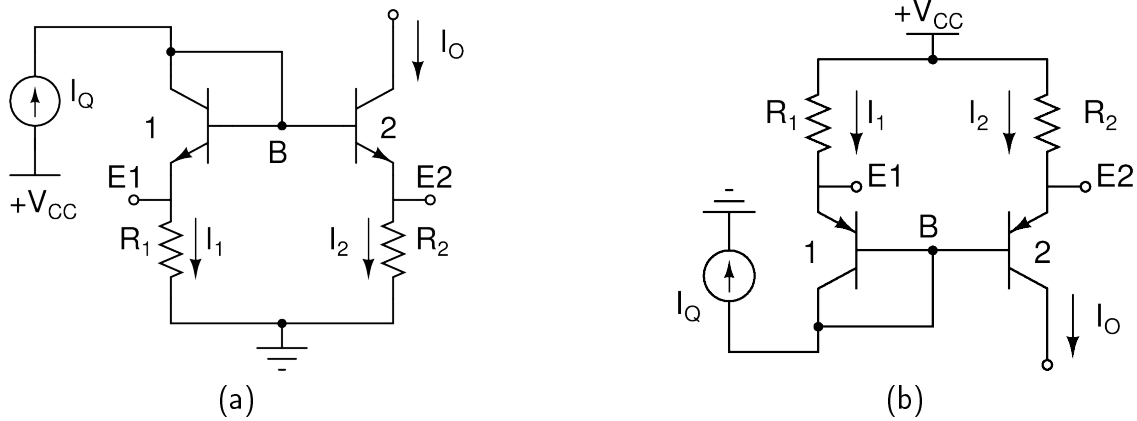


Figura 3.25: Espejos con degeneración de emisor, como sumideros con NPNs (a) y como inyectores con PNP (b).

funcionar correctamente. En cambio, en un espejo cascode con alimentación externa, este valor se reduce a solo V_{TH} . Así, los espejos Wilson no se suelen usar en diseños CMOS de baja alimentación.

3.4.6.4. Espejos con degeneración de emisor

Existe una familia de espejos de amplio uso en tecnología bipolar en las que el reflejo y escalado se basa en el uso de resistencias de emisor externas. Las estructuras básicas se muestran en Fig. 3.25 y su fundamento es sencillo. La tensión en el nudo B puede calcularse de dos maneras:

$$V_B = R_1 \cdot I_1 + V_{BE,1}$$

$$V_B = R_2 \cdot I_2 + V_{BE,2}$$

Igualando ambas expresiones:

$$R_2 \cdot I_2 = R_1 \cdot I_1 + (V_{BE,1} - V_{BE,2})$$

Ahora, ocurre lo siguiente: En general, si los transistores son parecidos, las tensiones base-emisor lo son también de modo que podemos suponer $V_{BE,1} \approx V_{BE,2}$. Por otra parte, si se da que la ganancia de los transistores es elevada, $I_1 \simeq I_Q$ e $I_2 \simeq I_O$ con lo que la expresión anterior se transforma en:

$$R_2 \cdot I_O = R_1 \cdot I_Q \Rightarrow I_O = \frac{R_1}{R_2} \cdot I_Q \quad (3.48)$$

De este modo, se consigue la reflexión y escalado. Para mejorarlo aún más, es posible cambiar el espejo simple de Fig. 3.25 por otro de base compensada, como se muestra en Fig. 3.26. La ventaja de esto es que es más sencillo realizar la identificación $I_Q \simeq I_{C1} \simeq I_{E1}$.

Las ventajas de este espejo son varias. En primer lugar, no es necesario que los transistores sean exactamente iguales por lo que pueden utilizarse para construir espejos de corriente con elementos discretos. Por otra parte, tiene impedancia de salida muy alta. Así, si representamos el circuito de

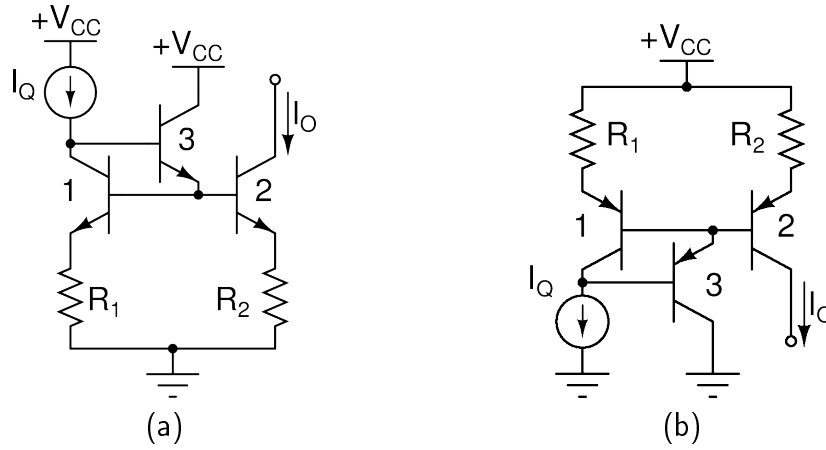


Figura 3.26: Espejos con emisor degenerado y base compensada, con NPNs (a) y con PNP (b).

Fig. 3.25 en pequeña señal, obtendríamos el circuito de Fig. 3.27a. Teniendo en cuenta que, en pequeña señal, el transistor 1 se comporta como una resistencia de valor

$$r_1 = \frac{h_{ie1}}{h_{fe1} + 1} // h_{oe1}^{-1}$$

el circuito se transforma entonces en el de Fig. 3.27b, mucho más sencillo. En este circuito, puede demostrarse con facilidad que:

$$v_{E2} = (R_2 // [R_1 + r_1 + h_{ie2}]) \cdot I_X = \frac{R_2 \cdot (R_1 + r_1 + h_{ie2})}{R_1 + R_2 + r_1 + h_{ie2}} \cdot I_X$$

$$v_{E1} = \frac{R_1}{R_1 + r_1 + h_{ie2}} \cdot v_{E2} = \frac{R_1 \cdot R_2}{R_1 + R_2 + r_1 + h_{ie2}} \cdot I_X$$

$$i_{b2} = -\frac{v_{E1}}{R_1} = \frac{R_2}{R_1 + R_2 + r_1 + h_{ie2}} \cdot I_X$$

$$V_X = v_{E2} + h_{oe2}^{-1} \cdot (I_X - h_{fe2} \cdot i_{b2}) = h_{oe2}^{-1} \cdot \left(1 + h_{fe2} \cdot \frac{R_2}{R_1 + R_2 + h_{ie2}} + \frac{h_{oe2} \cdot R_2 \cdot (R_1 + r_1 + h_{ie2})}{R_1 + R_2 + r_1 + h_{ie2}} \right) \cdot I_X \quad (3.49)$$

En general, dado que las resistencias son del mismo orden y no muy altas, el tercer elemento de la suma puede despreciarse. De este modo:

$$Z_O = \frac{V_X}{I_X} \approx h_{oe2}^{-1} \cdot \left(1 + h_{fe2} \cdot \frac{R_2}{R_1 + R_2 + h_{ie2}} \right) \quad (3.50)$$

En consecuencia, se ha multiplicado el valor de la impedancia de salida de un transistor simple por un término variable que es siempre mayor que 1. Este hecho tiene una importancia radical pues, como se verá en el tema de amplificadores diferenciales, la inserción de estas resistencias hace aumentar la ganancia de los amplificadores. Además, es posible insertar un potenciómetro entre E_1 y E_2 para compensar la posible asimetría entre las ramas. Por ello, este espejo suele aparecer como carga activa en los pares diferenciales de la entrada de los amplificadores operacionales en tecnología bipolar ya

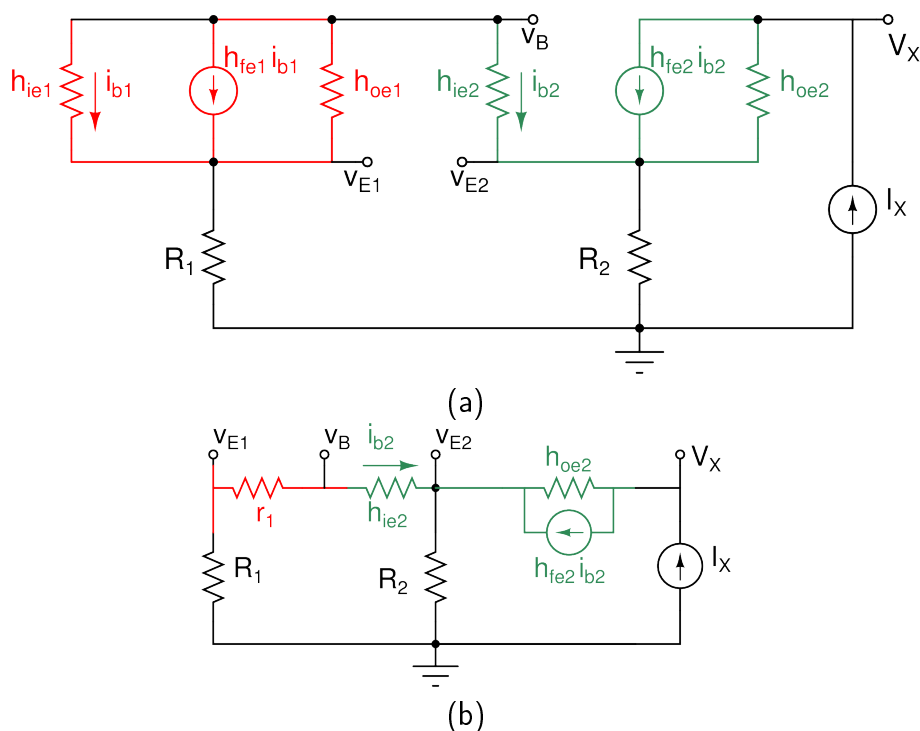


Figura 3.27: Equivalentes en pequeña señal de los espejos con degeneración de emisor en tecnología bipolar para el cálculo de la impedancia de salida. Versión completa (a) y simplificada (b).

que, con el potenciómetro, es posible eliminar un parámetro molesto llamado “*Tensión de offset de la entrada*”.

¿Por qué no se usan estos espejos en tecnología CMOS? Pues, simplemente, porque un MOSFET es una resistencia no lineal y el escalado de corrientes se consigue fácilmente alargando o acortando el canal.

Finalmente, recordemos que el valor de las resistencias no debe ser excesivo pues, a corriente de entrada fija, mayor es la tensión mínima de alimentación del espejo.

3.4.6.5. Espejo Widlar

Un espejo muy especial con amplio uso tanto en tecnología bipolar como CMOS y, en cierto modo, una variación del anterior, es el espejo Widlar¹². En este espejo, la resistencia R_1 desaparece y se convierte en un cortocircuito. De este modo, se pueden conseguir corrientes extraordinariamente pequeñas a partir de una de referencia sin necesidad de construir transistores de tallas muy diferentes. Los distintos tipos de espejo Widlar se encuentran en Fig. 3.28. Este espejo NO debe utilizarse en pares diferenciales sino para polarizar bloques que requieran corrientes muy bajas, como la etapa de entrada de un amplificador operacional bipolar.

Vamos a aceptar que los transistores dentro de un único par son iguales. En el caso de los

¹²Inventada por Robert Widlar, uno de los padres de la electrónica analógica.

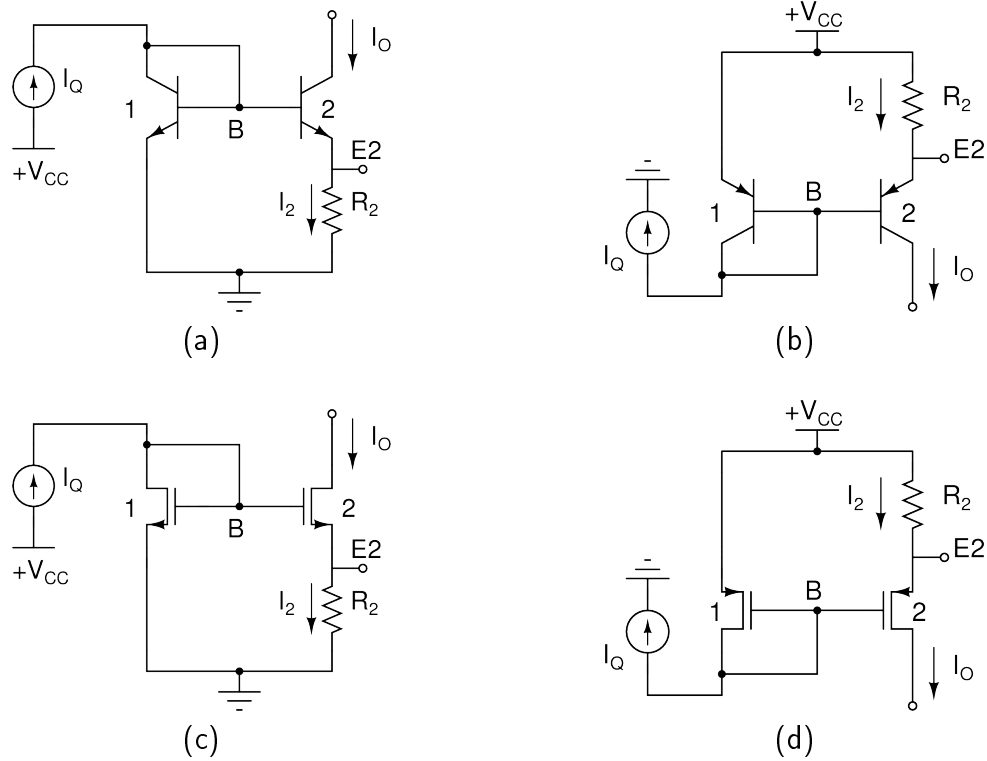


Figura 3.28: Espejos Widlar en distintas tecnologías: NPNs (a), PNP (b), NMOS (c) y PMOS (d).

transistores bipolares (por ejemplo, los NPN de Fig. 3.28a), se va a cumplir que:

$$I_Q \cong I_{C1} = \alpha_F \cdot I_S \cdot \exp\left(\frac{V_B}{N \cdot V_T}\right)$$

$$I_O = \alpha_F \cdot I_S \cdot \exp\left(\frac{V_B - V_{E2}}{N \cdot V_T}\right)$$

La primera aproximación se ha hecho pues, como veremos, $I_Q \gg I_O \gg I_{B2}$. Dividiendo ambas expresiones entre sí:

$$\frac{I_O}{I_Q} = \exp\left(-\frac{V_{E2}}{N \cdot V_T}\right) \cong \exp\left(-\frac{R_2 \cdot I_O}{N \cdot V_T}\right) \quad (3.51)$$

Por tanto, se acaba obteniendo la siguiente ecuación no lineal:

$$I_Q \cong I_O \cdot \exp\left(\frac{R_2 \cdot I_O}{N \cdot V_T}\right) \quad (3.52)$$

que es resoluble numéricamente y que permite obtener valores extraordinariamente bajos de la corriente de salida. En principio, se suele decir que esta ecuación no tiene solución analítica aunque, en realidad, sí la tiene pues existe una función llamada “W de Lambert” que es la solución de la ecuación:

$$x = W(x) \cdot \exp(W(x))$$

siendo¹³

$$W(x) = - \sum_{k=1}^{\infty} (-1)^k \cdot \frac{k^k}{k!} \cdot x^k = x - x^2 + \frac{3}{2}x^3 - \frac{8}{3}x^4 + \dots$$

Por este motivo, si transformamos Eq. 3.52 en:

$$\frac{R_2 \cdot I_Q}{N \cdot V_T} \cong \frac{R_2 \cdot I_O}{N \cdot V_T} \cdot \exp\left(\frac{R \cdot I_O}{N \cdot V_T}\right) \quad (3.53)$$

haciendo $x \equiv \frac{R_2 \cdot I_Q}{N \cdot V_T}$ se llega a:

$$I_O = \frac{N \cdot V_T}{R_2} \cdot W\left(\frac{R_2 \cdot I_Q}{N \cdot V_T}\right) \quad (3.54)$$

El interés del espejo Widlar es que permite construir de un modo muy directo fuentes de corriente de valor muy bajo. En tecnologías CMOS, la ecuación que se plantea es:

$$I_Q = \beta_1 \cdot (V_B - V_{TH})^2$$

$$I_O = \beta_2 \cdot (V_B - R_2 \cdot I_O - V_{TH})^2$$

Que se transforma en la ecuación no lineal:

$$I_O = \beta_2 \cdot \left(\sqrt{\frac{I_Q}{\beta_1}} - R_2 \cdot I_O \right)^2 \quad (3.55)$$

En general, primero se decide qué valor de salida interesa a partir de qué corriente de referencia. De este modo, se calcula la resistencia R_2 que nos hace falta.

Finalmente, es necesario conocer el valor de la impedancia de salida asociada a este dispositivo. Es fácil ver que, en el caso de tecnologías bipolares, es el límite de Eq. 3.50 cuando $R_1 \rightarrow 0$. Así, esta ecuación se convierte en:

$$Z_O \approx h_{oe2}^{-1} \cdot \left(1 + h_{fe2} \cdot \frac{R_2}{R_2 + h_{ie2}} \right) \quad (3.56)$$

Debe tenerse en cuenta que esta fuente permite obtener corrientes de colector del orden de varios microamperios. Por tanto, estimemos el valor de h_{ie2} como:

$$h_{ie2} \sim \frac{0,026}{10^{-6}/100} = 2,6 \cdot 10^6 \gg R_2$$

pues, en general, la resistencia es del orden de varios $k\Omega$. En consecuencia:

$$Z_O \approx h_{oe2}^{-1} \cdot \left(1 + h_{fe2} \cdot \frac{R_2}{h_{ie2}} \right) = h_{oe2}^{-1} \cdot \left(1 + h_{fe2} \cdot R_2 \cdot \frac{I_{B2}}{N \cdot V_T} \right) \approx h_{oe2}^{-1} \cdot \left(1 + \frac{R_2 \cdot I_O}{N \cdot V_T} \right) \quad (3.57)$$

¹³O, más fácilmente calculable, se define $W(a)$, $a \in \mathbb{R}$, $a > -\frac{1}{e}$ como el límite de la sucesión $w_{k+1} = \frac{w_k}{w_k + 1} \cdot (1 + \ln(a) - \ln(w_k))$ cuando $k \rightarrow \infty$.

con lo que el valor de la impedancia de salida no es mucho mayor que el espejo simple. En cualquier caso, recordemos que, por las condiciones especiales de polarización, h_{oe2}^{-1} es muy elevado al ser la corriente de colector extremadamente baja.

En el caso de tecnología CMOS, la resistencia de salida presenta un comportamiento muy similar. Puede deducirse de manera muy sencilla que:

$$Z_O = g_{o2}^{-1} \cdot (1 + R_2 \cdot (g_{m2} + g_{mb2} + g_{o2})) \quad (3.58)$$

que, como Eq. 3.57, es muy grande dado el pequeño valor de la corriente de salida que hace que $g_{o2} = \lambda_2 \cdot I_O \rightarrow 0$.

Capítulo 4

AMPLIFICADORES DE ENTRADA SIMPLE

4.1. Nociones generales sobre amplificadores

4.1.1. ¿Qué es un amplificador?

Antes de comenzar a estudiar su construcción, es conveniente saber qué se entiende en electrónica analógica por “*amplificador*”. El alumno suele tener la idea de que un amplificador es un dispositivo con un terminal de entrada y otro de salida de tal modo que la tensión de salida es una versión agrandada de la de entrada. En otras palabras, el valor de la tensión de salida es dos, tres, o cien veces la tensión aplicada a la entrada.

Sin dejar de ser cierto, esta concepción adolece de varios defectos. En primer lugar, se suele pensar que un amplificador solo trabaja con tensiones. Éste es un fallo que no se debe cometer pues se puede trabajar indistintamente con tensiones o corrientes. Por otra parte, un amplificador no tiene por qué agrandar el valor de la tensión de entrada. Podría recrearla tal cual es o incluso atenuarla.

Claro que hay que manejar cuidadosamente esta idea pues, según ella, un simple divisor de tensiones formado por dos resistencias podría ser un amplificador ya que proporciona una versión de la tensión de entrada en el terminal de salida. Por ello, es conveniente resaltar que en todo amplificador debe haber elementos activos como transistores, amplificadores operacionales, etc. En consecuencia,

un amplificador es una sistema con elementos activos que recoge una magnitud eléctrica (corriente y/o tensión) de un nudo o rama llamado “de entrada” y muestra una versión escalada de dicha magnitud en otro nudo o rama llamado “de salida”.

Esta definición genérica nos permite decidir si una estructura es un amplificador o no. Sin embargo, los amplificadores pueden clasificarse de varios modos atendiendo a los siguientes criterios:

1. *Entrada simple / múltiple*: Un amplificador puede tener un único nudo o rama de entrada, o varias. El primer caso no tiene mayor dificultad de comprensión en tanto que el segundo

requiere una explicación somera. En muchos casos, la salida es función de la diferencia existente entre las entradas por lo que se habla de “amplificador diferencial”. En otros, se pueden realizar operaciones diversas con dichas entradas: Suma, valor medio, suma ponderada, etc. Este tipo de funciones suelen ser fácilmente realizables con amplificadores operacionales.

2. *Salida simple / múltiple*: Un mismo amplificador puede tener dos o más salidas. Las salidas pueden ser independientes de modo que cada una de ellas puede estudiarse sin tener en cuenta las otras. En otros casos, no es así. Así, hay amplificadores cuya salida es igual a la diferencia de tensión entre dos nudos. Esto ocurre, por ejemplo, en los pares diferenciales que se estudiarán en el tema siguiente o en algunos tipos de amplificadores operacionales.
3. *Gran señal / pequeña señal*: Muchos amplificadores trasladan directamente la magnitud de entrada a la salida. Así, esta magnitud es similar a la original. Estos amplificadores se llaman “de gran señal” pues amplifican incluso el modo DC. En otros casos, solo se amplifican las magnitudes de entrada situadas por encima de una frecuencia llamada “*umbral*”. Así, la salida es una señal oscilante en el tiempo y se pierde información acerca del valor DC de la entrada y, por extensión, de las frecuencias bajas. Estos circuitos suelen estudiarse calculando primero el punto de operación del circuito y, en un segundo paso, cambiando cada componente por sus equivalentes en pequeña señal y volviendo a resolver el nuevo circuito. Aplicando el principio de superposición, la salida será entonces la suma de ambas componentes. Por este motivo, estos circuitos se llaman amplificadores de “*pequeña señal*”.
4. *Amplificadores lineales / No lineales*: En algunos casos, la relación que existe entre la entrada y la salida es lineal. Así, en un amplificador con entrada y salida en tensión la relación entre ambas podría ser:

$$V_{OUT} = V_{OS} + K \cdot V_{IN} \quad (4.1)$$

siendo V_{OUT} la tensión de salida, V_{IN} la de entrada,

$$K = \frac{\partial V_{OUT}}{\partial V_{IN}} \quad (4.2)$$

la ganancia del amplificador y

$$V_{OS} = V_{OUT}(0) \quad (4.3)$$

la tensión de *offset* de la salida. En este caso, nos encontramos con un *amplificador lineal*. En cambio, se define como un *amplificador no lineal* aquél en el que la relación entre la entrada y la salida es del tipo

$$V_{OUT} = V_{OS} + K_1 \cdot V_{IN} + K_2 \cdot V_{IN}^2 + K_3 \cdot V_{IN}^3 + K_4 \cdot V_{IN}^4 + \dots \quad (4.4)$$

relación que aparece en los amplificadores no lineales. En estos, se puede mantener la definición de Eq. 4.3 como la de la tensión de *offset* pero Eq. 4.2 deja de ser completamente correcta

pues aparece una dependencia de V_{IN} . Así, se puede hacer que la ganancia de un amplificador sea, simplemente, K_1 , o bien definir la ganancia en torno al punto de operación como

$$K = \left. \frac{\partial V_{OUT}}{\partial V_{IN}} \right|_Q \quad (4.5)$$

Una diferencia apreciable entre los amplificadores lineales y no lineales es la **aparición de distorsión**. Así, supongamos que introducimos una señal de tono puro, $V_{IN}(t) = V_A \cdot \sin(\omega \cdot t)$, en un amplificador lineal. La salida que se obtendría sería:

$$V_{OUT} = V_{OS} + K \cdot V_A \cdot \sin(\omega \cdot t)$$

que es otro tono puro con una componente DC adicional. Sin embargo, si la introducimos en un amplificador no lineal:

$$V_{OUT} = V_{OS} + K_1 \cdot V_A \cdot \sin(\omega \cdot t) + K_2 \cdot V_A^2 \cdot \sin^2(\omega \cdot t) + K_3 \cdot V_A^3 \cdot \sin^3(\omega \cdot t) + \dots$$

que es igual a¹

$$V_{OUT} = \left(V_{OS} + \frac{1}{2} K_2 \cdot V_A^2 \right) + \left(K_1 \cdot V_A + \frac{3}{4} K_3 \cdot V_A^3 \right) \cdot \sin(\omega \cdot t) - \frac{1}{2} K_2 \cdot V_A^2 \cdot \cos(2\omega \cdot t) - \frac{1}{4} K_3 \cdot \sin(3\omega \cdot t) + \dots$$

En otras palabras, han aparecido armónicos de la frecuencia fundamental. En la realidad, los amplificadores lineales no existen pues todos los amplificadores son no lineales ya que la tensión de salida siempre va a estar limitada por las tensiones de alimentación. Este fenómeno, llamado “*saturación*”, implica que la función de salida de todo circuito solo puede ser lineal a tramos. Así, si un circuito está alimentado con dos fuentes de alimentación $+V_{CC}$ y $-V_{EE}$ se va a cumplir que Eq. 4.1 es, concretamente²:

$$\begin{cases} -V_{EE} & V_{IN} < \frac{-V_{EE}-V_{OS}}{K} \\ V_{OS} + K \cdot V_{IN} & \frac{-V_{EE}-V_{OS}}{K} < V_{IN} < \frac{+V_{CC}-V_{OS}}{K} \\ +V_{CC} & V_{IN} > \frac{+V_{CC}-V_{OS}}{K} \end{cases} \quad (4.6)$$

que es una función no lineal. Esto no quiere decir, sin embargo, que no sea sensato trabajar con las ecuaciones asociadas a circuitos lineales. En general, la mayor parte de los circuitos pueden considerarse prácticamente lineales de modo que es posible utilizar las ecuaciones derivadas de esta simplificación que, por lo normal, son muchísimos más simples.

¹El alumno debe recordar que $\sin^2(x) = \frac{1-\cos(2x)}{2}$ y que $\sin^3(x) = \frac{3}{4} \cdot \sin(x) - \frac{1}{4} \cdot \sin(3x)$.

²Realmente, los amplificadores saturan un poco por encima de la tensión de alimentación negativa y un poco por debajo de la positiva.

Entrada	Salida	Nombre	Ganancia
Tensión	Tensión	Amplificador de tensión	$A_V = \frac{V_{OUT}}{V_{IN}}$
Tensión	Corriente	Transconductor	$G_M = \frac{I_{OUT}}{V_{IN}}$
Corriente	Tensión	Transresistor	$G_R = \frac{V_{OUT}}{I_{IN}}$
Corriente	Corriente	Amplificador de corriente	$A_I = \frac{I_{OUT}}{I_{IN}}$

Cuadro 4.1: Tipos de amplificadores en función de las magnitudes de entrada y salida.

5. *Amplificadores de tensión, corriente, transconductores y transresistores*: Puesto que hay dos objetos de interés, entrada y salida, y dos tipos de señales eléctricas, tensión y corriente, los amplificadores pueden clasificarse en cuatro categorías como se muestra en Tabla 4.1. En general, se dice que un amplificador pertenece a alguno de estos tipos siempre y cuando la ganancia asociada sea más o menos constante e independiente de las condiciones de polarización como, por ejemplo, la impedancia que carga la salida.

4.1.2. Parámetros característicos de los amplificadores

Podemos considerar que, independientemente de sus elementos, todo amplificador puede hacerse equivalente a alguno de los cuatro modelos que se muestran en Fig. 4.1. En todos los casos, se entiende que existen dos terminales de entrada, entre los que existe una diferencia de tensión V_{IN} y circula una corriente de entrada, I_{IN} . Esta concepción es válida para los amplificadores diferenciales y para los de entrada simple ya que, en estos últimos, basta con hacer el terminal negativo igual al nodo de tierra. En estas circunstancias, es posible definir un parámetro llamado “*impedancia de entrada*” como

$$Z_{IN} = \frac{V_{IN}}{I_{IN}} \quad (4.7)$$

Este parámetro puede depender de la frecuencia, ser aplicable solamente a la pequeña señal, etc. Por otra parte, la ganancia se suele representar como una fuente dependiente de tensión o corriente según las características de la salida. Así, en el caso de un amplificador de tensión, es posible definir una ganancia como la mostrada en Tabla 4.1 para modelar una fuente de tensión. Esta misma fuente aparece en los transresistores con la salvedad de que ahora la magnitud de control es la corriente de entrada y la ganancia es G_R , con dimensiones de resistencia. En los amplificadores con salida en corriente, es necesario que la fuente dependiente sea de corriente. Si es un amplificador de corriente, la entrada es I_{IN} y la ganancia es un número puro. Si el amplificador es un transconductor, la señal de control es la tensión de entrada y la ganancia es G_M , o “*transconductancia*”, que se mide en Ω^{-1} .

La impedancia de salida requiere un tratamiento aparte. En principio, se introduce porque toda fuente de tensión (corriente) tiene en serie (paralelo) una resistencia. Por ello, se ha introducido Z_{OUT} en todos los esquemas de Fig. 4.1. Su valor se calcularía a través de las variaciones sobre la tensión/corriente teóricas de salida que se observan en la salida a medida que cambia el valor de la impedancia de carga, Z_L .

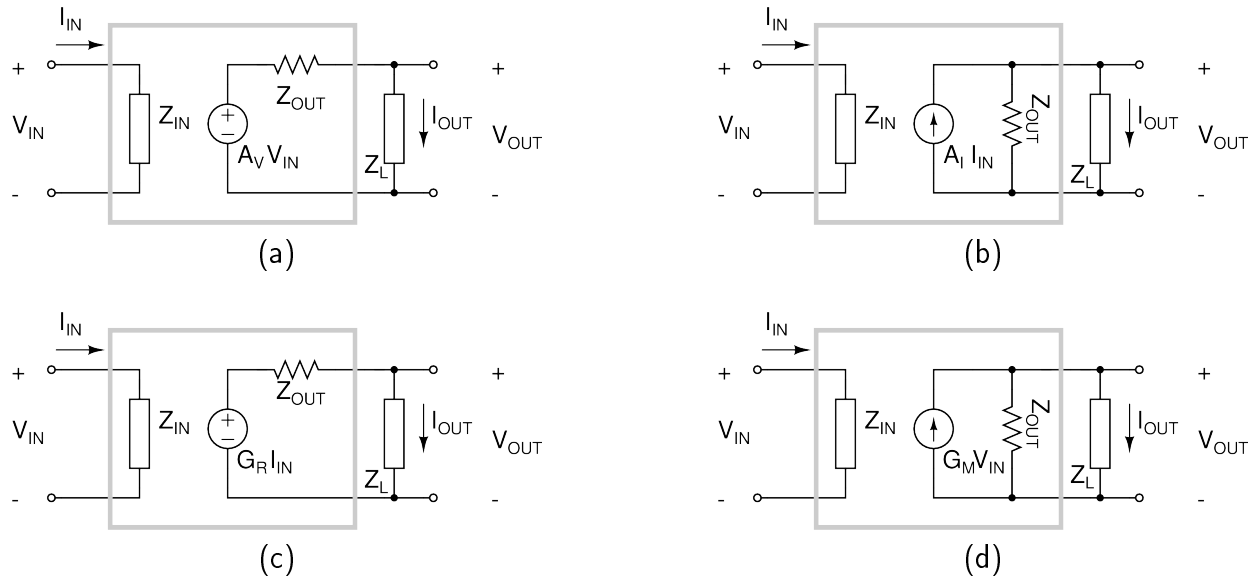


Figura 4.1: Amplificadores de tensión (a), de corriente (b), transresistor (c) y transconductor (d). Z_L es la impedancia de carga y no pertenece al amplificador propiamente dicho.

Deben tenerse en cuenta algunos puntos de interés. Siempre es posible convertir una fuente de tensión con una resistencia en serie en una fuente de corriente con una resistencia en paralelo gracias a los teoremas de Thévenin y Norton. Por tanto, el circuito de Fig. 4.1a se puede transformar en 4.1d y viceversa aceptando que:

$$G_M = \frac{A_V}{Z_{OUT}} \quad (4.8)$$

permaneciendo invariable el valor de Z_{OUT} . Análogamente, el circuito de Fig. 4.1b se transforma en el de 4.1c con el cambio

$$G_R = Z_{OUT} \cdot A_I \quad (4.9)$$

Asimismo, teniendo en cuenta Eq. 4.7, se pueden establecer las siguientes relaciones:

$$A_V = \frac{V_{OUT}}{V_{IN}} = \frac{Z_L \cdot I_{OUT}}{Z_{IN} \cdot I_{IN}} = \frac{Z_L}{Z_{IN}} \cdot A_I \quad (4.10)$$

$$G_M = \frac{I_{OUT}}{V_{IN}} = \frac{I_{OUT}}{I_{IN}} \cdot \frac{I_{IN}}{V_{IN}} = \frac{A_I}{Z_{IN}} \quad (4.11)$$

$$G_M = \frac{I_{OUT}}{V_{IN}} = \frac{V_{OUT}}{Z_L} \cdot \frac{1}{V_{IN}} = \frac{A_V}{Z_L} \quad (4.12)$$

$$G_R = \frac{V_{OUT}}{I_{IN}} = \frac{V_{OUT}}{V_{IN}} \cdot \frac{V_{IN}}{I_{IN}} = A_V \cdot Z_{IN} \quad (4.13)$$

$$G_R = \frac{V_{OUT}}{I_{IN}} = A_I \cdot Z_L \quad (4.14)$$

De lo que se deduce que, una vez deducidos algunos parámetros, los demás van cayendo como fichas de dominó.

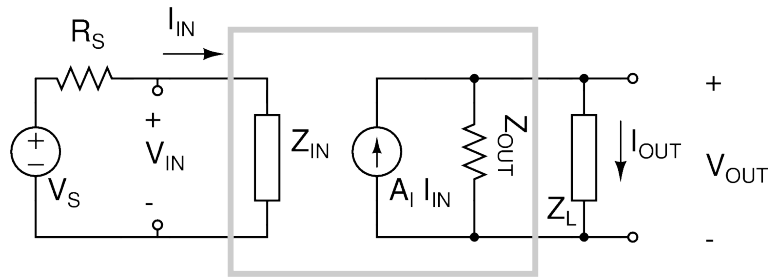


Figura 4.2: Inserción de una fuente de tensión a un amplificador de corriente.

4.1.3. Efectos de la resistencia de fuente en la entrada

La tensión que se aplica entre los terminales de entrada en cualquiera de los circuitos de Fig. 4.1 puede suponerse proveniente de una fuente cuyo equivalente Thévenin es una tensión v_S en serie con una resistencia de valor R_S . Así, un modo realista de representar la inserción de una señal a un amplificador es el mostrado en Fig. 4.2. En este caso, se ha supuesto que el amplificador es de corriente aunque, en general, se puede suponer cualquier otra configuración.

Si desconectáramos la fuente de tensión y midiéramos la amplitud, obtendríamos un valor V_S . Este valor se llama “*salida en abierto*”. Sin embargo, si conectáramos la fuente al amplificador, se produciría una caída de tensión de tal modo que

$$V_{IN} = \frac{Z_{IN}}{Z_{IN} + R_S} \cdot V_S$$

Esto nos permite definir una nueva ganancia en tensión, distinta de A_V , llamada “*ganancia en tensión sobre la tensión de fuente*”, A_{VS} , de valor:

$$A_{VS} = \frac{V_O}{V_S} = \frac{Z_{IN} + R_S}{R_S} \cdot A_V \quad (4.15)$$

que se utiliza en algunas ocasiones.

4.2. Inserción de la pequeña señal

En el tema anterior, se dijo que los circuitos electrónicos constaban de una red principal en la que se fijaba el punto de operación y que, posteriormente, se añadía una fuente en pequeña señal que actuaría como perturbación y que se transmitiría al nodo de salida. Esto, aparentemente tan sencillo, plantea una serie de problemas prácticos como los que se producirían en el circuito de Fig. 4.3.

En ella, se ha supuesto que se ha creado una red con degeneración de emisor, perfectamente calibrada, y que se acopla una perturbación, V_S , a la base del transistor con el objeto de modificar la corriente de base y transmitir esta perturbación, amplificada, a la corriente de colector. Así, se observaría una modificación significativa de la tensión de colector, que es la salida del circuito.

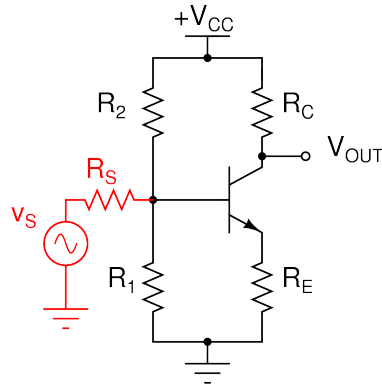


Figura 4.3: Inserción directa de una fuente en pequeña señal a una red con degeneración de emisor.

Este es, más o menos, el funcionamiento deseable. Sin embargo, este circuito no puede funcionar. El motivo es sencillo: En DC, la fuente aplicada en la entrada es un cortocircuito. En otras palabras, estaríamos conectando la base del transistor a tierra a través de una resistencia de valor $R_S // R_1$ con lo que se modificaría el punto de operación. Si R_S tiene un valor suficientemente pequeño, podría conducir al transistor a corte, abandonando la zona activa directa.

¿Cómo podemos solucionar esto? Existen varias estrategias para acabar con este problema:

1. *Acoplo directo*: En algunos casos, el diseñador decide preparar cuidadosamente el circuito de tal modo que su punto de operación sea independiente de la tensión aplicada a la entrada. Así, en el circuito anterior, una solución sería hacer $R_1 \ll R_S$. Esta estrategia es útil en circuitos integrados y es, por ejemplo, la que se utiliza en algunos comparadores de tensión con salida de colector abierto en los que se ha preparado el circuito para que la corriente de base del transistor de salida dependa de la diferencia de tensiones aplicadas en las entradas.
2. *Realimentación*: Muchos amplificadores diferenciales sacrifican una entrada para conectarla a la salida. Así, la realimentación negativa que se produce permite que el punto de operación se ajuste de manera mecánica. Esta estrategia es ampliamente empleada en muchísimos dispositivos en los que existen amplificadores operacionales integrados.
3. *Capacidades de acoplo*: En el caso de diseño discreto, es posible utilizar condensadores de acoplo. Recordemos que un condensador es un dispositivo que en DC se comporta como un circuito abierto pero que, a una frecuencia suficientemente alta, su impedancia puede ser despreciable frente al resto. Así, en circuitos con amplificadores discretos, una solución al ejemplo de Fig. 4.3 hubiera sido el mostrado en Fig. 4.4.

En este circuito, una capacidad C_1 se pone en serie con R_S de tal modo que el nudo de base no se ve alterado por esta fuente. Análogamente, podemos conectar una resistencia de carga a través de otro condensador en serie, C_2 , de tal modo que no se afecta al punto de operación. Este tipo de condensadores, puestos en serie con el elemento que se quiere aislar para no afectar al punto de operación, se denominan “condensadores de bloqueo”.

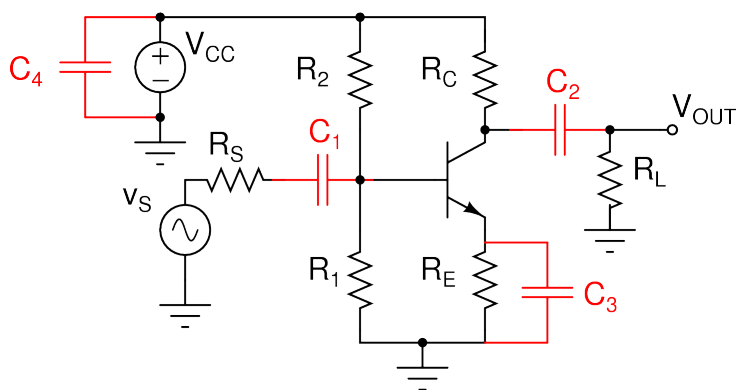


Figura 4.4: Uso de condensadores para insertar una pequeña señal sin alterar el punto de operación.

Podría darse el caso contrario. Existen elementos que deben estar presentes para fijar el punto de operación pero su presencia es incómoda al estudiar el circuito en pequeña señal. Un ejemplo es R_E en Fig. 4.4, que estabiliza el punto de operación pero degrada significativamente la ganancia del amplificador, como veremos en apartados posteriores. Para solucionarlo, podemos usar C_3 . A una frecuencia suficientemente alta, la impedancia asociada es mucho menor que la resistencia de emisor de tal modo que es posible considerar que el paralelo formado por ambos elementos, $\left(R_E // \frac{1}{s \cdot C_E}\right)$, es prácticamente un cortocircuito. Estos condensadores, puestos en paralelo con elementos indeseables y que sirven para sortearlos en pequeña señal, se denominan “condensadores de paso”.

El problema de usar condensadores de paso y de bloqueo es que estamos sacrificando la capacidad de amplificación en DC y, por tanto, en gran señal. Los circuitos con acoplo capacitivo solo funcionan en un rango de frecuencias medias, suficientemente altas como para que el módulo de las impedancias capacitivas sean mucho menores que aquellas resistencias que acompañan pero no tanto como para que se puedan obviar las capacidades internas del condensador.

Un tercer grupo de condensadores son los “condensadores de desacoplo” como C_4 . Se colocan entre la alimentación y tierra y, realmente, el circuito podría funcionar sin ellos. Sin embargo, su uso es recomendable por los siguientes motivos. En primer lugar, contribuyen a eliminar el ruido proveniente de la fuente de alimentación pues las componentes de alta frecuencia encuentran un camino de baja impedancia hacia tierra y no afectan al núcleo del circuito. Por otra parte, a veces la fuente de alimentación se encuentra relativamente lejos del circuito. En caso de que se produzca un cambio brusco en la tensión de salida, el circuito puede necesitarse un aporte puntual de corriente de manera inmediata. Si la carga proveniente de la fuente no tiene tiempo de llegar al circuito, éste no funcionará bien. La presencia de un condensador de desacoplo soluciona este problema pues este condensador proporciona la carga de manera instantánea y se vuelve a cargar una vez que el aporte de corriente ha terminado. Esto tiene gran importancia, por ejemplo, en el diseño de circuitos digitales de alta frecuencia con microprocesadores, FPGAs y CPLDs, en los que se recomienda colocar condensadores de desacoplo a menos de 1 cm de cada una de las entradas de alimentación.

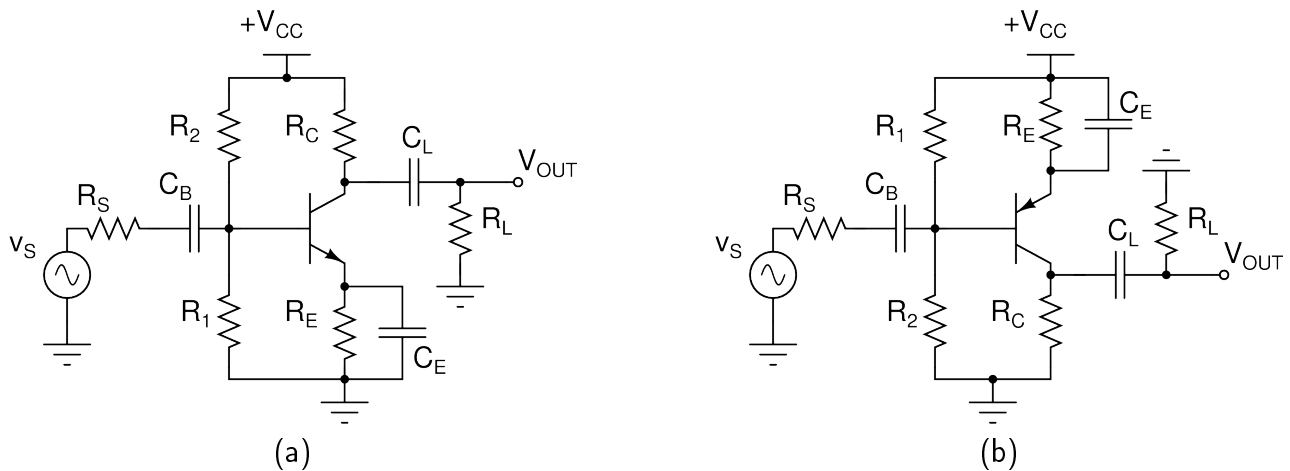


Figura 4.5: Amplificador en configuración de emisor común basado en BJT, con NPN (a) y PNP (b). Se considera que la entrada propiamente dicha del amplificador es la base del transistor.

4.3. Circuitos amplificadores de entrada simple con componentes discretos

En este apartado, vamos a estudiar las distintas configuraciones que pueden construirse con un único transistor y elementos discretos como resistencias y condensadores. El transistor puede ser de cualquier tipo (NPN, PNP, NMOS, PMOS, NJFET, PJFET) y estará dentro de una red de emisor (fuente) degenerado. La pequeña señal se introducirá con condensadores de acoplo, que también se utilizarán para conectar nodos específicos del transistor a una tensión constante en el modelo equivalente de pequeña señal.

Se van a estudiar distintas configuraciones cada una de las cuales tiene unas propiedades que son óptimas para determinadas circunstancias.

4.3.1. Configuración de emisor/fuente común

Estos circuitos constituyen una familia de amplificadores que proporcionan una alta ganancia tanto en corriente como en tensión. Todos ellos son inversores por lo que la entrada y salida estarán en contrafase en el rango de trabajo óptimo (frecuencias medias).

4.3.1.1. Ganancias e impedancias a frecuencias medias. Caso bipolar

En primer lugar, estudiaremos los amplificadores en emisor común, con un transistor bipolar como núcleo (Fig. 4.5). Estas configuraciones son especialmente válidas para amplificar tanto tensión como corriente según el valor de la carga. Así, el valor de A_V y A_{VS} es prácticamente independiente de la carga aplicada, R_L si ésta es muy grande y, por el contrario, si R_L es pequeña A_I es prácticamente constante. Esta red se diferencia de otras parecidas, como la red con degeneración de emisor, en que existe una capacidad de paso en paralelo con la resistencia de emisor, C_E , de tal modo que, en el modelo en pequeña señal, se puede considerar que el emisor del transistor está unido a tierra.

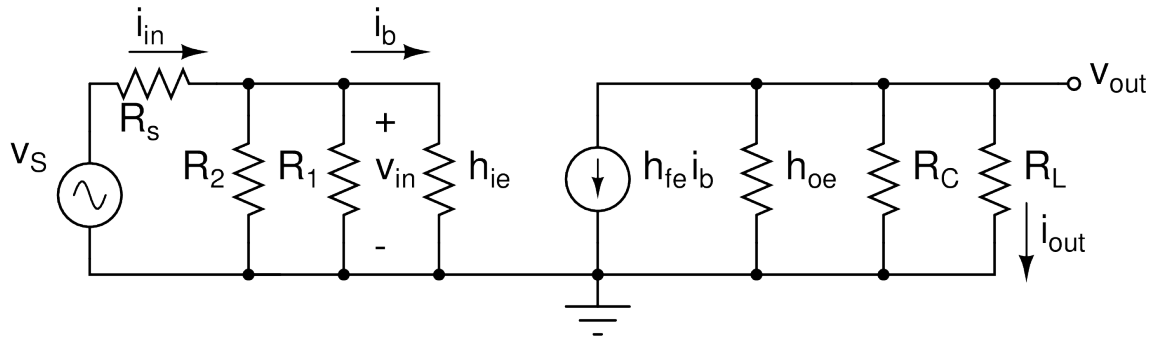


Figura 4.6: Equivalente en pequeña señal del amplificador en emisor común. Se ha eliminado R_E y no se incorporan parásitos al modelo del transistor.

Por ello, esta configuración se dice “*de emisor común*”. Hay que resaltar que este postulado solo es válido a frecuencias medias y altas.

Al hacer el modelo de pequeña señal, se obtiene el circuito de Fig. 4.6 independientemente de si el transistor es NPN o PNP. Se ha reemplazado el transistor por su modelo de pequeña señal en emisor común ya que se obtienen circuitos mucho más fáciles de resolver. Así, se consigue que la parte izquierda del circuito sea independiente de la parte derecha. Puede demostrarse fácilmente que:

$$i_{in} = \frac{v_S - v_{in}}{R_S} \quad (4.16)$$

$$i_b = \frac{v_{in}}{h_{ie}} \quad (4.17)$$

$$v_{in} = i_{in} \cdot (h_{ie} // R_1 // R_2) \quad (4.18)$$

y esto nos permite deducir el primer parámetro:

$$Z_{IN} = \frac{v_{in}}{i_{in}} = (h_{ie} // R_1 // R_2) \quad (4.19)$$

Recordemos que, en el tema anterior, se hablaba de que la condición adicional para calcular los valores de R_1 y R_2 podía venir de la impedancia de entrada del amplificador final. Éste es un ejemplo de ello. Si exigimos que Z_{IN} tenga un valor alto, no podemos elegir valores de las resistencias de polarización excesivamente bajos pues incumpliríamos los requerimientos previstos. Por otra parte,

$$v_{out} = -h_{fe} \cdot i_b \cdot (R_C // h_{oe}^{-1} // R_L) = -\frac{h_{fe}}{h_{ie}} \cdot (R_C // h_{oe}^{-1} // R_L) \cdot v_{in} \Rightarrow$$

$$A_V = -h_{fe} \cdot \frac{(R_C // h_{oe}^{-1} // R_L)}{h_{ie}} \quad (4.20)$$

Ahora, utilizando Eq. 4.10-4.14, se deduce que

$$A_I = \frac{Z_{in}}{R_L} \cdot A_V = -h_{fe} \cdot \frac{(R_C // h_{oe}^{-1} // R_L)}{h_{ie}} \cdot \frac{(h_{ie} // R_1 // R_2)}{R_L} \quad (4.21)$$

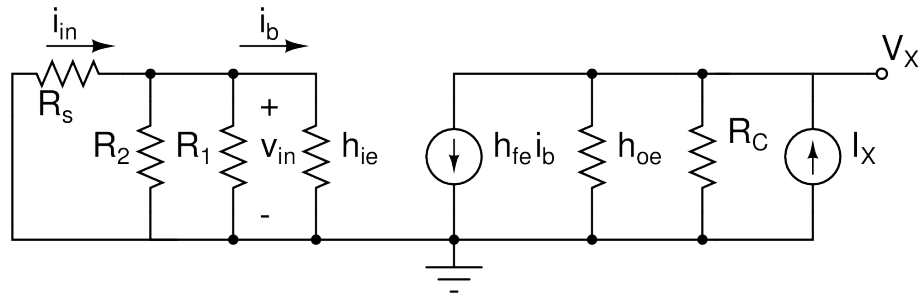


Figura 4.7: Equivalente en pequeña señal del amplificador en emisor común para el cálculo de la impedancia de salida.

El cálculo de la impedancia de salida no puede realizarse directamente a partir del circuito mostrado en Fig. 4.6. En su lugar, es necesario hacer unas pequeñas modificaciones:

- Las fuentes independientes deben anularse. En otras palabras, se requiere cambiar v_s por un cortocircuito a tierra.
- No tiene sentido calcular la impedancia de salida con una resistencia de carga externa en el circuito. Precisamente, la impedancia de salida se utiliza para averiguar como afecta la carga a la tensión de salida. Por ello, se cambia por un abierto.
- Es necesario incorporar una fuente ideal, I_X , aplicada al nodo de salida de tal modo que la diferencia de tensión, V_X , nos permite conocer la impedancia de salida.

Con todo esto, el circuito necesario para conocer la impedancia de salida es el mostrado en Fig. 4.7. Su resolución es sencilla pues toda la parte izquierda puede eliminarse al constar solo de resistencias sin ninguna fuente que las alimente. Ello implica que la fuente $h_{fe} \cdot i_b$ también se puede eliminar y que la única resistencia que ve la fuente I_X , y que coincide con la impedancia de salida, es:

$$Z_{OUT} = \frac{V_X}{I_X} = (R_C // h_{oe}^{-1}) \quad (4.22)$$

Una vez visto esto, nos podemos plantear cuales son las mejores condiciones en las que emplear este circuito. Supongamos, en un principio, que la resistencia de carga es mucho mayor que la impedancia de salida del dispositivo. En ese caso, las ecuaciones del circuito se convierten en:

$$Z_{IN} = \frac{v_{in}}{i_{in}} = (h_{ie} // R_1 // R_2)$$

$$A_V \rightarrow -h_{fe} \cdot \frac{(R_C // h_{oe}^{-1})}{h_{ie}} \approx -I_C \cdot \frac{(R_C // h_{oe}^{-1})}{N \cdot V_T}$$

$$A_I \rightarrow -h_{fe} \cdot \frac{(R_C // h_{oe}^{-1})}{h_{ie}} \cdot \frac{(h_{ie} // R_1 // R_2)}{R_L}$$

Se ha conseguido que la ganancia en tensión sea prácticamente constante y solo dependiente de las características del punto de operación elegido. En cambio, la ganancia en corriente depende

fuertemente de la resistencia de carga. En conclusión, este dispositivo funciona como un amplificador de tensión cuando la resistencia de carga es muy alta comparada con la de salida, $(R_C // h_{oe}^{-1})$.

En cambio, si suponemos que la resistencia de carga es muy baja, las ecuaciones se reducen a:

$$A_V \rightarrow -h_{fe} \cdot \frac{R_L}{h_{ie}}$$

$$A_I \rightarrow -h_{fe} \cdot \frac{R_L}{h_{ie}} \cdot \frac{(h_{ie} // R_1 // R_2)}{R_L} = -h_{fe} \cdot \frac{(h_{ie} // R_1 // R_2)}{h_{ie}}$$

de modo que el circuito funcionaría como un amplificador de corriente. Sin embargo, no se debe olvidar un hecho significativo: La corriente que llega a la carga proviene de la fuente y debe atravesar la resistencia de colector de modo que estará siempre limitada por ésta ya que un valor excesivamente alto conduciría al transistor a saturación. En otras palabras, la corriente de salida no podría exceder demasiado de I_C . Análogamente, en un amplificador de tensión, la salida completa ($V_{OUT,Q} + v_{out}$) no puede exceder de los valores de la tensión de alimentación pues, si no, se saturaría.

4.3.1.2. Ganancias e impedancias a frecuencias medias. Caso MOSFET

Los circuitos que se plantean son similares al del apartado anterior cambiando el transistor NPN por un NMOS y el PNP por un PMOS (Fig. 4.8). Hay que tener en cuenta, por otro lado, que es importante indicar donde se ha conectado el terminal de sustrato: A la fuente del transistor o a la alimentación. Ocurre que los transistores MOS discretos tienen el terminal de fuente y el sustrato cortocircuitados, hecho que no ocurre en los dispositivos integrados. Por tanto, vamos a considerar, a partir de ahora, que en estos circuitos ocurre así y que, por tanto, no existe efecto sustrato³.

En ambos casos, el circuito en pequeña señal es el mostrado en Fig. 4.9. Se ha tenido en cuenta que, en pequeña señal y a frecuencias medias, la fuente del transistor está conectada a la tierra de modo que la tensión de entrada, situada en la puerta del transistor, es la de puerta-fuente en pequeña señal. En consecuencia, los parámetros que se pueden deducir rápidamente son los siguientes:

$$Z_{in} = \frac{v_{in}}{i_{in}} = (R_1 // R_2) \quad (4.23)$$

$$v_{out} = -g_m \cdot v_{gs} \cdot (g_o^{-1} // R_D // R_L) \rightarrow$$

$$A_V = \frac{v_{out}}{v_{in}} = -g_m \cdot (g_o^{-1} // R_D // R_L) \quad (4.24)$$

$$A_I = \frac{i_{out}}{i_{in}} = \frac{Z_{in}}{R_L} \cdot A_V = -\frac{(R_1 // R_2)}{R_L} \cdot g_m \cdot (g_o^{-1} // R_D // R_L) \quad (4.25)$$

Por otra parte, a partir del circuito de Fig. 4.9 es fácil obtener el que nos da la resistencia de salida.

³Realmente, la presencia de los condensadores C_S impedirían en cualquier caso la aparición de este efecto. Sin embargo, en los próximos apartados veremos configuraciones donde este condensador no está presente por lo que conviene resaltar, desde un principio, que **en transistores MOS discretos no hay efecto sustrato**. Lamentablemente, la capacidad C_{JBD} adquiere una relevancia que no se hubiera dado conectando el sustrato a una tensión constante.

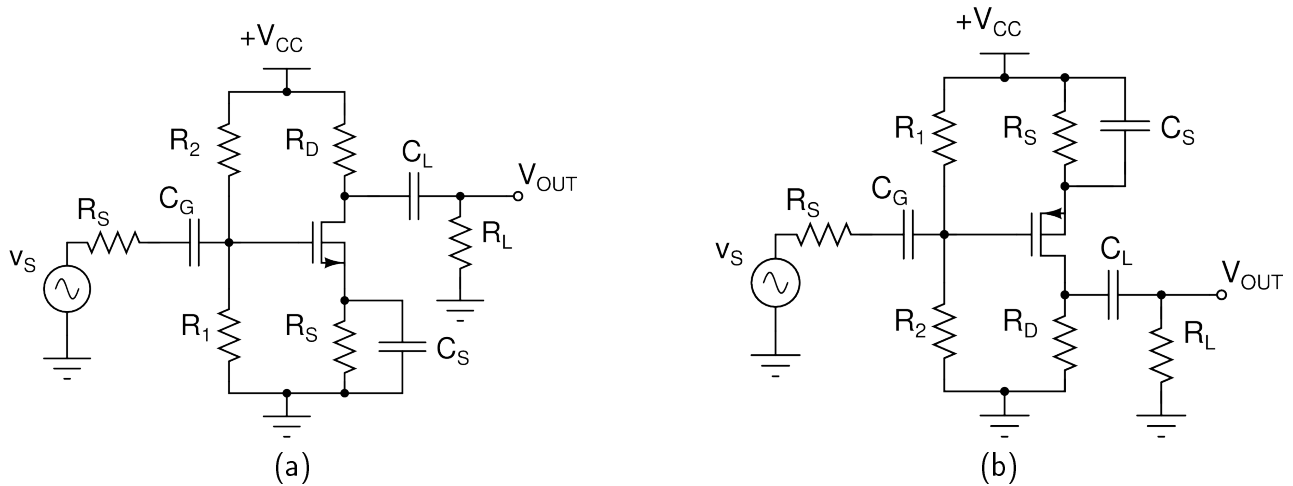


Figura 4.8: Amplificador en configuración de fuente común basado en MOSFET, con NMOS (a) y PMOS (b). Se considera que la entrada propiamente dicha del amplificador es la puerta del transistor.

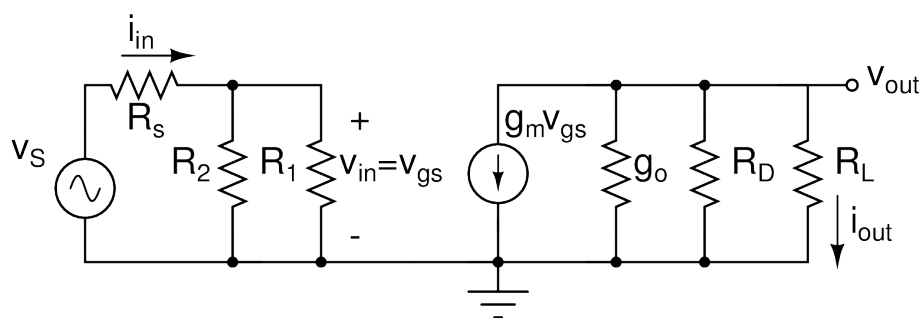


Figura 4.9: Equivalente en pequeña señal del amplificador en fuente común.

En este caso, se puede demostrar que:

$$Z_{OUT} = (g_o^{-1} // R_D) \quad (4.26)$$

A semejanza del emisor común, en caso de que la impedancia de carga sea mucho mayor que la resistencia de drenador y/o la conductancia del MOSFET, la ganancia del amplificador se convierte en:

$$A_V \rightarrow -g_m \cdot (g_o^{-1} // R_D) \quad (4.27)$$

$$A_I = -\frac{(R_1 // R_2)}{R_L} \cdot g_m \cdot (g_o^{-1} // R_D) \quad (4.28)$$

En otras palabras, funciona mejor como amplificador de tensión con ganancia conocida. Hay que reseñar, además, que en caso de que $R_D \ll g_o^{-1}$, Eq. 4.27 se convierte en $A_V \approx -g_m \cdot R_D \propto \sqrt{I_{DS,Q}}$. En cambio, si fuera al contrario, $A_V \approx -\frac{g_m}{g_o} \propto \frac{1}{\sqrt{I_{DS,Q}}}$. En otras palabras, existe un valor intermedio en el que la ganancia sería prácticamente independiente del punto de operación.

Por el contrario, si la resistencia de carga es mucho menor que las restantes:

$$A_V = -g_m \cdot R_L \quad (4.29)$$

$$A_I = -\frac{(R_1 // R_2)}{R_L} \cdot g_m \cdot R_L = -(R_1 // R_2) \cdot g_m \quad (4.30)$$

Esta ganancia es tanto mayor cuanto mayores sean las resistencias de polarización de la puerta. Por otra parte, hay que recordar que ni la tensión máxima de salida puede exceder la de las alimentaciones ni la corriente de salida la de drenador.

4.3.1.3. Ganancias e impedancias a frecuencias medias. Caso JFET

Los circuitos de esta clase se recogen en Fig. 4.10. Son exactamente iguales a los asociados a los MOSFET con la salvedad de que un transistor JFET de canal n reemplaza a un PMOS y uno de canal p a un NMOS. Por otra parte, puesto que se ha supuesto en el apartado anterior que el sustrato está conectado a la fuente, el modelo en pequeña señal de Fig. 4.9 sigue siendo válido para estos amplificadores y, por tanto, también el conjunto de ecuaciones deducidas para los MOSFET.

4.3.1.4. Comportamiento a bajas frecuencias. Todos los tipos

Como se ha dicho, los resultados anteriores son válidos solo para señales de entrada en alterna situadas en el rango de frecuencias medias pero... ¿qué se entiende por esto?. El rango de las frecuencias medias está determinado por aquellas frecuencias suficientemente altas como para considerar los condensadores de acoplo despreciables en serie y dominantes en paralelo pero no tan altas como para que entren en juego las capacidades internas del condensador. En ese rango intermedio, la ganancia de los amplificadores es prácticamente constante e independiente de la frecuencia. El límite superior depende del tipo de transistor y se estudiará en los apartados siguientes. En cambio,

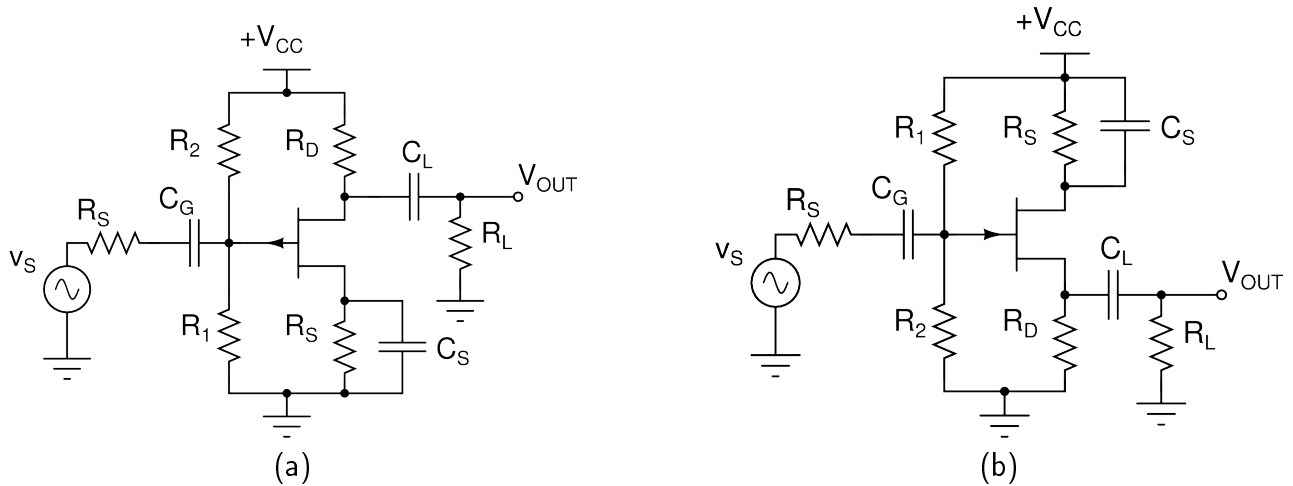


Figura 4.10: Amplificador en configuración de fuente común basado en MOSFET, con NMOS (a) y PMOS (b). Se considera que la entrada propiamente dicha del amplificador es la puerta del transistor.

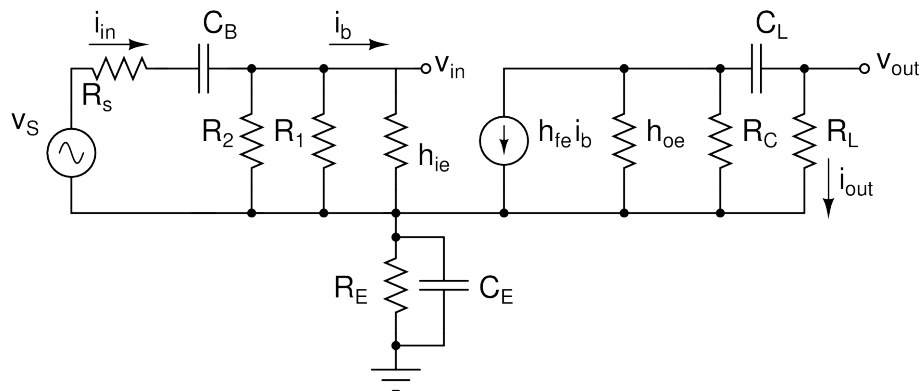


Figura 4.11: Modelo en pequeña señal de un amplificador en emisor común a bajas frecuencias.

el límite inferior depende de parámetros comunes que pueden estimarse fácilmente.

Sea Fig. 4.11 un amplificador en configuración de emisor común (aunque el resultado es rápidamente extrapolable al caso de fuente común).

Este circuito podría resolverse pero, sin embargo, las expresiones que se obtendrían serían bastante complicadas. Existe otro modo de estimar la frecuencia de trabajo a través de un simple argumento: Entraremos en frecuencias medias cuando la impedancia del condensador sea mucho menor que las impedancias que se encuentran en serie o paralelo con él. Por tanto:

$$\frac{1}{C_B \cdot \omega} \ll \min(R_S, Z_{IN})$$

$$\frac{1}{C_L \cdot \omega} \ll \min(R_L, Z_{OUT})$$

$$\frac{1}{C_E \cdot \omega} \ll R_E$$

Estas condiciones no nos marcan donde están los polos sino que nos permiten intuir el rango de frecuencias apropiadas para el amplificador. Si se desea un examen más detallado, se debe realizar

una medida real o un análisis en SPICE. Se apreciaría la existencia de un cero múltiple en $s = 0$ (en este caso, triple al haber tres condensadores) y tres polos a bajas frecuencias en torno a los valores estimados con las inecuaciones anteriores.

Estas inecuaciones se extrapolan al caso de los transistores FET con un simple cambio de nomenclatura.

4.3.1.5. Comportamiento a altas frecuencias. Caso bipolar

A muy altas frecuencias, los condensadores de acoplo desaparecen y aparecen las capacidades intrínsecas de los transistores. Así, en el caso de los transistores bipolares, aparece la capacidad de difusión en la unión base-emisor y una capacidad de vaciamiento en la unión base-colector. Cuando calculamos la frecuencia de transición de un BJT, despreciamos esta capacidad pero, en este caso, no es posible debido al llamado “efecto Miller”.

Recordemos que el teorema de Miller establece que si existe una impedancia Z_X entre dos nodos llamados 1 y 2 tales que la tensión del nudo 2 está controlada por el primero ($V_2 = K \cdot V_1$), se puede obtener un circuito equivalente tal que:

1. No hay una impedancia conectando los nodos 1 y 2.
2. Entre el nudo 1 y tierra aparece una impedancia de valor $\frac{1}{1-K} \cdot Z_X$
3. Entre el nudo 2 y tierra, existe una impedancia de valor $\frac{K}{K-1} \cdot Z_X$.

En nuestro caso en particular, la impedancia $Z_X = \frac{1}{s \cdot C_\mu}$ y la ganancia es $K = A_V \equiv -|A_V|$. Ciertamente, A_V depende de la frecuencia pero podemos suponer que, cuando empiezan los efectos de alta frecuencia, $A_V(s) \approx A_V$. Esto deja de ser cierto a una frecuencia superior pero, en la práctica, el circuito ya ha dejado de funcionar correctamente por lo que pierde interés el modo exacto en que dependen la ganancia de la frecuencia.

Fig. 4.12a representa el equivalente en pequeña señal a alta frecuencia. Evidentemente, los valores de las dos capacidades dependen del punto de operación. Aplicando el teorema de Miller, se puede demostrar que, cerca de la frecuencia máxima de trabajo, el circuito equivale al del Fig. 4.12b. En este circuito, se ha podido realizar la identificación pues:

$$Z_1 = \frac{1}{1-K} \cdot Z_X = \frac{1}{1-A_V} \cdot \frac{1}{C_\mu \cdot s} = \frac{1}{(1+|A_V|) \cdot C_\mu} \cdot \frac{1}{s}$$

$$Z_2 = \frac{K}{K-1} \cdot Z_X = \frac{A_V}{A_V-1} \cdot \frac{1}{C_\mu \cdot s} = \frac{1}{\left(1 + \frac{1}{|A_V|}\right) \cdot C_\mu} \cdot \frac{1}{s}$$

No es difícil comprobar que Eq. 4.19 y 4.22, que nos dan las impedancias características, siguen siendo válidas si se reemplaza h_{ie} por $h_{ie}^* = h_{ie} / \frac{1}{s \cdot (C_\pi + (1+|A_V|) \cdot C_\mu)}$ y h_{oe} por $h_{oe}^* = h_{oe} + s \cdot \frac{C_\mu}{1+|A_V|}$. En particular, a altas frecuencias la expresión de las impedancias se reducen a:

$$Z_{IN}(s) = \frac{Z_{IN,0}}{1 + \frac{s}{\omega_{ZIN}}} \quad (4.31)$$

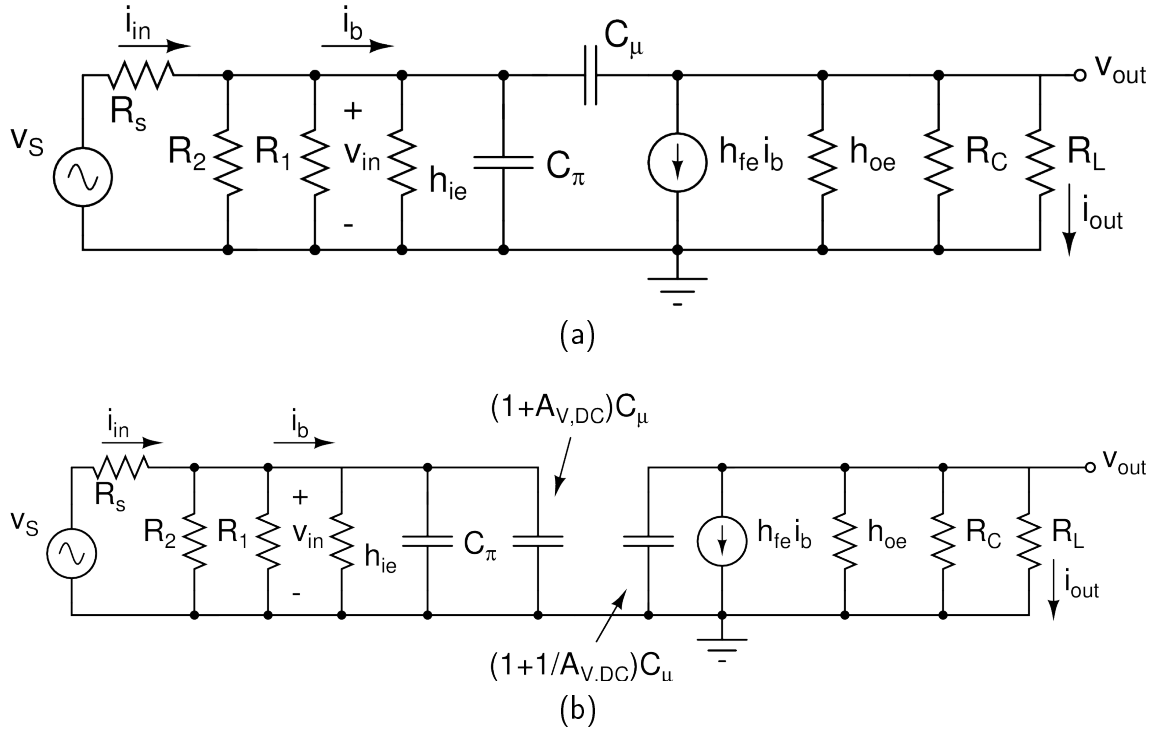


Figura 4.12: Modelo en pequeña señal de un amplificador en emisor común a altas frecuencias. $A_{V,DC}$ es el valor absoluto de la ganancia del inversor.

$$Z_{OUT}(s) = \frac{Z_{OUT,0}}{1 + \frac{s}{\omega_{ZOUT}}} \quad (4.32)$$

siendo

$$\omega_{ZIN} = \frac{1}{Z_{IN,0} \cdot C_T} \quad (4.33)$$

$$\omega_{ZOUT} = \frac{1}{Z_{OUT,0} \cdot C_\mu \cdot (1 + |A_V|^{-1})} \quad (4.34)$$

donde $C_T = C_\pi + (1 + |A_V|) \cdot C_\mu$. La ganancia en tensión, A_V , también se ve afectada de manera parecida con lo que la ganancia se reduce a altas frecuencias según la expresión

$$A_V(s) = \frac{A_{V,0}}{1 + \frac{s}{\omega_{AV}}} \quad (4.35)$$

Siendo

$$\omega_{AV} = \frac{1}{(Z_{OUT,0} // R_L) \cdot C_\mu \cdot (1 + |A_V|^{-1})} \quad (4.36)$$

Cumplíndose que $\omega_{AV} \geq \omega_{ZOUT}$. Sin embargo, la ganancia en tensión respecto a la tensión de la fuente en abierto se ve aún más degradada al disminuir la impedancia de entrada. Así, es posible demostrar que:

$$A_{VS}(s) = \frac{A_{VS,0}}{\left(1 + \frac{s}{\omega_{AV}}\right) \cdot \left(1 + \frac{s}{\omega_{AVS}}\right)} \quad (4.37)$$

siendo

$$\omega_{AVS} = \frac{Z_{IN,0} + R_S}{R_S \cdot Z_{IN,0} \cdot C_T} \quad (4.38)$$

expresión que tiende a $\frac{1}{R_S \cdot C_T}$ si $R_S \ll Z_{IN,0}$ como acontece normalmente. Finalmente, la ganancia en corriente presenta también dos polos pues

$$\begin{aligned} A_{IN}(s) &= \frac{Z_{IN}(s)}{R_L} \cdot A_V(s) = \\ &= \frac{A_{I,0}}{\left(1 + \frac{s}{\omega_{AV}}\right) \cdot \left(1 + \frac{s}{\omega_{ZIN}}\right)} \end{aligned} \quad (4.39)$$

En definitiva, con cuatro frecuencias podemos caracterizar los parámetros característicos del amplificador.

La pregunta pertinente es qué relación tienen estas frecuencias de corte con las características del amplificador y su red de polarización. En primer lugar, C_T es mayor cuanto mayor sea la corriente de emisor, que hace aumentar tanto C_π , y menor la tensión de alimentación, que aumenta el valor de C_μ a través de $V_{CB} \sim \frac{1}{2} \cdot V_{CC} - V_\gamma$. Esto se refleja directamente en los valores de las tres frecuencias característica. Sin embargo, los valores de $Z_{IN,0}$ y $Z_{OUT,0}$ podrían compensar esta disminución pues, al aumentar la corriente de polarización, las componentes h_{ie} y h_{oe}^{-1} decrecen. No obstante, este efecto podría verse minimizado en caso de que ambas impedancias fuesen mucho mayores que aquellas resistencias con las que se encuentran en paralelo.

4.3.1.6. Comportamiento a altas frecuencias. Caso MOSFET

A altas frecuencias entran en juego principalmente tres capacidades: La capacidad de puerta-fuente, C_{GS} , la capacidad de drenador-fuente, C_{GD} y, en el caso de los transistores discretos en los que la fuente y el sustrato están cortocircuitados, la capacidad de sustrato-drenador, C_{BD} , que comunica la fuente y el drenador. Estas capacidades se han representado en el circuito de Fig. 4.13a. En otras circunstancias, hubiera bastado con utilizar la primera capacidad pero, por efecto Miller, la capacidad C_{GD} adquiere una importancia inusitada al ser multiplicada por la ganancia del amplificador que, como en el caso del transistor bipolar, se supone igual a la ganancia en tensión a frecuencias medias (Fig. 4.13b).

En estas circunstancias, el cálculo de las expresiones en función de la frecuencia es inmediato. Así, si denomino $C_{IN,T} = C_{GS} + (1 + |A_V|) \cdot C_{GD}$ y $C_{O,T} = C_{BD} + (1 + |A_V|^{-1}) \cdot C_{GD}$, se puede deducir que:

$$Z_{IN}(s) = \frac{Z_{IN,0}}{1 + \frac{s}{\omega_{ZIN}}} \quad (4.40)$$

$$Z_{OUT}(s) = \frac{Z_{OUT,0}}{1 + \frac{s}{\omega_{ZOUT}}} \quad (4.41)$$

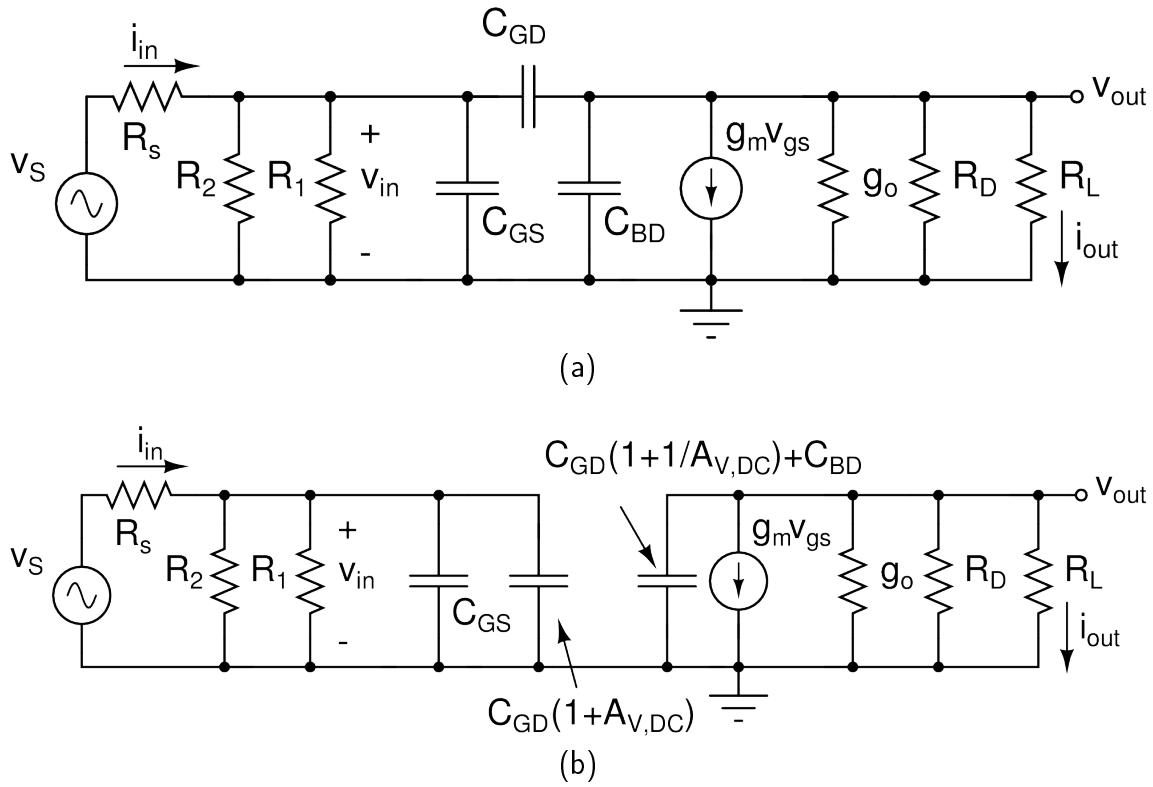


Figura 4.13: Modelo en pequeña señal de un amplificador MOSFET en fuente común a altas frecuencias. $A_{V,DC}$ es el valor absoluto de la ganancia del inversor.

siendo

$$\omega_{ZIN} = \frac{1}{Z_{IN,0} \cdot C_{IN,T}} \quad (4.42)$$

$$\omega_{ZOUT} = \frac{1}{Z_{OUT,0} \cdot C_{O,T}} \quad (4.43)$$

Por otro lado, la ganancia en tensión adquiere un único polo tal que:

$$A_V(s) = \frac{A_{V,0}}{1 + \frac{s}{\omega_{AV}}} \quad (4.44)$$

$$\omega_{AV} = \frac{1}{(Z_{OUT,0} // R_L) \cdot C_{O,T}} \quad (4.45)$$

en tanto que la ganancia en tensión respecto a la fuente en abierto presenta dos polos debido a la disminución de la impedancia de entrada:

$$A_{VS}(s) = \frac{A_{VS,0}}{\left(1 + \frac{s}{\omega_{AV}}\right) \cdot \left(1 + \frac{s}{\omega_{AVS}}\right)} \quad (4.46)$$

siendo

$$\omega_{AVS} = \frac{Z_{IN,0} + R_S}{R_S \cdot Z_{IN,0} \cdot C_{IN,T}} \quad (4.47)$$

Finalmente, la ganancia en corriente presenta dos polos, uno en ω_{ZIN} y otro en ω_{AV} . Por tanto:

$$A_I(s) = \frac{A_{I,0}}{\left(1 + \frac{s}{\omega_{ZOUT}}\right) \cdot \left(1 + \frac{s}{\omega_{ZIN}}\right)} \quad (4.48)$$

¿Cómo dependen estos parámetros del punto de operación? En general, el efecto Miller hace que, en $C_{IN,T}$, la capacidad predominante sea la derivada de C_{GD} al ser, en general, la ganancia en tensión muy elevada. Por otra parte, cuanto mayores sean las resistencias de polarización de la puerta, menor es la frecuencia asociada a la etapa entrada aunque ello redunde tanto en un incremento del consumo de corriente como en un aumento de la relación $\frac{R_S}{Z_{IN}}$, que en muchos casos interesa que sea muy alta.

Para combatir este problema existe un truco muy simple pero de una gran eficacia. En lugar de unir directamente la puerta al nodo de unión entre R_1 y R_2 , se inserta una resistencia R_G de un valor muy alto entre ambos nodos. No se afecta el punto de operación y, en general, si $R_G \gg R_1, R_2$, el módulo de $\left|R_G + \frac{1}{s \cdot C_{IN,T}}\right|$ también lo es de tal modo que $Z_{IN} \cong (R_1 // R_2)$ independientemente de la frecuencia de trabajo.

4.3.1.7. Comportamiento a altas frecuencias. Caso JFET

Dadas las similitudes existentes entre los modelos en pequeña señal de los transistores MOS y los JFET, todos los resultados del apartado anterior conservan su vigencia. La salvedad es que no existe el terminal de sustrato con lo que no se debe tener en cuenta C_{BD} . Por otra parte, se considera $C_{GS} = C_{GD} = \frac{1}{2} \cdot C_G$ siendo C_G la capacidad de unión entre puerta y canal. Así, se cumplirá que:

$$C_{IN,T} = C_{GS} + (1 + |A_V|) \cdot C_{GD} = \left(\frac{1}{2} \cdot |A_V| + 1\right) \cdot C_G \quad (4.49)$$

$$C_{O,T} = \frac{1}{2} (1 + |A_V|^{-1}) \cdot C_G \quad (4.50)$$

y el resto de frecuencias de interés se deducirían con facilidad.

4.3.2. Configuración de emisor/fuente degenerado

Un problema que presentan los amplificadores con emisor/fuente común es que la ganancia final depende directamente de las características del transistor discreto, que no es fácilmente controlable. Recordemos, por ejemplo, la considerable variación que puede existir entre los valores posibles de h_{fe} en un transistor bipolar. Una variación de la temperatura o un simple reemplazo de transistor pueden cambiar enormemente el valor de este parámetro. Por otra parte, la impedancia de entrada de un amplificador puramente bipolar es, en general, muy baja y puede ser necesario buscar un mecanismo para aumentarla.

Por ello, existe una configuración llamada de “Configuración de emisor (fuente) degenerado” que

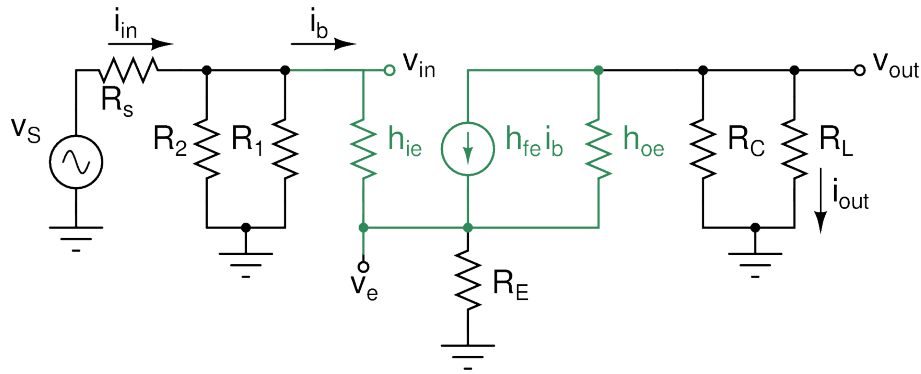


Figura 4.14: Modelo en pequeña señal de un amplificador en emisor degenerado a frecuencias medias.

minimiza la dependencia de la ganancia respecto a las características del transistor haciéndola más bien dependiente de las resistencias de polarización y, en el caso, de los transistores BJT, aumenta la impedancia de entrada⁴. Su construcción es muy sencilla pues basta con eliminar el condensador C_E o C_S de los circuitos de Fig. 4.5a, 4.8a y 4.10a. Esto afecta a los circuitos equivalentes en pequeña señal pues el emisor o la fuente del transistor no se unen directamente a tierra.

4.3.2.1. Configuración de emisor degenerado

El circuito equivalente en pequeña señal a frecuencias medias es el mostrado en Fig. 4.14. En este circuito, surge el siguiente conjunto de ecuaciones:

$$\begin{aligned} i_{in} &= i_b + \frac{v_{in}}{R_{P1}} \\ i_b &= \frac{v_{in} - v_e}{h_{ie}} \\ i_{out} &= \frac{v_{out}}{R_L} \\ (h_{fe} + 1) \cdot i_b + h_{oe} \cdot (v_{out} - v_e) &= \frac{v_e}{R_E} \\ h_{fe} \cdot i_b + h_{oe} \cdot (v_{out} - v_e) + \frac{v_{out}}{R_{P2}} &= 0 \end{aligned}$$

siendo R_{P1} el paralelo formado por R_1 y R_2 y R_{P2} el formado por R_C y R_L . En principio, podría chocar que hubiera seis incógnitas y cinco ecuaciones. Sin embargo, recordemos que una de ellas, i_{in} , no es una incógnita sino un parámetro pues es la fuente que excita el circuito. No es necesario resolver el circuito completo sino obtener las relaciones entre ellos. Operando con estas ecuaciones, puede deducirse que la impedancia de entrada tiene una expresión muy complicada que, suponiendo que h_{ie} y R_E son despreciables frente a h_{oe}^{-1} y a las expresiones multiplicadas por h_{fe} :

$$Z_{in} \approx (R_1 // R_2 // h_{ie} + R_E \cdot (1 + h_{fe})) \quad (4.51)$$

⁴También lo hace en el caso de los FET pero, como la impedancia de entrada es ya de partida prácticamente infinita, no es un beneficio real.

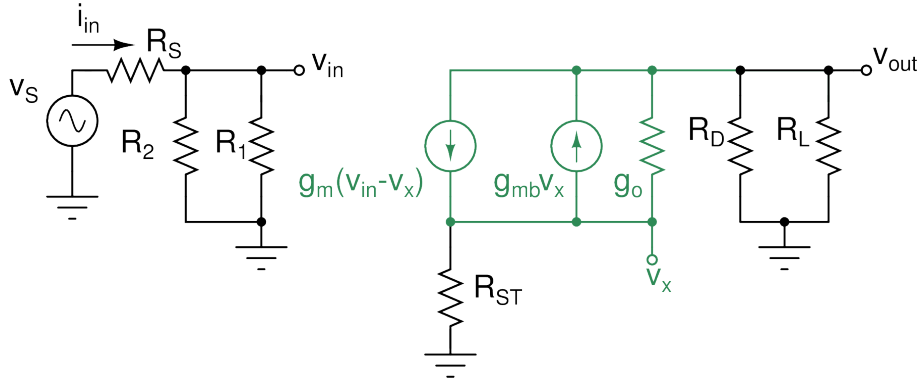


Figura 4.15: Modelo en pequeña señal de un amplificador con fuente degenerada a frecuencias medias.

lo que, en la práctica, significa que se ha aumentado considerablemente el valor de la impedancia de entrada. Esta expresión es exactamente la que se obtendría si en el circuito de Fig. 4.14 se hubiera supuesto $h_{oe} = 0$. El precio que hay que pagar por este incremento en la impedancia de entrada es la disminución de las ganancias. Así, la ganancia en tensión se convierte en:

$$A_V = -\frac{h_{fe} \cdot h_{oe}^{-1} - R_E}{h_{ie} + R_E + h_{ie} \cdot \frac{R_E + h_{oe}^{-1}}{R_{P2}} + R_E \cdot \frac{h_{oe}^{-1}}{R_{P2}} \cdot (1 + h_{fe})} \approx -\frac{R_{P2}}{R_E + \frac{h_{ie}}{h_{fe}}} \quad (4.52)$$

Para hacer esta aproximación, se ha supuesto que h_{ie} y R_E son despreciables frente a h_{oe}^{-1} y a las expresiones multiplicadas por h_{fe} . Continuando con la ganancia en corriente:

$$A_I \approx -\frac{h_{fe}}{h_{ie}} \cdot \frac{Z_{in}}{1 + h_{fe} \cdot \frac{R_E}{h_{ie}}} \quad (4.53)$$

La impedancia de salida también se ve aumentada aunque, en cualquier caso, al estar R_C en paralelo con el resto del circuito, el valor de Z_{OUT} no puede rebasar este límite, que suele ser del orden de unos cuantos $k\Omega$. Por otro lado, la reducción de la ganancia implica un aumento del ancho de banda del amplificador.

4.3.2.2. Configuración de fuente degenerada

En este caso, la configuración que se adopta es la de Fig. 4.8 y 4.10 prescindiendo de C_S . En pequeña señal, se obtiene el de Fig. 4.15 teniendo en cuenta que en los transistores JFET y en MOS discretos con el sustrato unido a fuente no existe efecto sustrato con lo que $g_{mb} = 0$. Operando con este circuito, es fácil demostrar que:

$$\begin{aligned} \frac{v_{out}}{R_{P2}} &= -\frac{v_x}{R_{ST}} \\ g_m \cdot (v_{in} - v_x) - g_{mb} \cdot v_x + g_o \cdot (v_{out} - v_x) + \frac{v_{out}}{R_{P2}} &= 0 \\ v_{in} &= R_{P1} \cdot i_{in} \end{aligned}$$

$$v_{out} = R_L \cdot i_{out}$$

siendo $R_{P1} = (R_1 // R_2)$ y $R_{P2} = (R_D // R_L)$. Es fácil deducir entonces que:

$$Z_{in} = \frac{v_{in}}{i_{in}} = R_{P1} \quad (4.54)$$

$$A_V = \frac{v_{out}}{v_{in}} = - \frac{R_{P2}}{R_{ST} \cdot \left(1 + \frac{g_{mb}}{g_m} + \frac{g_o}{g_m}\right) + \frac{g_o}{g_m} \cdot R_{P2} + g_m^{-1}} \quad (4.55)$$

$$A_I = \frac{Z_{IN}}{R_L} A_V = - \frac{R_{P2}}{R_L} \cdot \frac{R_{P1}}{R_{ST} \cdot \left(1 + \frac{g_{mb}}{g_m} + \frac{g_o}{g_m}\right) + \frac{g_o}{g_m} \cdot R_{P2} + g_m^{-1}} \quad (4.56)$$

La resistencia de salida tendría que calcularse con un circuito ligeramente distinto, cortocircuitando v_S , eliminando R_L y colocando una fuente de corriente constante para excitar el nudo de salida. En estas circunstancias, se va a verificar que

$$Z_{OUT} = \left(R_D // \left(g_o^{-1} + R_{ST} \cdot \left(1 + \frac{g_m + g_{mb}}{g_o} \right) \right) \right) \quad (4.57)$$

Es ligeramente más grande que la que se obtiene con fuente degenerada pero, en cualquier caso, está acotada superiormente por el valor de la resistencia de drenador.

4.3.3. Configuración de base/puerta común

Ésta es una familia de circuitos que se construyen a partir de un circuito de polarización con emisor o fuente degenerados. Después, un conjunto de capacidades conectan en pequeña señal la base o puerta a tierra. Así, se consigue un circuito capaz de replicar en la resistencia de carga la corriente aplicada a la entrada. En otras palabras, puede utilizarse como seguidor de corriente.

4.3.3.1. Configuración de base común a frecuencias medias

Dependiendo del carácter NPN o PNP del transistor bipolar que constituye el núcleo del amplificador, las posibles configuraciones se muestran en Fig. 4.16. El cálculo de la ganancia se realiza pasando al equivalente en pequeña señal teniendo en cuenta un par de puntos. En primer lugar, es altamente recomendable usar el modelo en base común del transistor dado que el circuito que se genera es extremadamente sencillo de resolver. Por otra parte las resistencias R_1 y R_2 que sirven para polarizar la base desaparecen del modelo en pequeña señal al estar los extremos de ambas unidos a tierra. De este modo, el circuito equivalente se convierte en el de Fig. 4.17.

Es evidente que, en este circuito, la impedancia de la entrada es:

$$Z_{in} = \frac{v_{in}}{i_{in}} = (R_E // h_{ib}) = R_E // \frac{h_{ie}}{1 + h_{fe}} \quad (4.58)$$

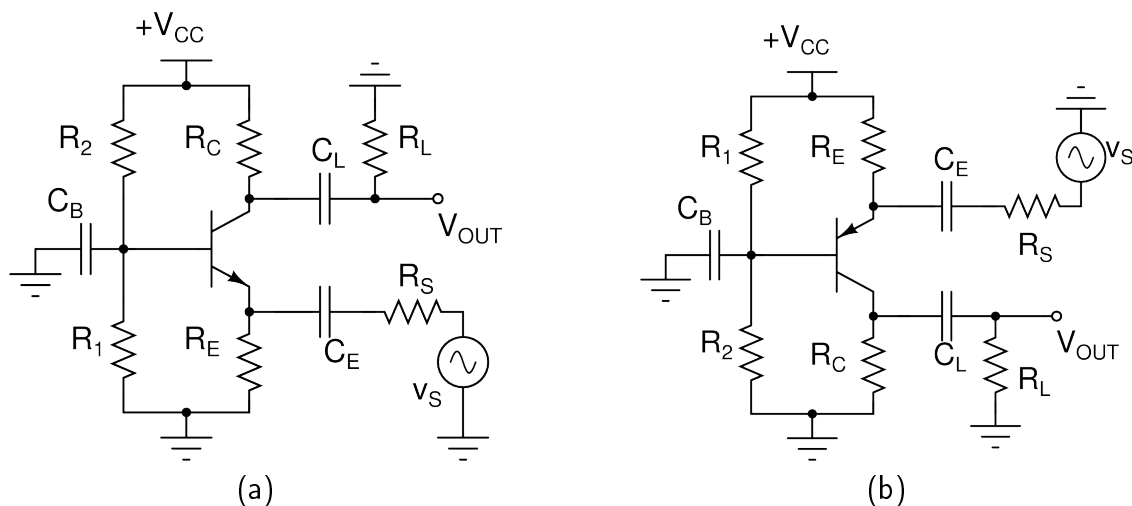


Figura 4.16: Amplificador en configuración de base común basado en BJT, con NPN (a) y PNP (b). Se considera que la entrada propiamente dicha del amplificador es el emisor del transistor bipolar.

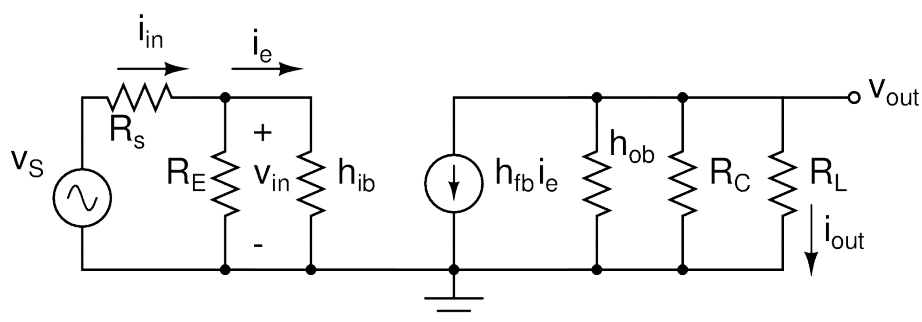


Figura 4.17: Modelo en pequeña señal de un amplificador en base común a frecuencias medias.

Por otra parte, la ganancia en tensión es

$$A_V = \frac{v_{out}}{v_{in}} = -h_{fb} \cdot (R_L // R_C // h_{ob}^{-1}) \cdot h_{ib}^{-1} \quad (4.59)$$

y en corriente será:

$$A_I = \frac{i_{out}}{i_{in}} = \frac{Z_{in}}{R_L} \cdot A_V \quad (4.60)$$

Veamos ahora qué expresión adoptan las ecuaciones en condiciones generales. Ocurre que

$$\frac{h_{ie}}{1 + h_{fe}} = \frac{N \cdot V_T}{I_B \cdot (1 + h_{fe})} \approx \frac{N \cdot V_T}{I_E}$$

que, en circunstancias normales, es del orden de unas decenas de ohmio. Por tanto, es mucho menor que la resistencia de emisor con lo que:

$$Z_{in} \approx h_{ib} = \frac{N \cdot V_T}{I_E} \quad (4.61)$$

Por otra parte, ocurre lo siguiente:

$$h_{fb} = -\frac{h_{fe}}{1 + h_{fe}} \approx -1$$

$$h_{ob} = \frac{h_{oe}}{1 + h_{fe}} = \frac{I_C}{V_{AF} \cdot (1 + h_{fe})} \approx \frac{I_B}{V_{AF}}$$

Con lo que, en condiciones de trabajo usuales en las que las resistencias son del orden de unos $k\Omega$ y la corriente de base del orden del μA , el factor $h_{ob}^{-1} \gg R_C, R_L$. Por ello, las ganancias anteriores se convierten en:

$$A_V \approx (R_L // R_C) \cdot h_{ib}^{-1} \quad (4.62)$$

y en corriente será:

$$A_I = \frac{Z_{in}}{R_L} \cdot A_V \approx \frac{R_L // R_C}{R_L} = \frac{R_C}{R_L + R_C} \quad (4.63)$$

Suponiendo que la resistencia de carga es mucho menor que la de colector, $A_I \rightarrow 1$. Por este motivo, el dispositivo se llama “seguidor de corriente” ya que puede desplazar a la carga una réplica de la corriente de entrada. Finalmente, el cálculo de la impedancia de salida es relativamente sencillo a partir del subcircuito de Fig. 4.17. Al eliminar la fuente de alimentación, gran parte de los elementos del circuito desaparecen de tal modo que la impedancia que se ve desde la salida es, simplemente,

$$Z_{out} = (R_C // h_{ob}) \approx R_C \quad (4.64)$$

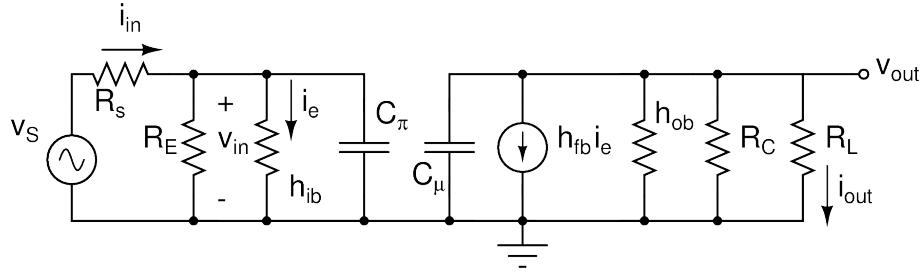


Figura 4.18: Modelo en pequeña señal de un amplificador en base común a frecuencias altas.

4.3.3.2. Configuración de base común a frecuencias bajas y altas

A frecuencias extremadamente bajas, los condensadores de desacoplo no pueden considerarse como cortocircuitos. Para que esto pudiera realizarse, es necesario que las impedancias asociadas fueran mucho menores que aquellos elementos con los que se encuentran en serie o en paralelo. Por tanto, estaremos en frecuencias bajas si no se cumple alguna de estas condiciones:

- Condensador de Emisor, $C_E: \frac{1}{C_E \cdot \omega} \ll R_S, \frac{N \cdot V_T}{I_E}$
- Condensador de Base, $C_B: \frac{1}{C_B \cdot \omega} \ll R_1 // R_2$
- Condensador de Carga, $C_L: \frac{1}{C_L \cdot \omega} \ll R_L // R_C$

El mal comportamiento a altas frecuencias se debe a la aparición de dos capacidades, C_π y C_μ , que se disponen de la forma mostrada en Fig. 4.18. Afortunadamente, la peculiar disposición de los condensadores hace innecesaria la utilización aproximada del teorema de Miller. Las ecuaciones del apartado anterior son válidas aceptando que se debe reemplazar R_E por $R_E // \frac{1}{s \cdot C_\pi}$ y $h_{ob} // R_C$ por $h_{ob} // R_C // \frac{1}{s \cdot C_\mu}$. De este modo:

$$Z_{IN}(s) \approx \frac{N \cdot V_T}{I_E} // \frac{1}{s \cdot C_\pi} = \frac{N \cdot V_T}{I_E} // \frac{N \cdot V_T}{I_E \cdot s \cdot \tau_T} = \frac{N \cdot V_T}{I_E} \cdot \left(\frac{1}{1 + \frac{s}{\tau_T^{-1}}} \right) = \frac{Z_{IN,0}}{1 + \frac{s}{\omega_{ZIN}}} \quad (4.65)$$

En otras palabras, la impedancia de entrada tiene un polo en $\omega_{ZIN} = \tau_T^{-1}$, siendo este tiempo el de tránsito de los portadores de la base. Este polo es independiente de las corrientes y tensiones del punto de operación. En la impedancia de salida, el polo aparece en:

$$Z_{OUT}(s) = \left(R_C // h_{ob} // \frac{1}{s \cdot C_\mu} \right) \approx \left(R_C // \frac{1}{s \cdot C_\mu} \right) = \frac{R_C}{1 + \frac{s}{\omega_{ZOUT}}} \quad (4.66)$$

siendo $\omega_{ZOUT} = \frac{1}{R_C \cdot C_\mu}$. Dado el pequeño valor de esta capacidad, este polo está a frecuencias bastante altas. Por otro lado, la ganancia en tensión adquiere el siguiente valor:

$$A_V(s) \approx \left(R_L // R_C // \frac{1}{s \cdot C_\mu} \right) \cdot h_{ib}^{-1} = \frac{A_{V,0}}{1 + \frac{s}{\omega_{AV}}} \quad (4.67)$$

donde $\omega_{AV} = \frac{1}{C_{\mu} \cdot (R_L // R_C)}$. La ganancia respecto a la fuente en abierto adquiere un polo adicional pues

$$A_{VS}(s) = \frac{Z_{IN}}{Z_{IN} + R_S} \cdot A_V(s) = \frac{A_{VS,0}}{\left(1 + \frac{s}{\omega_{AV}}\right) \cdot \left(1 + \frac{s}{\omega_{AVS}}\right)} \quad (4.68)$$

donde $\omega_{AVS} = \omega_{ZIN} \cdot \left(1 + \frac{Z_{IN,0}}{R_S}\right)$. En cuanto a la ganancia en corriente, deben aparecer dos polos ya que:

$$A_I = \frac{Z_{in}}{R_L} \cdot A_V \approx \frac{1}{\left(1 + \frac{s}{\omega_{AV}}\right) \cdot \left(1 + \frac{s}{\omega_{ZIN}}\right)} \quad (4.69)$$

con lo que se completa el estudio de este dispositivo a altas frecuencias.

4.3.3.3. Configuración de puerta común a frecuencias medias

Por puerta común se entiende el circuito equivalente al descrito en el Apartado 4.3.3.1 tras reemplazar el transistor NPN por un NMOS o un JFET de canal P y el PNP por un PMOS o un JFET de canal N. Fig. 4.19 muestra esas configuraciones. Por semejanza con las configuraciones de base común, se ha colocado una capacidad C_G . Esta fuente aporta algunas mejoras al circuito, que se discutirán más adelante pero es prescindible.

En todos los casos, el circuito equivalente en pequeña señal es el mostrado en Fig. 4.20. Se ha incluido en este modelo la fuente de corriente asociada al efecto sustrato aunque solo es válida en transistores MOS con el sustrato conectado a una tensión constante. Al estar la fuente conectada a tierra, $v_{gs} \equiv -v_S = v_{IN}$. En este circuito, surgen las siguientes ecuaciones:

$$\begin{aligned} i_{in} &= (g_m + g_{mb}) \cdot v_{in} + g_o \cdot (v_{in} - v_{out}) + R_S^{-1} \cdot v_{in} \\ (g_m + g_{mb}) \cdot v_{in} + g_o \cdot (v_{in} - v_{out}) &= \frac{v_{out}}{R_D} + \frac{v_{out}}{R_L} \\ i_{out} &= \frac{v_{out}}{R_L} \end{aligned}$$

que, reordenadas, se permiten deducir que:

$$v_{out} = \frac{g_m + g_{mb} + g_o}{g_o + R_D^{-1} + R_L^{-1}} \cdot v_{in} \rightarrow A_V = \frac{g_m + g_{mb} + g_o}{g_o + R_D^{-1} + R_L^{-1}} \quad (4.70)$$

$$Z_{in} = \frac{g_o + R_D^{-1} + R_L^{-1}}{(g_m + g_{mb} + g_o + R_S^{-1})(R_D^{-1} + R_L^{-1}) + g_o \cdot R_S^{-1}} \quad (4.71)$$

$$A_I = \frac{Z_{in}}{R_L} \cdot A_V = \frac{g_m + g_{mb} + g_o}{(g_m + g_{mb} + g_o + R_S^{-1}) \left(1 + \frac{R_L}{R_D}\right) + g_o \cdot R_L \cdot R_S^{-1}} \quad (4.72)$$

Recordemos que, en la mayor parte de los casos, $g_{mb} = 0$. Si suponemos que $g_o \rightarrow 0$, que $R_S^{-1} \ll$

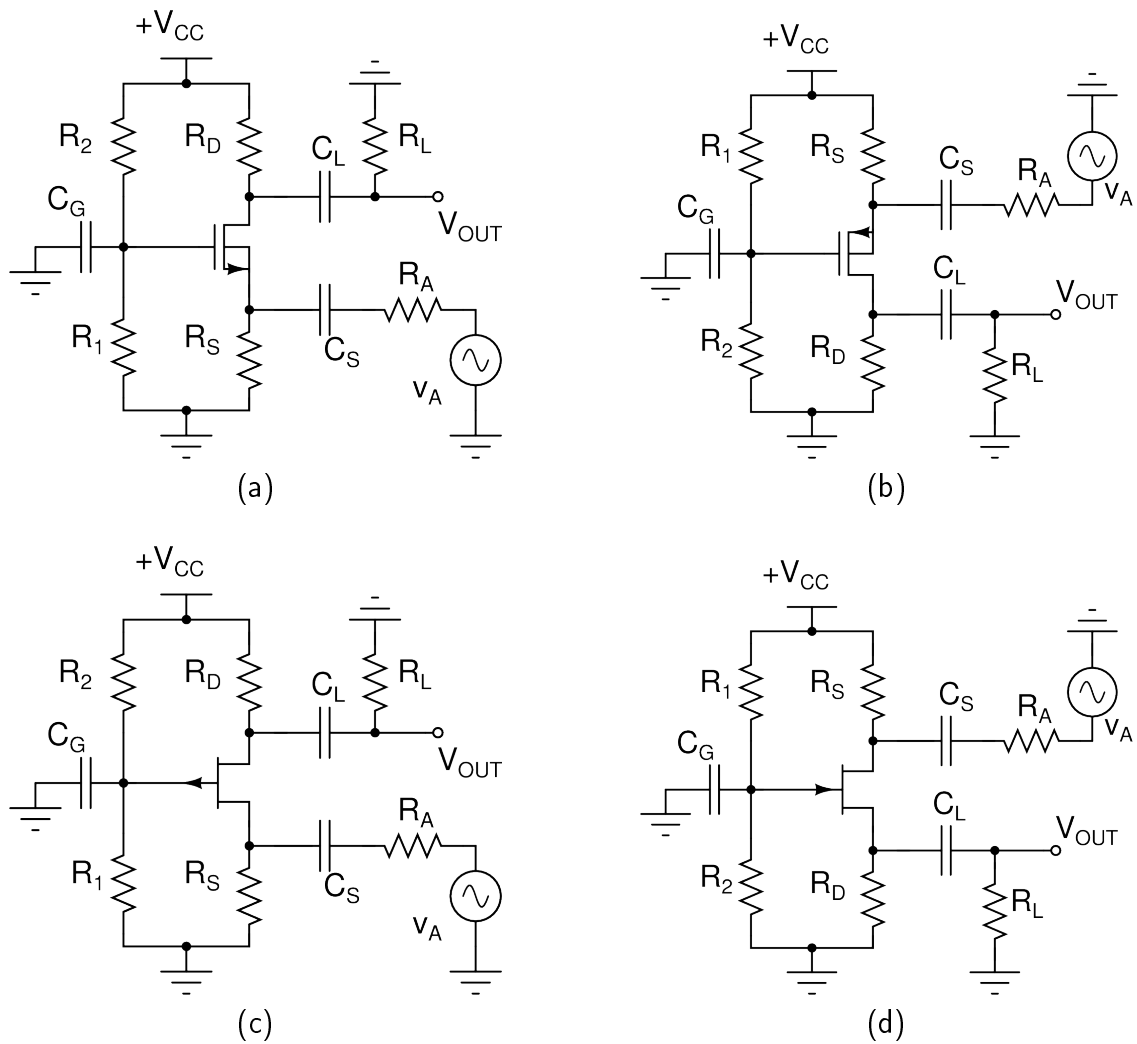


Figura 4.19: Amplificador en configuración de puerta común basado en MOSFET, con NMOS (a) y PMOS (b), y JFET, de canal P (c) y canal N (d). Se considera que la entrada propiamente dicha del amplificador es la fuente del transistor.

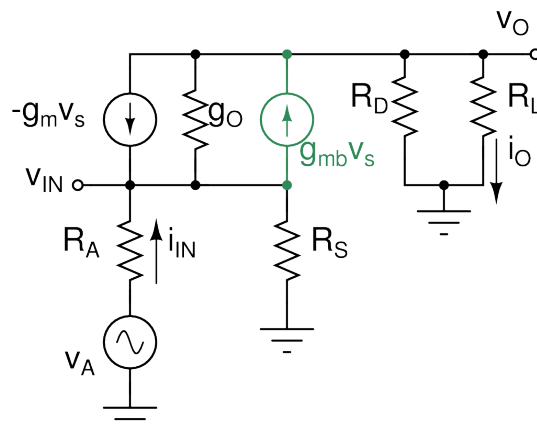


Figura 4.20: Modelo en pequeña señal de un amplificador en puerta común a frecuencias medias.

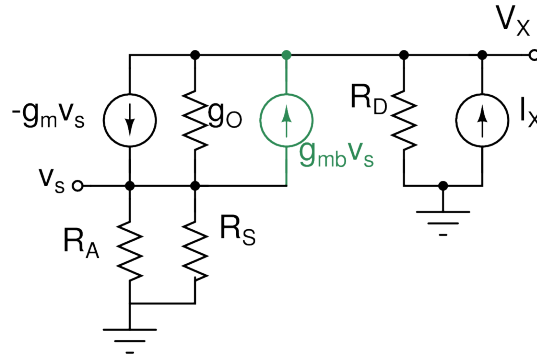


Figura 4.21: Modelo en pequeña señal de un amplificador en puerta común a frecuencias medias para el cálculo de la impedancia de salida.

$g_m + g_{mb} + g_o$ y que $R_L \ll R_D$ se puede realizar la siguiente aproximación:

$$A_I \approx \frac{g_m + g_{mb} + g_o}{(g_m + g_{mb} + g_o) \left(1 + \frac{R_L}{R_D}\right) + g_o \cdot R_L \cdot R_S^{-1}} \approx \frac{R_D}{R_D + R_L} \rightarrow 1 \quad (4.73)$$

$$Z_{IN} \approx (g_m + g_{mb})^{-1} \quad (4.74)$$

$$A_V \approx (g_m + g_{mb}) \cdot R_L \quad (4.75)$$

con lo que se demuestra que este dispositivo funciona como un seguidor de corriente, transfiriendo la corriente de entrada directamente a la salida. Finalmente, solo nos queda averiguar el valor de la impedancia de salida. Para ello, procedemos como se hace habitualmente obteniendo el circuito de Fig. 4.21. En este circuito, se puede demostrar que la impedancia de salida es:

$$Z_{OUT} = R_D // \left[g_o^{-1} + (R_A // R_S) \cdot \left(1 + \frac{g_m + g_{mb}}{g_o}\right) \right] \quad (4.76)$$

que, en general, es aproximadamente igual a R_D si se toman valores típicos de resistencias y transconductancias.

4.3.3.4. Configuración de puerta común a frecuencias bajas y altas

Se pueden definir como frecuencias bajas como aquellas que se encuentran en un rango en el que las impedancias de los condensadores no son despreciables frente a las resistencias que se encuentran en serie con ellos. El circuito en pequeña señal a bajas frecuencias se muestra en Fig. 4.22. A partir de esta figura, pueden deducirse varios hechos significativos. En primer lugar, las impedancias de los condensadores de bloqueo de la entrada y la salida deben verificar que:

$$\frac{1}{\omega \cdot C_S} \ll R_A, Z_{IN} = (g_m + g_{mb})^{-1}$$

$$\frac{1}{\omega \cdot C_L} \ll R_L$$

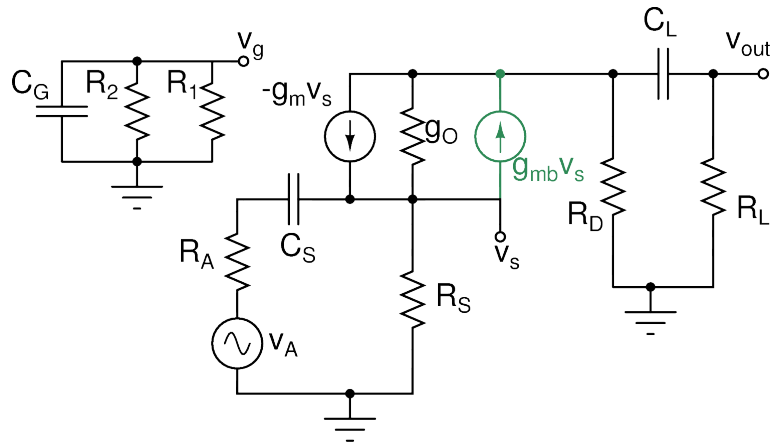


Figura 4.22: Modelo en pequeña señal de un amplificador en puerta común a frecuencias bajas.

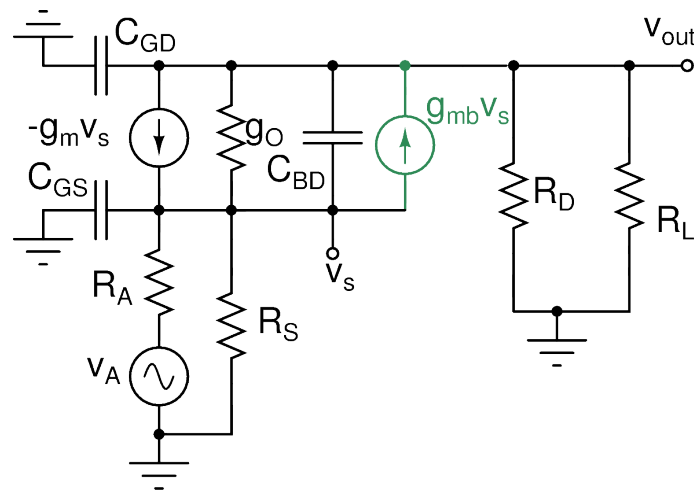


Figura 4.23: Modelo en pequeña señal de un amplificador en puerta común a frecuencias altas.

De aquí pueden deducirse cual es, aproximadamente, la zona de bajas frecuencias. ¿Qué ocurre con la capacidad C_G ? Si observamos el dibujo, podemos apreciar que no tiene ninguna función ya que, en pequeña señal, $v_g = 0$ esté o no presente el condensador. Por ello, su uso es innecesario en estas configuraciones aunque se puede mantener por dos motivos: Por un lado, se mantiene la simetría con la configuración de base común y, por otro, se elimina el ruido y las interferencias que podrían provenir de la fuente de alimentación.

En el caso de altas frecuencias, el circuito original de Fig. 4.20 se transforma en el de Fig. 4.23. Debe tenerse en cuenta que la capacidad C_{BD} solo aparece en transistores MOS discretos pues no existe en JFET ni en transistores MOS integrados. En éstos, el sustrato está normalmente a tensión constante y C_{BD} está en paralelo con C_{GD} con lo que su efecto es despreciable. Examinando el circuito, puede verse que la capacidad C_{GS} está en paralelo con R_S , C_{BD} con g_o y, finalmente, C_{GD} con R_D . Por ello, el conjunto de fórmulas deducidas en el Apartado 4.3.3.3 pueden reutilizarse cambiando:

$$R_S \rightarrow \left(R_S // \frac{1}{s \cdot C_{GS}} \right)$$

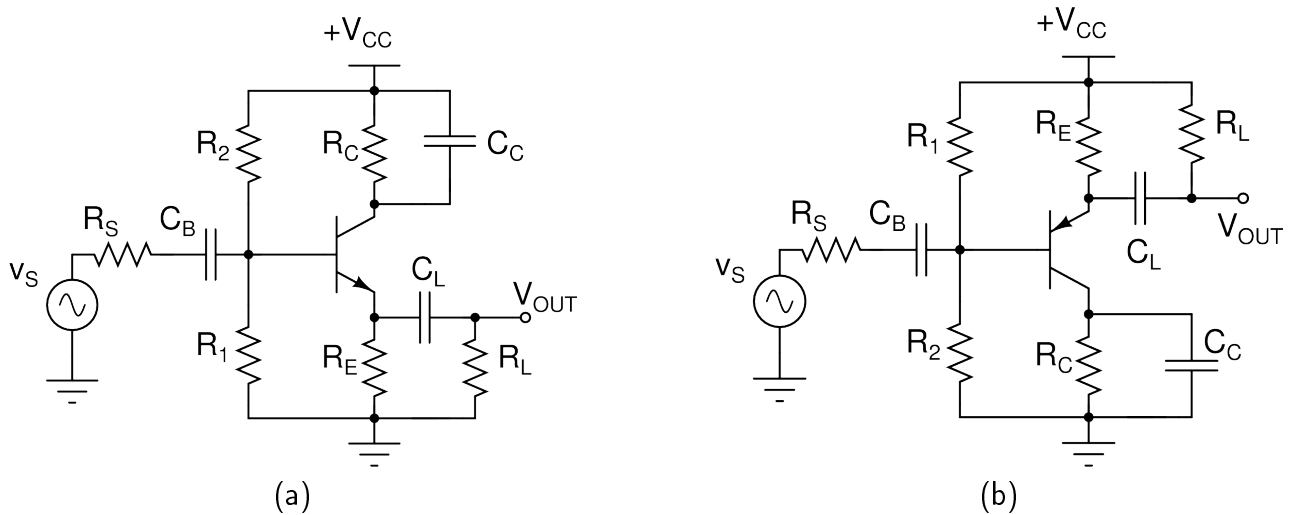


Figura 4.24: Amplificador en configuración de colector común basado en BJT, con NPN (a) y PNP (b). Se considera que la entrada propiamente dicha del amplificador es la base del transistor bipolar.

$$R_L \rightarrow \left(R_L // \frac{1}{s \cdot C_{GD}} \right)$$

$$g_o \rightarrow g_o + s \cdot C_{BD}$$

De este modo, puede deducirse cual es el comportamiento a muy altas frecuencias. Ojo, estos cambios deben aplicarse sobre las expresiones sin simplificar (Eq. 4.70-4.72, 4.76) y no sobre las expresiones simplificadas (Eq. 4.73-4.75). Si hiciéramos eso, llegaríamos, por ejemplo, al absurdo de que la impedancia de entrada es constante a altas frecuencias.

4.3.4. Configuración de colector/drenador común

Esta familia de configuraciones se caracterizan por que el colector en los BJT y el drenador en los FET se conecta en pequeña señal a tierra. De este modo, se consigue recrear la tensión de entrada en la salida con la posibilidad de disminuir la impedancia de salida. Por ello, estas configuraciones suelen llamarse “seguidor de emisor” o “seguidor de fuente”.

4.3.4.1. Configuración de colector común a frecuencias medias

Las configuraciones de colector común típicas, que utilizan transistores bipolares, se muestran en Fig. 4.24. En pequeña señal, ambos circuitos se reducen al mostrado en Fig. 4.25. Se ha utilizado como es habitual el modelo de colector común en pequeña señal. Debe tenerse en cuenta que, en este modelo, $h_{rc} \approx 1$ y la fuente dependiente no puede despreciarse. Por otro lado, en esta figura, $v_{ec} = v_{out}$.

Si operamos con este circuito, surgen las siguientes ecuaciones:

$$i_{in} = i_b + \frac{v_{in}}{R_1} + \frac{v_{in}}{R_2}$$

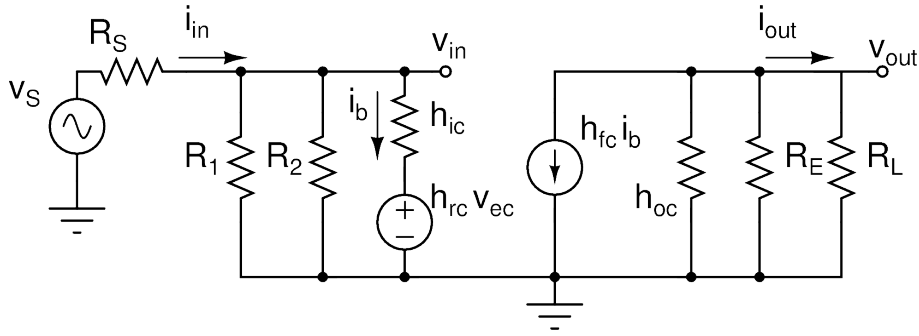


Figura 4.25: Modelo en pequeña señal de un amplificador en colector común a frecuencias medias.

$$i_b = \frac{v_{in} - h_{rc} v_{out}}{h_{ic}} \cong \frac{v_{in} - v_{out}}{h_{ic}}$$

$$v_{out} = -h_{fc} i_b (R_E // R_L // h_{oc}^{-1})$$

Combinando estas ecuaciones, es fácil deducir que:

$$v_{out} = -h_{fc} i_b (R_E // R_L // h_{oc}^{-1}) = -h_{fc} (R_E // R_L // h_{oc}^{-1}) \cdot \frac{v_{in} - v_{out}}{h_{ic}} \rightarrow$$

$$\rightarrow A_V = -\frac{h_{fc} (R_E // R_L // h_{oc}^{-1})}{h_{ic} - h_{fc} (R_E // R_L // h_{oc}^{-1})} = \frac{1}{1 - \frac{h_{ic}}{h_{fc} (R_E // R_L // h_{oc}^{-1})}} \quad (4.77)$$

Por otra parte, es fácil deducir que:

$$Z_{IN} = \left(R_1 // R_2 // \frac{h_{ic}}{1 - A_V} \right) \quad (4.78)$$

Antes de calcular el valor de la ganancia en corriente, expresemos las fórmulas anteriores en función de parámetros conocidos. Recordando que $h_{ic} = h_{ie} = \frac{N \cdot V_T}{I_B}$, $h_{fc} = -(1 + h_{fe})$ y que $h_{oc} = h_{oe} = \frac{I_C}{V_{AF}}$, las expresiones anteriores se reducen a:

$$A_V = \frac{1}{1 - \frac{h_{ic}}{h_{fc} (R_E // R_L // h_{oc}^{-1})}} = \frac{1}{1 + \frac{N \cdot V_T}{(1 + h_{fe}) \cdot I_B \cdot (R_E // R_L // h_{oc}^{-1})}} \approx \frac{1}{1 + \frac{N \cdot V_T}{I_C \cdot (R_E // R_L // h_{oc}^{-1})}} \quad (4.79)$$

En circunstancias normales, esta expresión es muy próxima a 1 pues $I_C \cdot (R_E // R_L // h_{oc}^{-1}) \sim I_C \cdot R_E \approx \frac{1}{2} \cdot \frac{V_{CC}}{10} \sim 1V \gg N \cdot V_T$. En otras palabras, el dispositivo transmite la señal de entrada directamente a la carga. Sabiendo cuán cercana a 1 es la ganancia en tensión, se puede deducir que:

$$Z_{IN} \approx (R_1 // R_2) \quad (4.80)$$

y que, por tanto,

$$A_I = \frac{R_L}{(R_1 // R_2)} \quad (4.81)$$

El último punto por calcular es la impedancia de salida. Es fácil ver, en estas circunstancias, que el

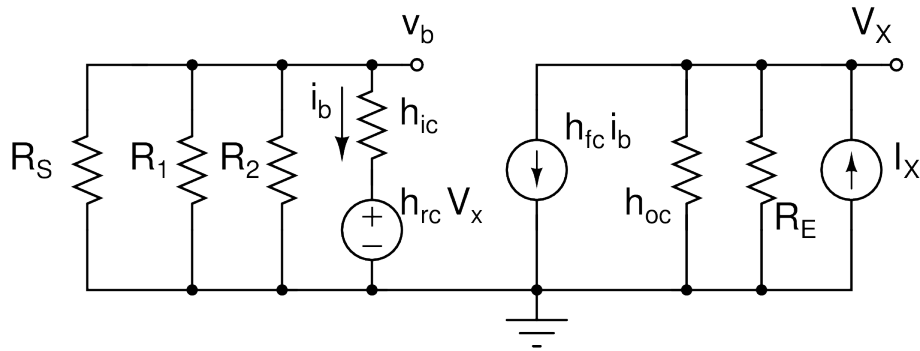


Figura 4.26: Modelo en pequeña señal de un amplificador en colector común a frecuencias medias para el cálculo de la impedancia de salida.

circuito necesario para calcularla es el mostrado en Fig. 4.26. En este circuito, no puede prescindirse de la parte izquierda ya que existe una fuente dependiente que se tiene que tener en cuenta. Así, las ecuaciones que surgen son:

$$I_X = \left(\frac{1}{R_E} + h_{oc} \right) \cdot V_X + h_{fc} \cdot i_b$$

$$i_b = - \frac{h_{rc}}{h_{ic} + (R_1 // R_2 // R_S)} \cdot V_X$$

Esta última ecuación puede deducirse directamente al considerar la parte izquierda como una fuente con dos resistencias en el que la corriente se mide en sentido inverso al natural. Por todo ello, se deduce de manera inmediata que:

$$I_X = \left(\frac{1}{R_E} + h_{oc} - \frac{h_{rc} \cdot h_{fc}}{h_{ic} + (R_1 // R_2 // R_S)} \right) \cdot V_X$$

En otras palabras, puede considerarse que la impedancia de salida es el paralelo de tres términos:

$$Z_{OUT} = \left(R_E // h_{oc}^{-1} // - \frac{h_{ic} + (R_1 // R_2 // R_S)}{h_{rc} \cdot h_{fc}} \right) =$$

$$= \left(R_E // h_{oc}^{-1} // \frac{h_{ie} + (R_1 // R_2 // R_S)}{1 + h_{fe}} \right) \quad (4.82)$$

En general, este dispositivo se utiliza como un adaptador de impedancias pues puede utilizarse para reducir la resistencia de salida de una etapa puramente amplificadora. En estas circunstancias, Eq. 4.80 nos dice que la mejor manera de aumentar la impedancia de entrada es aumentar $(R_1 // R_2)$ y, de este modo, que no se produzca una reducción drástica de A_{VS} . Despreciando el efecto Early, la impedancia de salida se puede aproximar a:

$$Z_{OUT} \approx \left(R_E // \frac{h_{ie} + R_S}{1 + h_{fe}} \right) \quad (4.83)$$

En consecuencia, se obtiene una impedancia de salida que, en cualquier caso, es menor que la

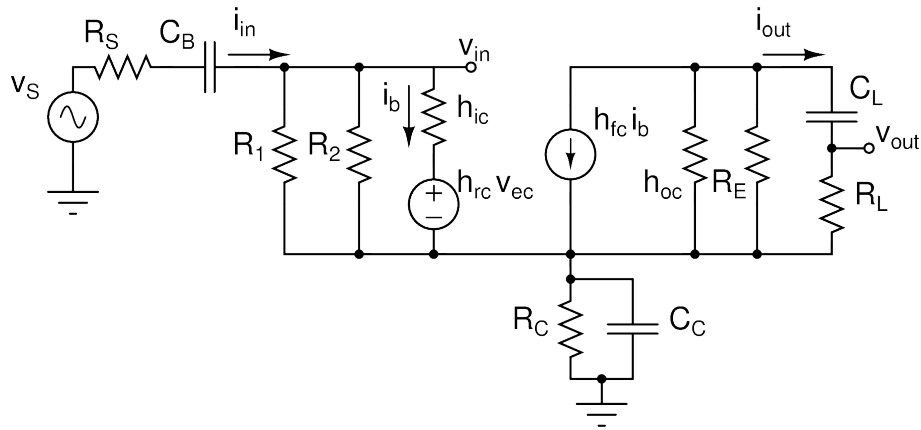


Figura 4.27: Modelo en pequeña señal de un amplificador en colector común a frecuencias bajas.

resistencia de emisor y que una resistencia del orden de la de salida de la fuente dividida por la ganancia del transistor.

4.3.4.2. Configuración de colector común a frecuencias bajas y altas

A bajas frecuencias, los condensadores de paso y bloqueo no pueden despreciarse por lo que el modelo en pequeña señal adopta el aspecto mostrado en Fig. 4.27. Esto ocurre si, a la frecuencia de trabajo, no ocurren todas y cada una de las siguientes condiciones:

$$\frac{1}{\omega \cdot C_B} \ll R_S, (R_1 // R_2)$$

$$\frac{1}{\omega \cdot C_L} \ll R_L$$

$$\frac{1}{\omega \cdot C_C} \ll R_C$$

En cambio, a altas frecuencias, el circuito en pequeña señal se convierte en el de Fig. 4.28. Debe tenerse en cuenta que, según el teorema de Miller, el condensador C_π puede cambiarse por dos nuevos condensadores de valor $C_\pi \cdot (1 - A_V)$ y $C_\pi \cdot (1 - A_V^{-1})$. Sin embargo, en esta estructura, la ganancia en tensión es cercana a 1 en el rango de frecuencias de interés por lo que ambas capacidades desaparecen. Este hecho no debe resultar extraño pues en este circuito, no se producen variaciones de la tensión BE del transistor con lo que la carga almacenada en C_π , que no es sino la capacidad de difusión C_D , no cambia.

En cualquier caso, podemos suponer que solo hay una capacidad C_μ en paralelo con las dos resistencias de polarización. Por ello, Eq. 4.80, 4.81 y 4.82 deben modificarse cambiando $(R_1 // R_2)$ por $(R_1 // R_2 // \frac{1}{s \cdot C_\mu})$. Es de notar que la ganancia en tensión, A_V , no se ve afectada. Sin embargo, la ganancia respecto a la fuente en abierto sí cae de manera considerable al depender del valor de la impedancia de entrada. Por otro lado, el hecho de que los polos de esta configuración dependan de C_μ nos hacen ver que el rango de frecuencias de trabajo es considerablemente alto. Esto también

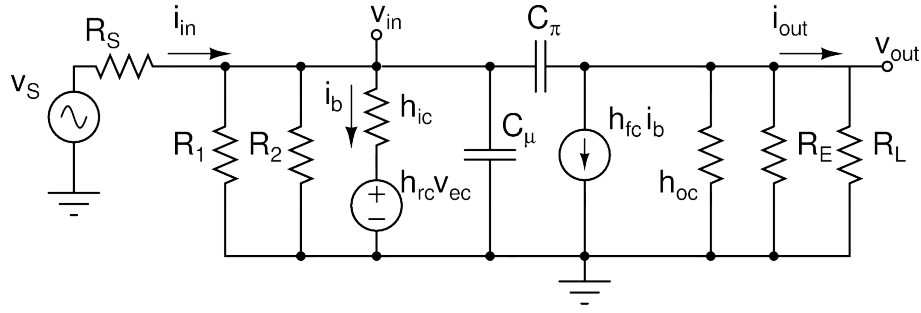


Figura 4.28: Modelo en pequeña señal de un amplificador en colector común a frecuencias altas.

se podía prever a partir de la relativamente baja ganancia en tensión.

4.3.4.3. Configuración de drenador común a frecuencias medias

Las configuraciones que utilizan un transistor FET para conseguir una réplica de la tensión de entrada en la carga se muestran en Fig. 4.29. Todas ellas reciben el nombre de “*configuración en drenador común*”. Todas estas configuraciones tienen en común el circuito en pequeña señal mostrado en Fig. 4.30 con la salvedad de que la fuente g_{mb} solo aparece en los transistores MOS con el sustrato conectado a una tensión constante. En caso de estar conectado a la fuente del transistor, o ser JFET, no existe y los cálculos que se suceden pueden utilizarse suponiendo $g_{mb} = 0$.

Teniendo en cuenta que, en esta figura, $v_g = v_{in}$, $v_s = v_{out}$, se deduce que:

$$v_{in} = (R_1 // R_2) \cdot i_{in}$$

$$g_m \cdot (v_{in} - v_{out}) = g_{mb} \cdot v_{out} + g_o \cdot v_{out} + \frac{v_{out}}{R_s} + \frac{v_{out}}{R_L}$$

se puede deducir de manera inmediata que:

$$Z_{in} = (R_1 // R_2) \quad (4.84)$$

$$A_V = \frac{v_{out}}{v_{in}} = \frac{g_m}{g_m + g_{mb} + g_o + R_s^{-1} + R_L^{-1}} \quad (4.85)$$

Ocurre que siempre es posible reducir el valor de g_o utilizando transistores con un valor muy bajo del coeficiente de modulación del canal. Las conductancias asociadas a las resistencias de carga también se pueden hacer despreciables frente a g_m usando un transistor de canal suficientemente ancho. Sin embargo, recordemos que el valor de la otra conductancia, g_{mb} , no puede eliminarse fácilmente pues, en cualquier transistor, $\frac{g_{mb}}{g_m} = 0,1 \rightarrow 0,3$ por lo que sería imposible alcanzar una ganancia cercana a 1. Esto puede obviarse en transistores discretos y en JFET. Por otra parte,

$$A_I = \frac{Z_{in}}{R_L} \cdot A_V = \frac{(R_1 // R_2)}{R_L + g_m^{-1} + R_L \cdot g_m^{-1} \cdot (g_{mb} + g_o + R_s^{-1})} \quad (4.86)$$

El cálculo de la impedancia de salida se realiza con el circuito de Fig. 4.31. En este circuito,

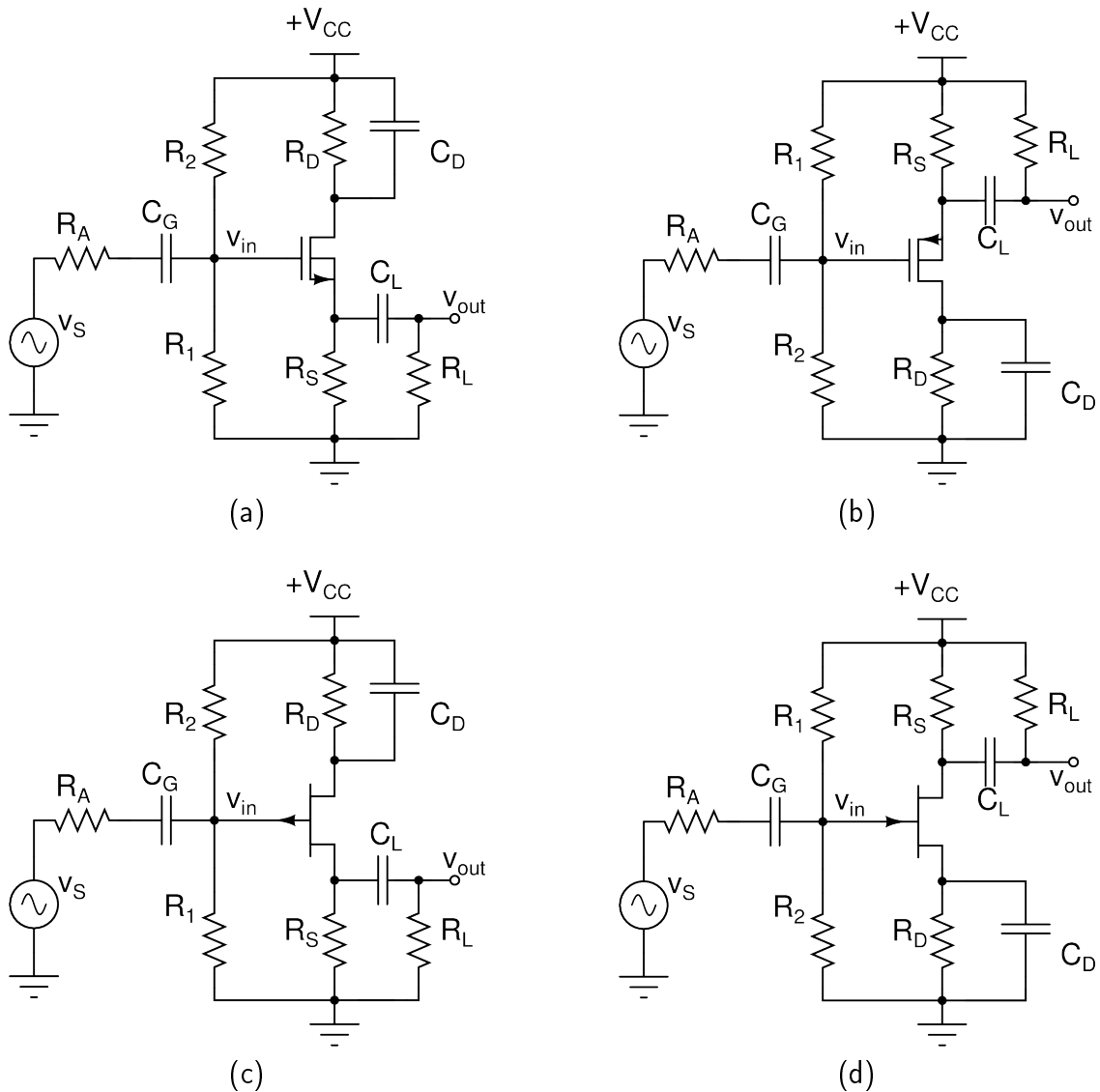


Figura 4.29: Amplificador en configuración de drenador común basado en MOSFET, con NMOS (a) y PMOS (b), y JFET, de canal P (c) y canal N (d). Se considera que la entrada propiamente dicha del amplificador es la puerta del transistor. Téngase en cuenta, además, que la resistencia de carga puede estar conectada tanto a tierra como a la alimentación positiva.

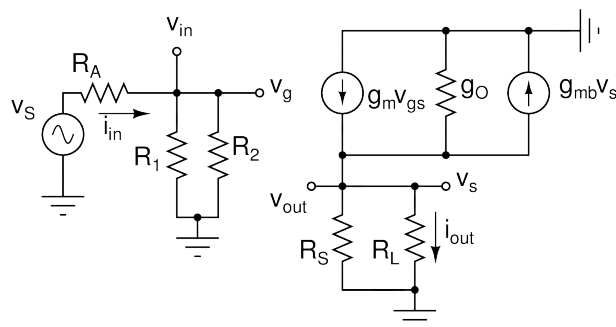


Figura 4.30: Modelo en pequeña señal de un amplificador en drenador común a frecuencias medias para el cálculo de las ganancias e impedancia de entrada.

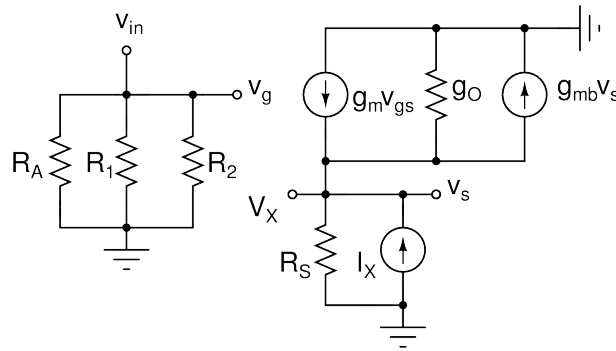


Figura 4.31: Modelo en pequeña señal de un amplificador en drenador común a frecuencias medias para el cálculo de la impedancia de salida.

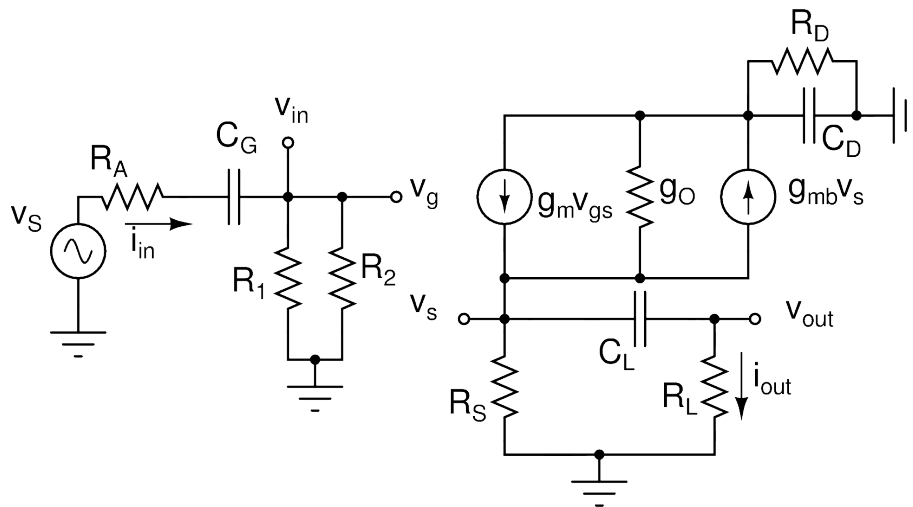


Figura 4.32: Modelo en pequeña señal de un amplificador en drenador común a frecuencias bajas.

puede deducirse fácilmente que $v_g = 0$ y que $g_m \cdot v_{gs} = -g_m \cdot V_X$. Por tanto, estas fuentes de corriente se comportan como conductancias de tal modo que la fuente de corriente testigo, I_X , aprecia cuatro resistencias en paralelo. Por ello, la impedancia de salida es, simplemente,

$$Z_{out} = (R_S // [g_m + g_{mb} + g_o]^{-1}) \quad (4.87)$$

4.3.4.4. Configuración de drenador común a frecuencias bajas y altas

Utilizando el mismo razonamiento que en otros casos, volvemos a incorporar las capacidades de paso y de bloqueo al modelo en pequeña señal. En este caso, puede verse que el circuito se transforma en el de Fig. 4.32. Es fácil ver entonces que nos encontraremos en el rango de bajas frecuencias si no se cumple alguna de las siguientes condiciones:

$$\frac{1}{\omega \cdot C_G} \ll R_A, (R_1 // R_2)$$

$$\frac{1}{\omega \cdot C_L} \ll R_L$$

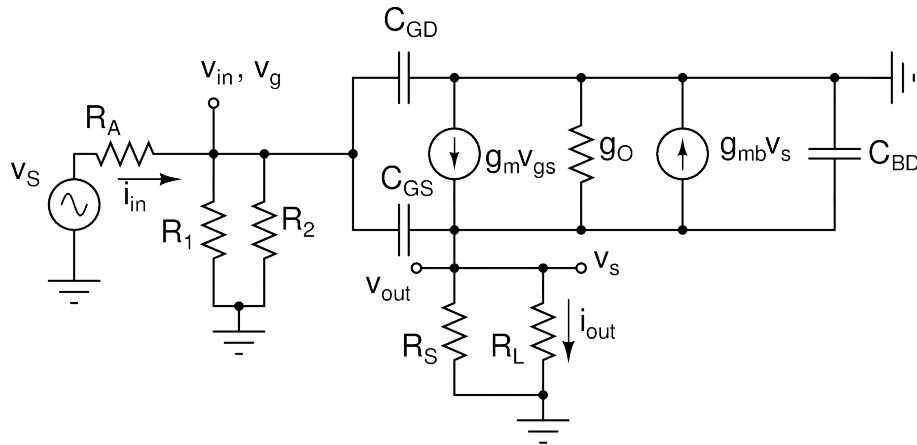


Figura 4.33: Modelo en pequeña señal de un amplificador en drenador común a frecuencias altas.

$$\frac{1}{\omega \cdot C_D} \ll R_D, (g_m + g_{mb} + g_o)^{-1}$$

En cambio, el comportamiento a muy altas frecuencias viene determinado por el circuito de Fig. 4.33. Examinando este circuito, puede apreciarse lo siguiente: En primer lugar, C_{GD} está en paralelo con $(R_1 // R_2)$. Por otra parte, C_{BD} está en paralelo con g_o , las dos fuentes de corriente, R_S y R_L . Asimismo, solo existe en MOS con el sustrato unido a la fuente. Los mayores problemas provienen de C_{GS} . Para resolverlo, debemos aplicar el teorema de Miller aunque se pueden dar dos casos: Que exista o no el efecto sustrato. En el primer caso, no es posible que la ganancia se haga 1 como ocurrió en el caso de la configuración de colector común. Por ello, debe ponerse en paralelo con C_{GD} una capacidad de valor $C_{GS} \cdot (1 - A_V)$ y, entre salida y tierra, otra capacidad de valor $C_{GS} \cdot (1 - A_V^{-1})$ que, curiosamente, es negativa. Esto implica que existe un riesgo de que el sistema sea inestable. Si no existe efecto sustrato, la ganancia en tensión puede alcanzar un valor de 1 de tal modo que desaparece cualquier influencia de esta capacidad.

4.4. Circuitos amplificadores de entrada simple basados en fuentes de corriente

En el apartado anterior, se estudiaron diversas configuraciones típicas capaces de amplificar tensiones y corrientes, de aumentar la impedancia de entrada y reducir la de salida de un amplificador. Todas ellas se basan en una red de polarización con resistencias, normalmente de emisor degenerado, a la que se añaden capacidades de paso y bloqueo para obtener el equivalente apropiado en pequeña señal. Sin embargo, ocurre que estas configuraciones presentan algunos problemas pues, en algunos casos, la elección del valor de las resistencias es complicado. Así, por ejemplo, en un amplificador de base común, que se modela como un trasconductor y que debe tener una altísima impedancia de salida, interesa aumentar el valor de R_C para aumentar este parámetro. El problema aparece pues esta resistencia no puede crecer indefinidamente ya que afecta al punto de operación.

Una técnica habitual para solventar estos problemas consiste en usar fuentes de corriente. Fijé-

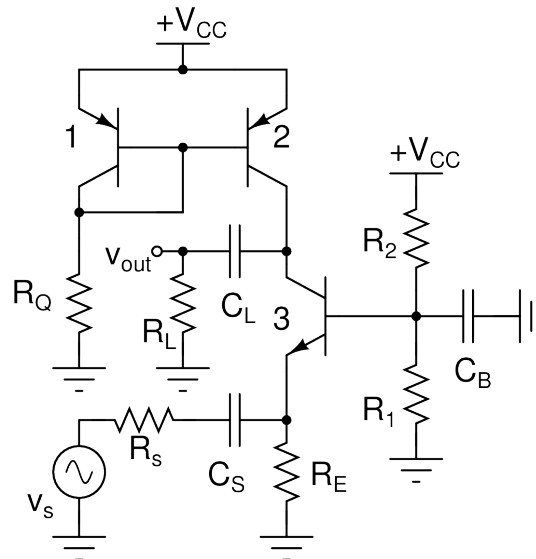


Figura 4.34: Equivalente de la configuración de base común (Fig. 4.16) con una fuente de corriente.

monos, por ejemplo, en el circuito mostrado en Fig. 4.34. En este circuito, se refleja a través del transistor 2 una corriente de valor $I_C \approx \frac{V_{CC} - V_\gamma}{R_Q}$ que polariza el transistor 3, que es el que realmente ejerce la amplificación. Las resistencias R_E , R_1 y R_2 deben ser elegidas para terminar de fijar el punto de operación. La tensión de colector depende del valor exacto de los parámetros Early de los transistores 1 y 2 pero, en cualquier caso, ambos transistores estarán en ZAD. Al hacer el modelo en pequeña señal, se deben utilizar los resultados del Apartado 4.3.3.1 reemplazando la resistencia de colector, R_C , por la resistencia parásita de la fuente, que, al provenir de un espejo simple, es $\frac{V_{AF,2}}{I_C}$. Este valor es, en general, considerablemente más alto que el de la resistencia de colector.

Esta solución y otras similares plantean nuevos problemas como la estabilidad del punto de operación, el comportamiento en frecuencia, etc. Sin embargo, las ventajas que aporta esta solución (Resistencias de salida elevadísimas junto con corrientes no nulas, facilidad de cálculo del punto de operación) han conseguido popularizar esta técnica. Otra ventaja adicional es que la flexibilidad que muestran las fuentes de corriente para cambiar la caída de tensión entre sus extremos permite que se pueda realizar un acople directo de la tensión de entrada sin necesidad de usar capacidades de bloqueo. Un ejemplo clásico es la etapa de salida tipo A que veremos en temas posteriores.

Otro ejemplo extremadamente importante y que vamos a estudiar en detalle es el amplificador inversor polarizado con fuente de corriente. Tiene un amplísimo uso en el diseño de circuitos integrados con inserción directa de la entrada. Por ello, no cuenta con capacidades de acoplo. En el caso de un transistor NPN con ganancia en corriente h_{FE} , con tensión Early V_{AF} (Fig. 4.35a), puede deducirse que:

$$I_{IN} \cong \frac{I_S}{h_{FE} + 1} \cdot \exp\left(\frac{V_{IN}}{N \cdot V_T}\right)$$

$$I_Q + \frac{V_{CC} - V_{OUT}}{R_Q} = h_{FE} \cdot \left(1 + \frac{V_{OUT}}{V_{AF}}\right) \cdot I_{IN} + \frac{V_{OUT}}{R_L}$$

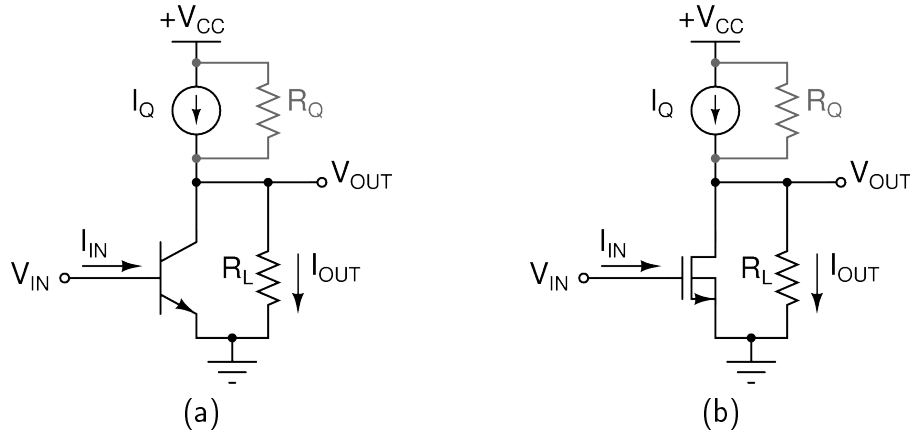


Figura 4.35: Amplificador inversor en emisor/fuente común con fuente de corriente como carga. R_Q simboliza la impedancia de salida de la fuente de corriente y R_L una resistencia o bien la impedancia de entrada de la etapa siguiente.

Para esto último, debe recordarse que $V_{CC} = V_{OUT}$. Renombrando $I_Q^* = I_Q + \frac{V_{CC}}{R_Q}$, se puede deducir rápidamente que:

$$V_{OUT} = \left(R_L // R_Q // \frac{V_{AF}}{h_{FE} \cdot I_{IN}} \right) \cdot (I_Q^* - h_{FE} \cdot I_{IN}) \quad (4.88)$$

$$I_{OUT} = \frac{\left(R_L // R_Q // \frac{V_{AF}}{h_{FE} \cdot I_{IN}} \right)}{R_L} \cdot (I_Q^* - h_{FE} \cdot I_{IN}) \quad (4.89)$$

Puede verse que este dispositivo puede describirse adecuadamente suponiendo que es, bien un transresistor o bien un amplificador de corriente. Hay que reseñar que es un amplificador fuertemente no lineal, sobre todo si se expresan los parámetros de salida en función de V_{IN} en lugar de I_{IN} . La única salvedad ocurre cuando $R_L \ll R_Q, \frac{V_{AF}}{h_{FE} \cdot I_{IN}}$ ya que, en estas circunstancias,

$$V_{OUT} \approx R_L \cdot (I_Q^* - h_{FE} \cdot I_{IN}) \quad (4.90)$$

$$I_{OUT} \approx I_Q^* - h_{FE} \cdot I_{IN} \quad (4.91)$$

Recordemos que, en cualquier caso, las tensiones de salida están limitadas al rango $0 - V_{CC}$ y las corrientes, al rango $0 - I_Q^*$. Por otra parte, es interesante apreciar que, en estas expresiones, aparece una dependencia implícita de las tensiones de alimentación. En efecto, este fenómeno conduce a la aparición de un nuevo parámetro, llamado “*Power Supply Rejection Ration (PSRR)*”, igual a $\frac{\partial V_{OUT}}{\partial V_{CC}}$, que es idealmente nulo.

En el caso de que el núcleo sea un MOSFET (Fig. 4.35b), las ecuaciones que aparecen son:

$$I_{IN} = 0$$

$$I_Q + \frac{V_{CC} - V_{OUT}}{R_Q} = \beta_F \cdot (V_{IN} - V_T)^2 \cdot (1 + \lambda \cdot V_{OUT}) + \frac{V_{OUT}}{R_L}$$

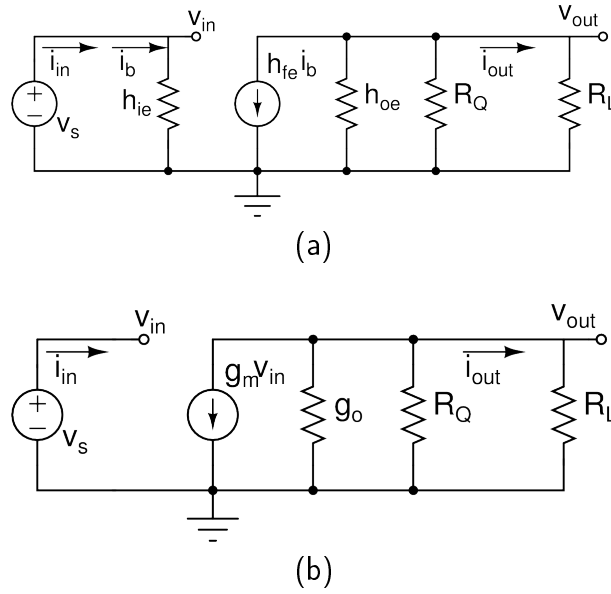


Figura 4.36: Amplificador en configuración de emisor común cargado con fuente de corriente en pequeña señal: BJT (a) y MOSFET (b).

Si renombramos los términos como hicimos con anterioridad:

$$V_{OUT} = \left(R_L // R_Q // \frac{1}{\lambda \beta_F \cdot (V_{IN} - V_T)^2} \right) \cdot (I_Q^* - \beta_F \cdot (V_{IN} - V_T)^2) \quad (4.92)$$

$$I_{OUT} = \frac{\left(R_L // R_Q // \frac{1}{\lambda \beta_F \cdot (V_{IN} - V_T)^2} \right)}{R_L} \cdot (I_Q^* - \beta_F \cdot (V_{IN} - V_T)^2) \quad (4.93)$$

Expresión que es incluso más no lineal que la anterior. Debe tenerse en cuenta, por otro lado, que no debemos preocuparnos por esta no linealidad. En general, nos interesa que la ganancia sea extraordinariamente alta pues se van a utilizar en circuitos realimentados como los amplificadores operacionales, en los que se va a minimizar la distorsión gracias a la realimentación, o en otros dispositivos como los comparadores, no realimentados, en los que nos interesa trabajar en los niveles de saturación.

¿Cómo podemos conocer esta ganancia? Podríamos utilizar las ecuaciones anteriores y calcular la ganancia mediante una derivada en torno al punto de operación (Eq. 4.5). Claro que, directamente, podríamos haber obtenido derivar primero (En otras palabras, calcular el modelo en pequeña señal) y calcular después. Fig. 4.36 muestra los modelos en pequeña señal de estos dispositivos.

Con estos modelos, se pierde algo de información como la influencia de la tensión de alimentación, la aparición de distorsión, etc. Sin embargo, su resolución es simplicísima. Así, en el modelo basado en BJT, los parámetros del amplificador serían:

$$Z_{IN} = h_{ie}$$

$$A_V = -h_{fe} \cdot \frac{R_L // R_Q // h_{oe}^{-1}}{h_{ie}}$$

$$A_I = -h_{fe} \cdot \frac{R_L // R_Q // h_{oe}^{-1}}{R_L}$$

$$Z_{OUT} = R_Q // h_{oe}^{-1} \quad (4.94)$$

y, en el caso de los MOSFET:

$$Z_{IN} = \infty$$

$$A_V = -g_m \cdot (R_L // R_Q // g_o^{-1})$$

$$A_I = -\infty$$

$$Z_{OUT} = R_Q // g_o^{-1} \quad (4.95)$$

Expresiones que, en el punto de operación, coinciden con las que aparecen al derivar las ecuaciones DC no lineales.

En general, la facilidad de cálculo del punto de operación así como la sustitución de la resistencia discreta R_C por la resistencia R_Q , que es generalmente mucho más alta, ha hecho que, en la mayoría de los circuitos integrados, y en particular en los amplificadores operacionales y comparadores, los subcircuitos amplificadores suelen estar polarizados con fuentes de corriente en lugar de resistencias. Otra ventaja adicional consiste en el menor espacio que suele ocupar un transistor respecto a una resistencia. No obstante, esto no es óbice para que sea posible encontrar resistencias en los esquemas de diversos dispositivos.

4.5. Circuitos amplificadores con varios transistores

Los circuitos mostrados en páginas anteriores muestran estructuras en las que, utilizando en su núcleo un único transistor, puede conseguirse la amplificación deseada. Asimismo, es posible calcular una serie de parámetros característicos del amplificador como las impedancias de entrada y salida.

Para mejorar las características de dichas estructuras existe la posibilidad de utilizar dos o más transistores. Así, es posible que deseemos construir un amplificador en el que se quiera aumentar la impedancia de entrada sin disminuir la ganancia. En un amplificador de emisor común como el descrito en apartados anteriores, aumentar la impedancia de entrada puede conseguirse disminuyendo h_{ie} pero esto implica, forzosamente, una disminución de A_V aunque no de A_I . ¿Cómo podemos resolver este problema?

La solución está en el uso combinado de dos o más transistores. Así, es común encontrar estructuras que mejoran las características de los transistores individuales y que se estudiarán en este apartado. Estas estructuras son:

1. Configuración Colector Común - Emisor Común (CC-EC)
2. Configuración Darlington

3. Configuración Cascode

4. Configuración Cascode Activa

Las dos primeras estructuras se caracterizan por recrear un transistor con una ganancia en corriente muy alta, una impedancia de entrada muy alta y una impedancia de salida sin modificar. Como su objetivo básico es aumentar la impedancia de entrada, su uso no tiene sentido en tecnologías CMOS por lo que nos centraremos en el caso de los transistores bipolares. En cambio, las tercera y cuarta estructuras no modifican ni la impedancia de entrada ni la ganancia en corriente pero aumentan espectacularmente la impedancia de salida. Por ello, se suelen utilizar tanto en tecnologías CMOS como bipolares. Hay que decir, además, que la cuarta estructura suele utilizarse más bien en tecnología CMOS por razones que se mostrarán en su momento.

La estrategia que se va a utilizar en estos apuntes consistirá, simplemente, en suponer que el conjunto equivale a un transistor simple con nuevos parámetros de entrada. Estos parámetros se calcularán a partir de las definiciones del modelo bipuerta estudiado en los temas anteriores.

4.5.1. Configuración Colector Común - Emisor Común (CC-EC)

Esta estructura se muestra en Fig. 4.37 utilizando transistores NPN aunque puede recrearse fácilmente una configuración similar utilizando PNP. En esta estructura, un primer transistor recibe la corriente de entrada a través de la base y, amplificada, llega a la base del segundo transistor. Ahí vuelve a ser amplificada de tal modo que la corriente de salida, en el colector del segundo transistor, ha sido amplificada 2 veces.

En esta estructura, hay que reseñar dos hechos importantes. Por un lado, se ha añadido una resistencia opcional, R_X , que en algunos casos puede ser una fuente de corriente⁵ para conseguir que el transistor 1 no esté nunca en corte. No es obligatorio incluirla aunque, en la práctica, la mayor parte de los dispositivos reales contienen una resistencia de este tipo. Por otra parte, como estamos considerando que la entrada del conjunto es la base del transistor equivalente y la salida el colector, es obvio que tenemos que el modelo en pequeña señal equivalente debe estar en configuración de emisor común.

El modelo en pequeña señal de estos dispositivos se muestra en Fig. 4.38. En esta estructura, el transistor 1 se ha sustituido por su equivalente en colector común y el 2 en emisor común. Dado que las corrientes de polarización de ambos transistores son distintas, se mantendrá el subíndice asociado a cada transistor en los cálculos que siguen. Por otra parte, se ha supuesto que el emisor del transistor 2 está conectado a tierra como suele ocurrir de modo habitual pues suele unirse a tierra o a la alimentación más negativa del circuito. Finalmente, se han añadido unas hipotéticas fuentes externas, v_{b1} y v_{c2} , necesarias para calcular los parámetros del modelo bipuerta.

⁵En algunos amplificadores operacionales como el LM124, existe una estructura CC-CE en la etapa de ganancia en la que el rol de R_X lo desempeña un transistor NPN con base en abierto.

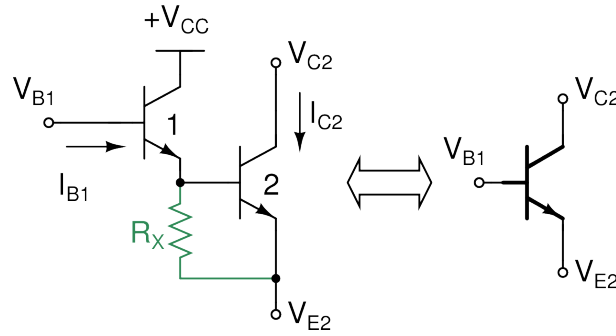


Figura 4.37: Par CC-CE construido con NPNs.

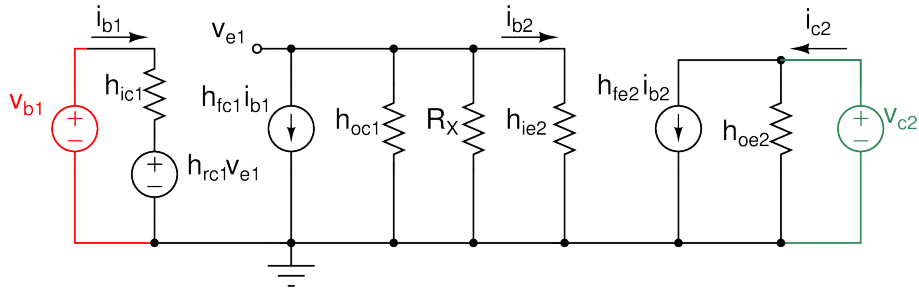


Figura 4.38: Equivalente en pequeña señal del par CC-CE.

Analizando este circuito, es fácil llegar al siguiente conjunto de ecuaciones:

$$v_{b1} = h_{ic1} \cdot v_{e1} + h_{ic1} \cdot i_{b1} \approx v_{e1} + h_{ic1} \cdot i_{b1}$$

$$v_{e1} = -h_{fc1} \cdot (h_{oc1}^{-1} // R_X // h_{ie2}) \cdot i_{b1}$$

$$i_{b2} = \frac{v_{e1}}{h_{ie2}}$$

$$i_{c2} = h_{fe2} \cdot i_{b2} + h_{oe2} \cdot v_{c2}$$

Calculemos ahora los parámetros del transistor equivalente. Recordemos que, de acuerdo con el modelo bipuerta, $h_{ie,CC-CE} = \left. \frac{v_{b1}}{i_{b1}} \right|_{v_{c2}=0}$. Combinando las dos primeras ecuaciones, se deduce que:

$$h_{ie,CC-CE} = h_{ic1} - h_{fc1} \cdot (h_{oc1}^{-1} // R_X // h_{ie2}) = h_{ie1} + (1 + h_{fe1}) \cdot (h_{oc1}^{-1} // R_X // h_{ie2}) \quad (4.96)$$

Por otra parte, $h_{fe,CC-CE} = \left. \frac{i_{c2}}{i_{b1}} \right|_{v_{c2}=0}$ con lo que:

$$h_{fe,CC-CE} = -h_{fe2} \cdot h_{fc1} \cdot \frac{(h_{oc1}^{-1} // R_X // h_{ie2})}{h_{ie2}} = h_{fe2} \cdot (1 + h_{fe1}) \cdot \frac{(h_{oc1}^{-1} // R_X // h_{ie2})}{h_{ie2}} \quad (4.97)$$

y, finalmente, $h_{oe,CC-CE} = \left. \frac{i_{c2}}{v_{c2}} \right|_{v_{b1}=0}$ cuyo valor es, simplemente, h_{oe2} . En conclusión, si fijamos la corriente de colector del transistor 2, la impedancia de salida no varía respecto a la de un transistor discreto. Sin embargo, la ganancia en corriente aumenta considerablemente pues, en general, $h_{ie2} = \frac{h_{FE2} \cdot N \cdot V_T}{I_{C2}} \ll R_X, h_{oc1}^{-1}$ con lo que $h_{fe,CC-CE} \approx h_{fe2} \cdot (1 + h_{fe1})$. Por otra parte, la impedancia de

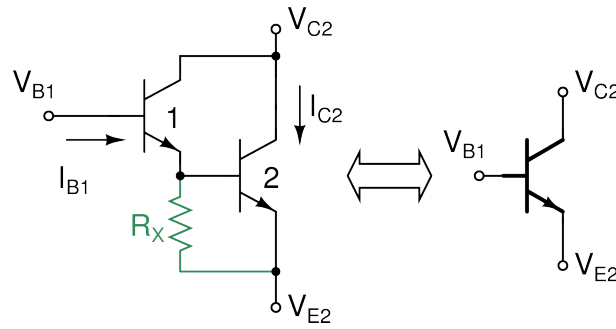


Figura 4.39: Par Darlington construido con NPNs.

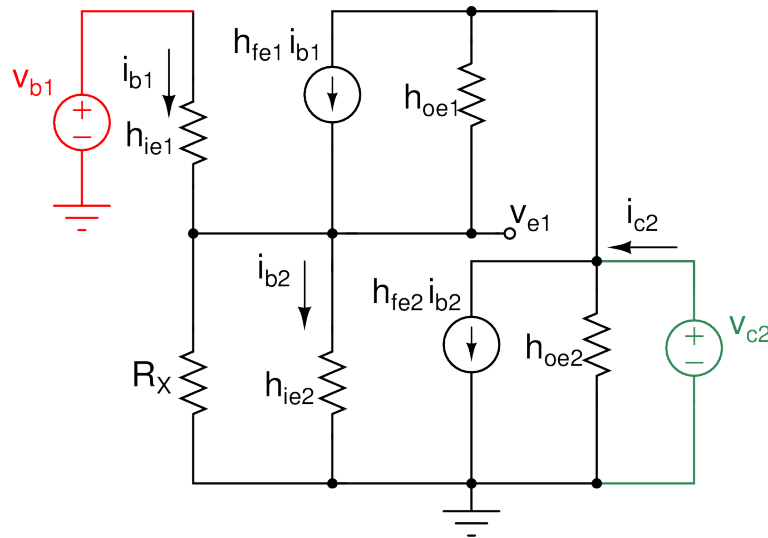


Figura 4.40: Equivalente en pequeña señal del par Darlington.

entrada también se dispara ya que

$$h_{ie,CC-CE} \approx h_{ie1} + (1 + h_{fe1}) \cdot h_{ie2} = \frac{N \cdot V_T}{I_{B1}} + (1 + h_{fe1}) \cdot \frac{N \cdot V_T}{I_{B2}} = \frac{N \cdot V_T}{I_{B2}} \cdot [h_{FE1} + 2 + h_{fe1}]$$

Puesto que $I_{B1} = \frac{I_{E1}}{h_{FE1}+1} \approx \frac{I_{B2}}{h_{FE1}+1}$. Con lo que, en otras palabras, aumenta la impedancia de entrada del transistor 2 un factor del orden de $2 \cdot h_{FE1}$.

4.5.2. Configuración Darlington

También conocida como “*par Darlington*”. En este caso, la estructura queda recogida en Fig. 4.39. La principal diferencia con la configuración CC-CE consiste en que el colector del transistor 1 no se conecta a la alimentación sino al otro colector. En estas circunstancias, el equivalente en pequeña señal será el mostrado en Fig. 4.40.

En esta estructura, se han utilizado los modelos en emisor común de ambos transistores. Por otra parte, se ha supuesto que, como es el nudo de referencia, el emisor 2 es la tierra del circuito. Finalmente, se ha supuesto que la corriente i_{c2} es la que proporciona la fuente v_{c2} y no la que atraviesa el colector del transistor 2. Analizando el circuito en pequeña señal, surgen las siguientes

ecuaciones:

$$\begin{aligned}
 v_{b1} &= v_{e1} + h_{ie1} \cdot i_{b1} \\
 (h_{fe1} + 1) \cdot i_{b1} + h_{oe1} \cdot (v_{c2} - v_{e1}) &= i_{b2} + R_X^{-1} \cdot v_{e1} \\
 i_{b2} &= \frac{v_{e1}}{h_{ie2}} \\
 i_{c2} &= h_{fe1} \cdot i_{b1} + h_{oe1} \cdot (v_{c2} - v_{e1}) + h_{oe2} \cdot v_{c2} + h_{fe2} \cdot i_{b2}
 \end{aligned}$$

Si suponemos que $v_{c2} = 0$ en estas ecuaciones, es posible averiguar $h_{ie,D}$ y $h_{fe,D}$ a partir de las versiones simplificadas de las ecuaciones:

$$h_{ie,D} = h_{ie1} + (h_{fe1} + 1) \cdot (h_{ie2} // R_X // h_{oe1}^{-1}) \quad (4.98)$$

Expresión equivalente a la del par CC-CE. La ganancia en corriente es, en este caso, de valor:

$$h_{fe,D} = h_{fe1} + (h_{fe1} + 1) \cdot (h_{fe2} - h_{oe1} \cdot h_{ie2}) \cdot \frac{(h_{ie2} // R_X // h_{oe1}^{-1})}{h_{ie2}} \quad (4.99)$$

Esta ganancia es, aproximadamente, el cuadrado de la ganancia en corriente de un transistor sencillo. Finalmente, si suponemos $v_{b1} = 0$, podemos calcular la impedancia de salida del transistor original. Sin embargo, la expresión que se obtiene es muy complicada y no difiere demasiado de la que tendría el transistor 2 aislado y polarizado en las mismas condiciones. Por ello, podemos concluir que esta estructura tiene un comportamiento similar al par CC-CE.

¿Cuál de los dos es mejor? El par Darlington presenta una ventaja sobre el otro. No depende de una fuente de alimentación externa por lo que pueden construirse de modo sencillo y utilizarlos como componentes discretos. Así, es común el uso de pares Darlington discretos en aplicaciones de potencia ya que pueden dar corrientes bastante altas. El problema de los Darlington, que no afecta a la otra configuración, es el efecto Miller. Cada transistor del par aporta una pareja de capacidades parásitas que afectan al comportamiento en frecuencia. Este hecho se ve agravado en los pares Darlington, en los que la ganancia en tensión de la salida multiplica el valor efectivo de las capacidades parásitas de los dos transistores. A mayor capacidad efectiva, más lenta es la respuesta. Esto no aparece en el par CC-CE en los que la ganancia en tensión solo afecta a la segunda etapa.

4.5.3. Configuración Cascode

También llamada “*Emisor Común - Base Común*”. A diferencia de los dos anteriores, su objetivo es aumentar la impedancia de salida y no tanto afectar a la impedancia de entrada o a la trasconductancia. Por ello, estas estructuras también tienen interés en tecnologías CMOS. Hay que reseñar finalmente que los principios básicos de funcionamiento de las estructuras cascode se remontan a los primeros tiempos de la electrónica ya que se aplicaban a circuitos con válvulas de vacío. Así, la primera patente data de 1939.

Todas las configuraciones cascode necesitan una fuente de tensión constante intermedia entre

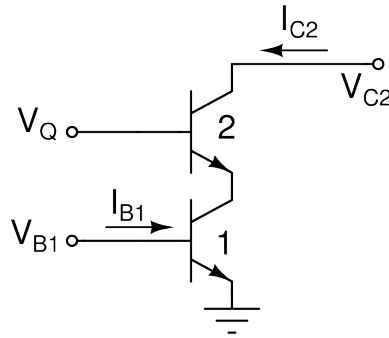


Figura 4.41: Par cascode construido con NPNs.

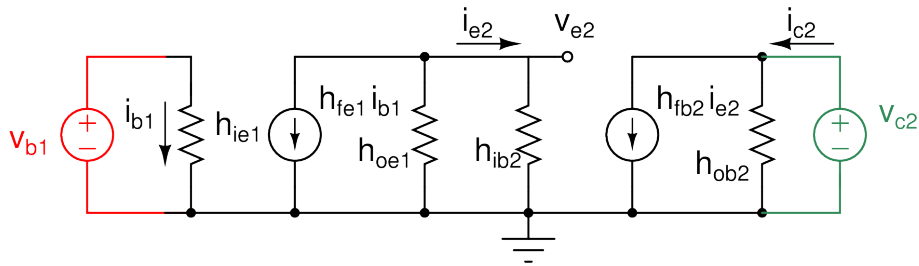


Figura 4.42: Equivalente en pequeña señal del par cascode con transistores bipolares.

los valores de las alimentaciones para funcionar correctamente. El modo en que se consigue esta fuente de tensión depende de cada diseñador.

4.5.3.1. Tecnología bipolar

En tecnología bipolar, un par cascode típico es el mostrado en Fig. 4.41. Esta estructura, que solo puede tener transistores de un mismo tipo, utiliza transistores NPN en zona activa directa. Su equivalente PNP es inmediato. Se ha supuesto que el emisor está a tierra, que la entrada es la base del primero y la salida el colector del segundo. Por ello, debemos buscar el equivalente del par completo con forma de “emisor común”. Hay que señalar, asimismo, que la tensión V_Q debe ser constante y mayor que $2 \cdot V_\gamma$ para permitir que ambos transistores estén en ZAD.

En pequeña señal, esta estructura se transforma en el circuito de Fig. 4.42. Se ha reemplazado el transistor 1 por su equivalente en pequeña señal con emisor común y el 2 con su equivalente con base común. Asimismo, se añaden dos fuentes de tensión ficticias para calcular los parámetros bipuerta. Analizando el circuito, surgen las siguientes ecuaciones:

$$i_{b1} = \frac{v_{b1}}{h_{ie1}}$$

$$v_{e2} = -h_{fe1} \cdot (h_{ib2}/h_{oe1}^{-1}) \cdot i_{b1}$$

$$i_{e2} = \frac{v_{e2}}{h_{ib2}}$$

$$i_{c2} = h_{fb2} \cdot i_{e2} + h_{ob2} \cdot v_{c2}$$

Las ecuaciones que han surgido son muy sencillas y nos permiten deducir que

$$h_{ie,CAS} = \left. \frac{v_{b1}}{i_{b1}} \right|_{v_{c2}=0} = h_{ie1} \quad (4.100)$$

$$h_{fe,CAS} = \left. \frac{i_{c2}}{i_{b1}} \right|_{v_{c2}=0} = -h_{fb2} \cdot h_{fe1} \cdot \frac{(h_{ib2}/h_{oe1}^{-1})}{h_{ib2}} \quad (4.101)$$

$$h_{oe,CAS} = \left. \frac{i_{c2}}{v_{c2}} \right|_{v_{b1}=0} = h_{ob2} \quad (4.102)$$

Recordemos ahora que, si reexpresamos los parámetros de los dos últimos en función de los de la configuración de emisor común, obtenemos:

$$h_{fe,CAS} = -h_{fb2} \cdot h_{fe1} \cdot \frac{(h_{ib2}/h_{oe1}^{-1})}{h_{ib2}} = h_{fe1} \cdot \frac{h_{fe2}}{h_{fe2} + 1} \cdot \frac{\left(\frac{h_{ie2}}{1+h_{fe2}} / h_{oe1}^{-1} \right)}{\frac{h_{ie2}}{1+h_{fe2}}} \cong h_{fe1} \cdot \frac{h_{fe2}}{h_{fe2} + 1} \quad (4.103)$$

$$h_{oe,CAS} = h_{ob2} = \frac{h_{oe2}}{h_{fe2} + 1} \quad (4.104)$$

En otras palabras, ni la ganancia en corriente ni la impedancia de entrada se han visto significativamente afectadas. Sin embargo, la impedancia de salida de un transistor simple ha sido multiplicada por un factor $1 + h_{fe2}$. Si deseáramos aumentar aún más la impedancia de salida podría ponerse un nuevo transistor en configuración cascode con el transistor 2. Evidentemente, tendría que tener una tensión de polarización de la base, V_{Q2} superior a V_Q para que todos los transistores estén en ZAD. Cada nueva etapa reduce la ganancia un factor $\frac{h_{feX}}{h_{feX}+1}$, apenas perceptible, pero aumenta la impedancia de salida un factor $1 + h_{feX}$ respecto a la versión con un transistor cascode menos.

4.5.3.2. Tecnología CMOS

El principio de construcción es exactamente el mismo que en el caso de las tecnologías bipolares. Fig. 4.43 muestra el par típico en esta tecnología, construido con transistores NMOS. Obviamente, $I_{D2} \equiv I_{DS2} = I_{DS1}$. La tensión de polarización, V_Q , debe ser tal que ambos transistores estén en saturación. Para ello, es necesario que:

$$V_Q > V_{IN} + (V_{TH,1} - V_{TH,2})$$

No puede aceptarse que ambas tensiones umbral sean las mismas debido al efecto sustrato pues $V_{SB,1} = 0$ pero $V_{SB,2} = -V_{D1}$ en el caso de los circuitos integrados. El equivalente PMOS es sencillo de construir pues, simplemente, hay que invertir la posición de los transistores, conectar la fuente del 1 a la alimentación positiva e invertir el sentido de I_{D2} .

El equivalente en pequeña señal de esta estructura es el mostrado en Fig. 4.44. Hay que tener en cuenta una serie de puntos:

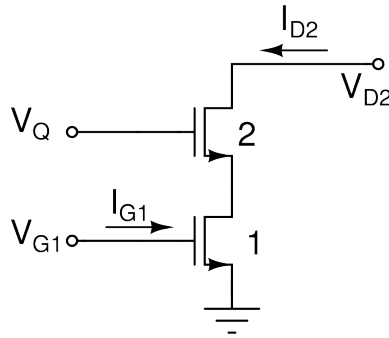


Figura 4.43: Par cascode construido con NMOS.

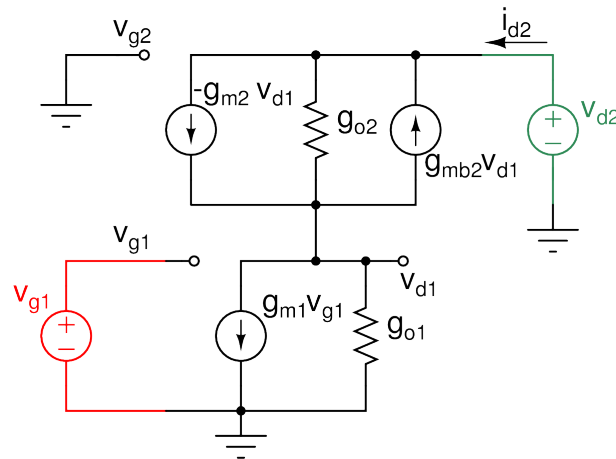


Figura 4.44: Equivalente en pequeña señal del par cascode con transistores MOS.

- Se han incorporado las fuentes de alimentación ficticias v_{g1} y v_{d2} para calcular los parámetros de la estructura equivalente.
- Estrictamente, los transistores pueden tener distintas dimensiones con lo que se necesita precisar a qué transistor pertenece cada parámetro.
- La fuente del transistor 1 está conectada directamente a la tensión más negativa del circuito. Por tanto, no existe posibilidad de efecto sustrato y g_{mb1} desaparece. Por el contrario, sí puede ocurrir efecto sustrato en el segundo transistor.
- La tensión $v_{gs2} = v_{g2} - v_{s2} = 0 - v_{d1} = -v_{d1}$ y como tal se ha incluido en el dibujo.

Las ecuaciones que regulan este circuito son:

$$i_{d2} = g_{m1} \cdot v_{g1} + g_{o1} \cdot v_{d1}$$

$$i_{d2} + (g_{m2} + g_{mb2}) \cdot v_{d1} = g_{o2} \cdot (v_{d2} - v_{d1})$$

Estas ecuaciones deben permitir sacar los parámetros de la estructura equivalente. Ocurre que la fuente de esta estructura equivalente está unida a tierra (o a la tensión más negativa del circuito).

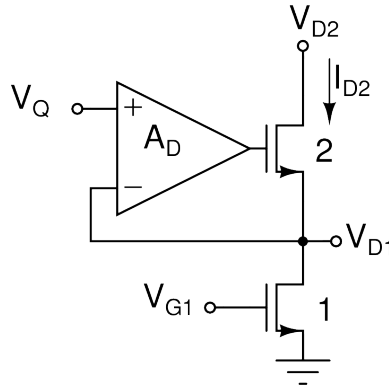


Figura 4.45: Estructura cascode activo construida con NMOS.

Por tanto, carece de efecto sustrato y $g_{mb,CAS} = 0$. Los otros parámetros se calcularían como sigue:

$$g_{m,CAS} = \left. \frac{i_{d2}}{v_{g1}} \right|_{v_{d2}=0} = g_{m1} \cdot \left(1 - \frac{g_{o1}}{g_{o1} + g_{o2} + g_{m2} + g_{mb2}} \right) \quad (4.105)$$

$$g_{o,CAS} = \left. \frac{i_{d2}}{v_{d2}} \right|_{v_{g1}=0} = \frac{g_{o1} \cdot g_{o2}}{g_{o1} + g_{o2} + g_{m2} + g_{mb2}} \quad (4.106)$$

En general, $g_{oX} \ll g_{mX}$. Por ejemplo, en un transistor con una transconductancia $\beta = 0,1 \frac{mA}{V^2}$, un coeficiente de modulación de canal de valor $\lambda = 0,05 V^{-1}$ y polarizado con una corriente $I_{DS} = 100 \mu A$, los valores de los parámetros serían $g_m = \sqrt{2 \cdot \beta \cdot I_{DS}} \approx 0,14 \frac{mA}{V}$ y $g_o = \lambda \cdot I_{DS} = 0,005 \frac{mA}{V}$. Esto implica que, en la mayor parte de los casos, la impedancia de salida de la celda cascode, de valor

$$Z_{OUT,CAS} = \frac{1}{g_{o,CAS}} = g_{o1}^{-1} + g_{o2}^{-1} + g_{o1}^{-1} \cdot \frac{g_{m2} + g_{mb2}}{g_{o2}}$$

es aproximadamente igual a la impedancia de salida del transistor 1 multiplicada por un factor

$$\frac{g_{m2} + g_{mb2}}{g_{o2}} = \frac{\sqrt{2 \cdot \beta_2} \cdot (1 + \gamma)}{\lambda_2 \cdot \sqrt{I_{DS}}} \gg 1$$

donde $\gamma = \frac{g_{mb2}}{g_{m2}} \sim 0,1 - 0,3$. Por otra parte, dado que es muy sencillo construir tensiones de referencia en tecnología CMOS, pueden apilarse con facilidad más niveles cascode por encima del transistor 2 aumentando de este modo el valor de la impedancia de salida. Estas estructuras son la base de los *amplificadores telescópicos*, ampliamente desarrollados en tecnología CMOS. E

4.5.4. Configuración Cascode Activo

Una modificación de la estructura cascode, fácilmente realizable en tecnologías CMOS, es el “cascode activo”. En esta estructura, el transistor cascode no se polariza con una tensión directamente sino utilizando un amplificador operacional con ganancia diferencial A_D (Fig. 4.45). La entrada se encuentra en la puerta del transistor 1 y la salida es la corriente de drenador-fuente, común a ambos transistores.

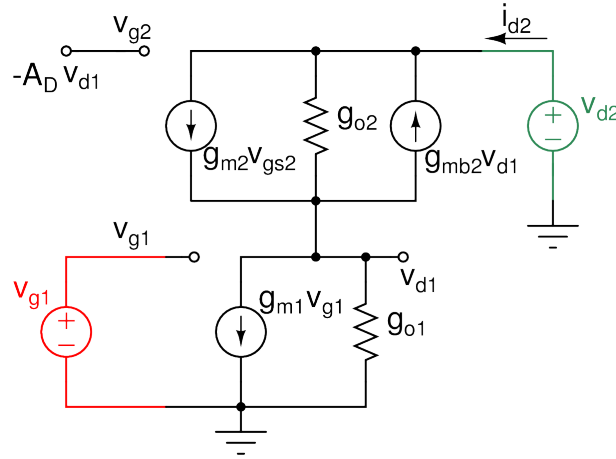


Figura 4.46: Equivalente en pequeña señal de la estructura cascode activo con transistores MOS.

La elevadísima impedancia de salida de esta estructura puede deducirse de modo cualitativo. Fijémonos que la tensión $V_{D1} \approx V_Q$ y que es prácticamente constante independientemente de la carga que se conecte a la salida. En otras palabras, el transistor 1 está aislado del resto del circuito lo que, a efectos prácticos, es equivalente a decir que tiene una impedancia de salida elevadísima.

Para dar un valor exacto, planteemos el circuito equivalente en pequeña señal recordando que la tensión V_Q no varía y que las únicas variaciones en la puerta del transistor 2 provienen de las de V_{D1} , amplificadas a través de A_D . De este modo, obtenemos la estructura de Fig. 4.46. Las ecuaciones que gobiernan este circuito son:

$$i_{d2} = g_{m1} \cdot v_{g1} + g_{o1} \cdot v_{d1}$$

$$v_{gs2} = -A_D \cdot v_{d1} - v_{d1} = -(A_D + 1) \cdot v_{d1}$$

$$i_{d2} + g_{mb2} \cdot v_{d1} = g_{m2} \cdot v_{gs2} + g_{o2} \cdot (v_{d2} - v_{d1}) = -g_{m2} \cdot (A_D + 1) \cdot v_{d1} + g_{o2} \cdot (v_{d2} - v_{d1})$$

Sin embargo, estas ecuaciones son formalmente similares a las obtenidas en el Apartado 4.5.3.2 sustituyendo $g_{m2} \rightarrow g_{m2} \cdot (A_D + 1)$. Por tanto, los parámetros de esta estructura pueden inferirse de Eq. 4.105 y 4.106 haciendo un cambio similar:

$$g_{m,CAS} = \left. \frac{i_{d2}}{v_{g1}} \right|_{v_{d2}=0} = g_{m1} \cdot \left(1 - \frac{g_{o1}}{g_{o1} + g_{o2} + g_{m2} \cdot (A_D + 1) + g_{mb2}} \right) \approx g_{m1} \quad (4.107)$$

$$g_{o,CAS} = \left. \frac{i_{d2}}{v_{d2}} \right|_{v_{g1}=0} = \frac{g_{o1} \cdot g_{o2}}{g_{o1} + g_{o2} + g_{m2} \cdot (A_D + 1) + g_{mb2}} \approx \frac{g_{o1} \cdot g_{o2}}{g_{m2} \cdot (A_D + 1)} \quad (4.108)$$

En consecuencia, la transconductancia equivalente es la del primer transistor y la impedancia de salida, la del cascode simple multiplicada por la ganancia del amplificador operacional si se desprecia el efecto sustrato ($g_{mb} = 0$).

Esta estructura tiene dos desventajas: Una, el comportamiento en frecuencia. Los cascodes son muy populares debido a su magnífico comportamiento en frecuencia pero, al introducir el amplificador

operacional, se puede reducir grandemente el ancho de banda. Por otra parte, la inserción de un amplificador operacional en un circuito integrado puede ser costosa desde el punto de vista de espacio requerido. Por ello, esta técnica no tiene éxito en tecnologías bipolares aunque sí en tecnologías CMOS. En estas tecnologías, la salida del amplificador operacional no debe suministrar corriente ya que ataca la puerta de un MOSFET. Por tanto, el amplificador operacional puede reducirse a un simple par diferencial que consta de, al menos, 5 transistores pero no muchos más⁶.

En cambio, en tecnologías bipolares, sí sería necesario construir un amplificador operacional típico ya que la impedancia de entrada del transistor es relativamente baja. Esto implica el uso de varias decenas de transistores lo que desaconseja el uso de estas estructuras en estas tecnologías. Sin embargo, éste no es el problema más importante. Conceptualmente, un FET es una fuente de corriente controlada por tensión. En cambio, un bipolar es una fuente de corriente controlada por corriente. Esto podría parecer una nimiedad pero eso implica que, en el equivalente bipolar de Fig. 4.46, habría que añadir una resistencia finita entre la base (v_{g2}) y el emisor (v_{d1}). Y esto no es una modificación mínima ya que introduce cambios significativos en las ecuaciones que tienen como consecuencia que la resistencia de salida no se multiplique por la ganancia del amplificador operacional sino, simplemente, por la ganancia en corriente del transistor cascode. En otras palabras, no aparecen ventajas de ningún tipo frente al par cascode simple.

⁶La facilidad de uso de pares diferenciales como amplificadores operacionales ha hecho que estos sean muy populares en tecnologías CMOS. Pongamos por ejemplo los casos de las etapas de salida, los circuitos S/H, los circuitos de capacidades conmutadas, etc., que se verán en temas posteriores.

Capítulo 5

AMPLIFICADORES DE ENTRADA DIFERENCIAL

5.1. Nociones generales sobre amplificadores diferenciales

5.1.1. Definición y usos

Un amplificador diferencial es un dispositivo con dos entradas cuya salida es proporcional a la diferencia de tensión entre ambas. Esto quiere decir que la salida crece a medida que lo hace la tensión aplicada en una entrada y decrece si aumenta la aplicada a la otra. Esto nos permite distinguirlas entre sí pues la primera entrada se llama “entrada no inversora” en tanto que la segunda, “entrada inversora”.

En la gran mayoría de los casos, las señales de entrada son tensiones pero la salida puede ser bien tensión, bien corriente. En el caso de que la salida sea tensión, ésta puede ser absoluta o diferencial. Finalmente, existe la posibilidad de que haya un terminal adicional, llamado “de referencia”, cuyo valor se suma directamente a la salida. Éste sería el caso de los amplificadores de instrumentación, que se estudiarán en temas posteriores.

El uso de esta familia de amplificadores es variado. Por un lado, pueden utilizarse para medir diferencias de tensión en el circuito, como es el caso de un amperímetro clásico. En este aparato, la corriente que alimenta un circuito crea una pequeña diferencia de tensión entre los extremos de una resistencia, que es medida por un amplificador diferencial y transmitida a un acondicionador de señal (Fig. 5.1). En otros casos, nos permite eliminar el ruido en señales de baja calidad como se muestra en Fig. 5.2, donde se le resta la tensión de referencia a una señal aparentemente inútil de tal modo que se regenera la señal correcta.

Sin embargo, uno de los usos más extendidos de los amplificadores diferenciales es la estabilización de sistemas. Así, una de las entradas puede utilizarse para realimentar el sistema convirtiendo la salida en una entrada más. Evidentemente, la realimentación debe ser negativa para que el sistema no sea inestable¹. La otra entrada puede utilizarse para introducir la señal de interés. Básicamente, éste es

¹¡Ojo!, no es lo mismo “realimentación negativa” que realimentación a través del terminal inversor. Casi siempre,

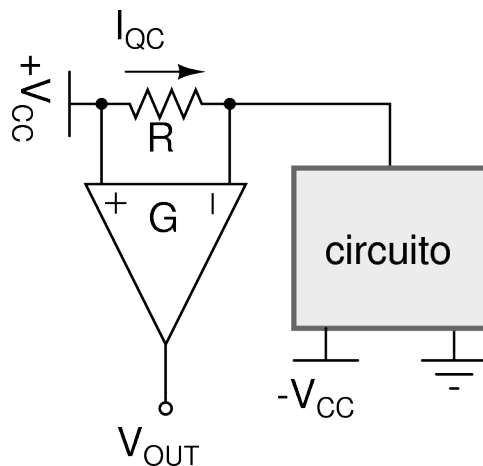
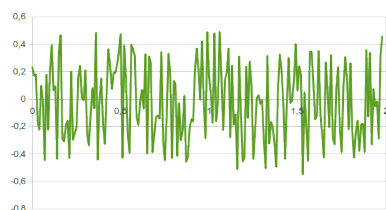
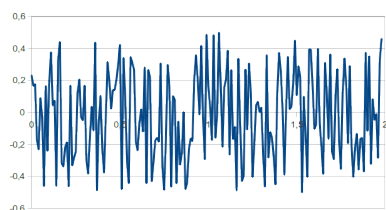


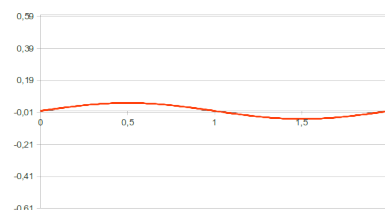
Figura 5.1: Esquema básico de funcionamiento de un amperímetro. La tensión de salida puede ser recogida por un conversor A/D y procesada por un microcontrolador.



(a)



(b)



(c)

Figura 5.2: Señal con alto nivel de ruido (a), señal de referencia (b) y señal regenerada al restar la otras dos señales (c).

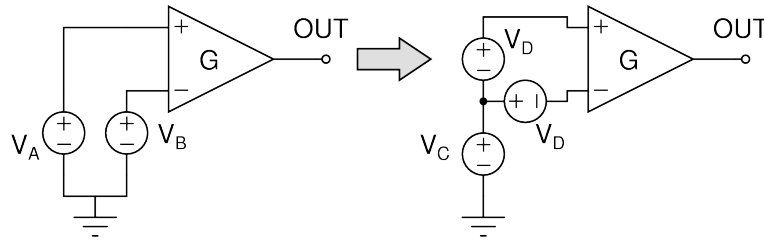


Figura 5.3: Equivalente circuital de la tensión común y diferencial.

el principio fundamental de trabajo de la mayor parte de los circuitos lineales con un amplificador operacional. En realidad, un amplificador operacional no es sino un amplificador diferencial con muy alta ganancia e impedancia de entrada infinita.

5.1.2. Modo común y diferencial

Sea V_A la tensión aplicada a la entrada *no* inversora de un amplificador diferencial y V_B la tensión aplicada a la otra entrada. El objetivo de un amplificador diferencial es restar ambas señales y multiplicarlas por un valor mayor que cero. En este caso, salta a la vista que es conveniente definir una nueva tensión igual a:

$$V_D = \frac{1}{2} \cdot (V_A - V_B) \quad (5.1)$$

que llamaremos “tensión o modo diferencial”. Otra tensión de interés es la media aritmética de ambas señales. Ésta se llama “tensión o modo común” y se calcula como:

$$V_C = \frac{1}{2} \cdot (V_A + V_B) \quad (5.2)$$

Es trivial encontrar entonces la siguiente relación:

$$\begin{cases} V_A = V_C + V_D \\ V_B = V_C - V_D \end{cases} \quad (5.3)$$

Esto nos permite transformar un circuito en uno equivalente que tome en cuenta estas nuevas definiciones (Fig. 5.3). En un amplificador diferencial ideal, es conveniente que la salida solo dependa de V_D y no de V_C . Sin embargo, esto no suele ser posible. Así, si suponemos que la salida es de tensión, se va a cumplir que, generalmente:

$$V_{OUT} = V_{OS} + A_D \cdot V_D + A_C \cdot V_C \quad (5.4)$$

donde V_{OS} es la tensión de *offset*, típica de todo amplificador, A_D es la ganancia diferencial y A_C la ganancia en modo común. Es trivial demostrar que $A_D > 0$ pues, si no fuera así, bastaría con intercambiar los papeles de los terminales no inversor e inversor. En cambio, A_C puede tener

se usará este terminal para introducir la realimentación pero, en algunos casos, no se debe proceder de este modo.

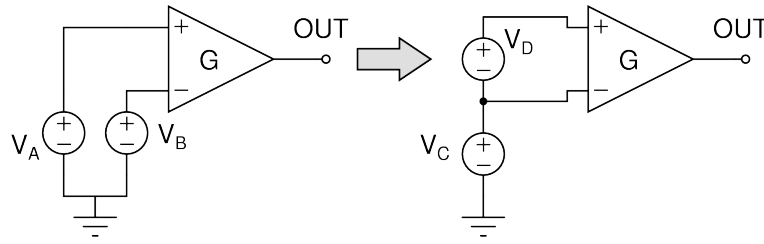


Figura 5.4: Equivalente circuital de la definición alternativa de tensión común y diferencial.

cualquier valor aunque, lógicamente, $|A_C| \ll A_D$. Por otro lado, si reemplazamos los valores de las tensiones de modo común y diferencial por las tensiones reales, puede demostrarse que:

$$\begin{aligned} V_{OUT} &= V_{OS} + \frac{1}{2} \cdot (A_D + A_C) \cdot V_A - \frac{1}{2} \cdot (A_D - A_C) \cdot V_B = \\ &= V_{OS} + K_A \cdot V_A - K_B \cdot V_B \end{aligned} \quad (5.5)$$

de lo que se deduce que $A_C = K_A - K_B$. En otras palabras, el modo común influye en la salida solo cuando las ganancias de cada una de las dos entradas no se han apareado adecuadamente.

Por otra parte, en caso de que el amplificador sea no lineal, es necesario definir las ganancias en torno al punto de operación por medio de derivadas parciales:

$$K_A = \left. \frac{\partial V_{OUT}}{\partial V_A} \right|_Q \quad K_B = - \left. \frac{\partial V_{OUT}}{\partial V_B} \right|_Q \quad A_D = \left. \frac{\partial V_{OUT}}{\partial V_D} \right|_Q \quad A_C = \left. \frac{\partial V_{OUT}}{\partial V_C} \right|_Q \quad (5.6)$$

Para medir la calidad de un amplificador diferencial, suele utilizarse un parámetro llamado “razón de rechazo al modo común”, que en inglés se abrevia como CMRR. Se define como:

$$CMRR = \left| \frac{A_D}{A_C} \right| \quad (5.7)$$

Es un parámetro adimensional, carente de unidades, por lo que suele expresarse en decibelios.

Sin embargo, las definiciones de Eq. 5.1-5.2 no representan la única manera de definir las tensiones de modo común y diferencial. En algunos textos y situaciones, se prefiere hacer equivalente la tensión de la entrada inversora con el modo común y la diferencia con la entrada no inversora como el modo diferencial. Así, la representación de Fig. 5.4 se opondría a la de Fig. 5.3. Es fácil ver que, entonces,

$$\begin{aligned} V_A &= V_C^* + V_D^* \Rightarrow V_C^* = V_C - V_D \\ V_B &= V_C^* \Rightarrow V_D^* = 2 \cdot V_D \end{aligned}$$

Carecen de asterisco los términos y parámetros relacionados con la definición usual de modo común y modo diferencial. Se puede deducir fácilmente que:

$$A_D^* = \frac{\partial V_{OUT}}{\partial V_D^*} = \frac{\partial V_{OUT}}{\partial V_D} \cdot \frac{\partial V_D}{\partial V_D^*} = \frac{1}{2} \cdot A_D \quad (5.8)$$

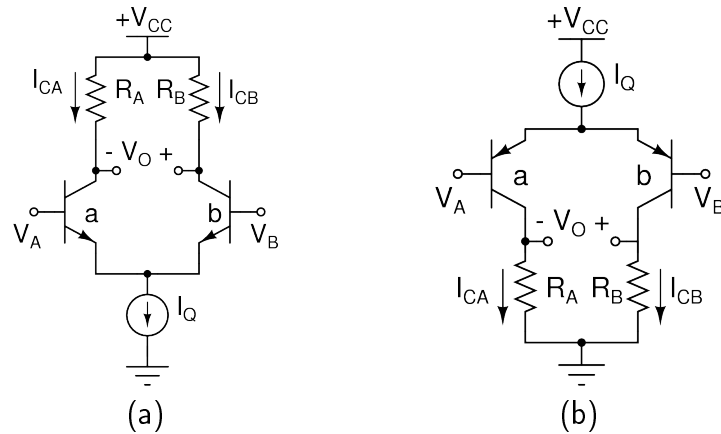


Figura 5.5: Pares diferenciales bipolares con cargas resistivas. NPN (a) y PNP (b). Puede apreciarse la distinta posición de la fuente de corrientes pues deben estar unidos al nudo de los emisores.

$$\frac{1}{A_C^*} = \frac{\partial V_C^*}{\partial V_{OUT}} = \frac{\partial V_C^*}{\partial V_C} \cdot \frac{\partial V_C}{\partial V_{OUT}} + \frac{\partial V_C^*}{\partial V_D} \cdot \frac{\partial V_D}{\partial V_{OUT}} = \frac{1}{A_C} - \frac{1}{A_D} \quad (5.9)$$

En ambos casos, se ha empleado la regla de la cadena. En el segundo caso, se ha tenido que realizar las operaciones con el inverso de la ganancia en modo común para que la aplicación de esta regla fuera coherente desde el punto de vista matemático.

5.2. Pares diferenciales

Todo amplificador diferencial, sea cual sea su complejidad, está basado en una estructura llamada “par diferencial”. El par diferencial está compuesto por los siguientes elementos:

1. Dos transistores idénticos (o al menos, muy bien apareados) cuyos emisores (o fuentes, si son FET) están conectados al mismo nodo. Pueden ser de cualquier tipo: NPN, PNP, NMOS, PMOS, N-JFET, P-JFET, ...
2. El nudo donde se conectan los dos emisores/fuentes se drena (alimenta) por medio de una fuente de corriente, I_Q .
3. Las entradas del par diferencial, cuyas tensiones se restarán, son las bases/puertas de los transistores.
4. Dos cargas se conectan a los colectores/drenadores de los transistores. Estas cargas pueden ser simples resistencias o fuentes de corriente con elevada impedancia de salida.

5.2.1. Par diferencial con cargas resistivas

En este caso, se conecta al colector/drenador de cada transistor dos resistencias exactamente iguales. Suele tomarse la salida como la diferencia de tensión entre los dos colectores/drenadores.

5.2.1.1. Tecnología Bipolar

Pueden darse dos casos: NPN (Fig. 5.5a) y PNP (Fig. 5.5b). En ambos, se debe suponer que los transistores bipolares se encuentran en zona activa directa para que el funcionamiento sea correcto. Existen dos maneras de determinar la relación entre la entrada y la salida. Por un lado, se puede hacer un análisis directo en DC para obtener la relación entre V_O y $V_A - V_B$. Las ventajas de este ataque consisten en que se pueden determinar con facilidad los valores de la tensión de *offset* de la salida, la distorsión, etc. El inconveniente es que las ecuaciones derivadas son relativamente complicadas e inmanejables si se añaden más elementos. La otra solución consiste en estudiar el equivalente en pequeña señal del amplificador. En este caso, solo se puede obtener un parámetro, que es la ganancia diferencial pero, en muchos casos, es el único que interesa.

Para abordar el problema utilizando el método DC, debemos fijarnos en que, para el par NPN:

$$V_O = (V_{CC} - R_B \cdot I_{CB}) - (V_{CC} - R_A \cdot I_{CA}) = R_A \cdot I_{CA} - R_B \cdot I_{CB} \quad (5.10)$$

que se convierte en $R \cdot (I_{CA} - I_{CB})$ si se suponen las dos resistencias perfectamente apareadas. Por otra parte, se cumple que:

$$I_{EA} + I_{EB} = I_Q \quad (5.11)$$

Ahora, imaginemos que los transistores son exactamente iguales y que tienen un parámetro característico² $\alpha_F = \frac{I_C}{I_E}$. Si denominamos V_E a la tensión del nudo donde convergen los emisores, se descubre que:

$$I_{EA} = I_S \cdot \exp\left(\frac{V_A - V_E}{N \cdot V_T}\right) \quad I_{EB} = I_S \cdot \exp\left(\frac{V_B - V_E}{N \cdot V_T}\right)$$

Si divido ambas expresiones entre sí:

$$\frac{I_{EA}}{I_{EB}} = \exp\left(\frac{V_A - V_B}{N \cdot V_T}\right) = \exp\left(\frac{2 \cdot V_D}{N \cdot V_T}\right)$$

Si utilizamos esta expresión para reducir el número de variables de Eq. 5.11:

$$\begin{aligned} I_{EB} \cdot \exp\left(\frac{2 \cdot V_D}{N \cdot V_T}\right) + I_{EB} &= I_Q \Rightarrow \\ \Rightarrow I_{EB} &= \frac{I_Q}{1 + \exp\left(\frac{2 \cdot V_D}{N \cdot V_T}\right)} = I_Q \cdot \frac{\exp\left(-\frac{V_D}{N \cdot V_T}\right)}{\exp\left(-\frac{V_D}{N \cdot V_T}\right) + \exp\left(\frac{V_D}{N \cdot V_T}\right)} \end{aligned}$$

y, lógicamente,

$$I_{EA} = \exp\left(\frac{2 \cdot V_D}{N \cdot V_T}\right) \cdot I_{EB} = I_Q \cdot \frac{\exp\left(\frac{V_D}{N \cdot V_T}\right)}{\exp\left(-\frac{V_D}{N \cdot V_T}\right) + \exp\left(\frac{V_D}{N \cdot V_T}\right)}$$

²Por otra parte, no olvidemos que $\alpha_F = \frac{h_{FE}}{h_{FE} + 1}$.

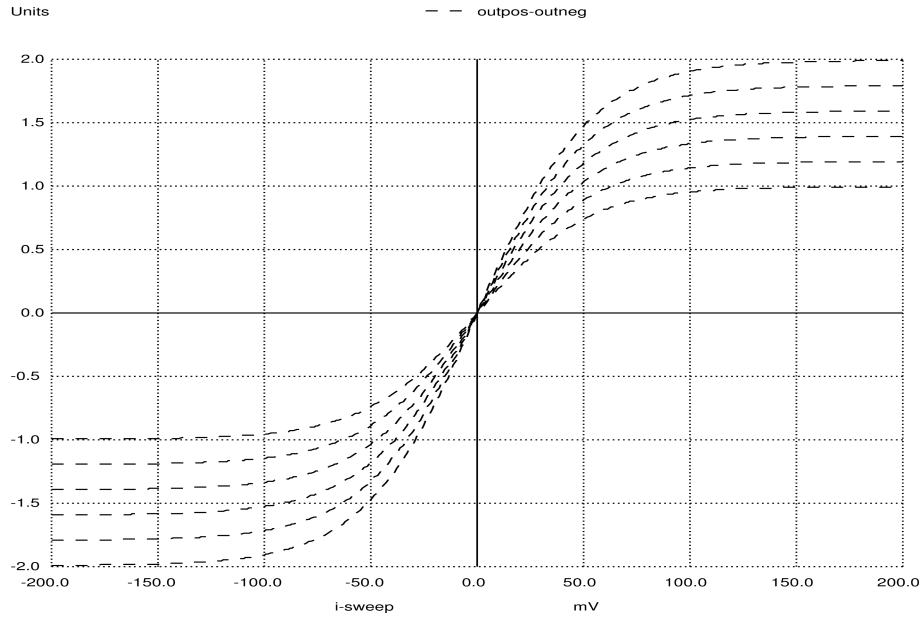


Figura 5.6: Relación entrada-salida en un amplificador diferencial BJT.

Operando, se acaba por deducir la siguiente relación entre la entrada y la salida:

$$V_O = R \cdot (I_{CA} - I_{CB}) = \alpha_F \cdot R \cdot (I_{EA} - I_{EB}) = \alpha_F \cdot R \cdot I_Q \cdot \frac{\exp\left(\frac{V_D}{N \cdot V_T}\right) - \exp\left(-\frac{V_D}{N \cdot V_T}\right)}{\exp\left(-\frac{V_D}{N \cdot V_T}\right) + \exp\left(\frac{V_D}{N \cdot V_T}\right)} \Rightarrow$$

$$\Rightarrow V_O = \alpha_F \cdot R \cdot I_Q \cdot \tanh\left(\frac{V_D}{N \cdot V_T}\right) \quad (5.12)$$

Esta expresión es válida siempre que los transistores se encuentren en zona activa directa. Fig. 5.6 muestra el ejemplo de simular un par diferencial formado por dos transistores bipolares 2N2222A con resistencias de 1 kΩ de carga a medida que varía la corriente de alimentación de 1 mA a 2 mA con pasos de 0.2 mA. Es fácil ver que, si $|V_D| \gg N \cdot V_T$, $|V_O| \rightarrow \alpha_F \cdot R \cdot I_Q$ y, que en torno a 0 V, la función anterior es similar a:

$$V_O \approx \frac{\alpha_F \cdot R \cdot I_Q}{N \cdot V_T} \cdot V_D. \quad (5.13)$$

Un modo alternativo de atacar el problema consiste en buscar directamente la ganancia en pequeña señal, que es el parámetro más importante del amplificador diferencial. Así, los circuitos de Fig. 5.5 se transforman en los de Fig. 5.7, sea cual sea el tipo de transistor. En este circuito, es fácil ver que:

$$v_O = R \cdot h_{fe} \cdot (i_{b1} - i_{b2})$$

$$i_{b1} = \frac{v_D - v_e}{h_{ie}}$$

$$i_{b2} = \frac{-v_D - v_e}{h_{ie}}$$

$$i_{b1} + h_{fe} \cdot i_{b1} + i_{b2} + h_{fe} \cdot i_{b2} = 0$$

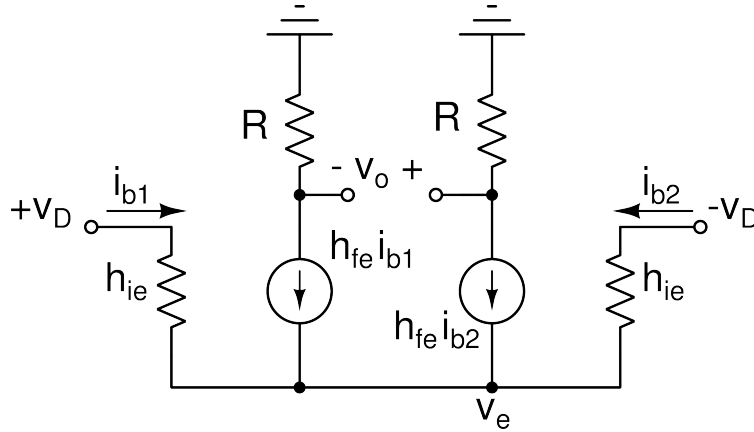


Figura 5.7: Equivalente en pequeña señal de un par diferencial BJT con resistencias de carga. Se entiende que la excitación en pequeña señal es la componente diferencial, v_D .

De esta última ecuación, se deduce inmediatamente que $i_{b1} = -i_{b2}$ por lo que $i_{b1} = \frac{v_D}{h_{ie}}$ y $v_O = \frac{2 \cdot R \cdot h_{fe}}{h_{ie}} \cdot v_D$. Veamos cuanto vale esta ganancia en función de los parámetros del punto de operación:

$$\frac{2 \cdot R \cdot h_{fe}}{h_{ie}} = \frac{2 \cdot R \cdot h_{fe}}{\frac{N \cdot V_T}{I_{B1}}} = \frac{2 \cdot R \cdot h_{fe} \cdot I_{B1}}{N \cdot V_T} = \frac{2 \cdot R \cdot h_{FE} \cdot I_{B1}}{N \cdot V_T} = \frac{2 \cdot R \cdot I_{C1}}{N \cdot V_T}$$

Para el penúltimo paso, se identificó h_{fe} con h_{FE} . Ocurre que $I_{C1} = \alpha_F \cdot I_{E1}$ y que, en el punto de operación, $I_{E1} = I_{E2} = \frac{1}{2} \cdot I_Q$ de lo que se deduce que la ganancia es:

$$\frac{2 \cdot R \cdot h_{fe}}{h_{ie}} = \frac{2 \cdot R \cdot I_{C1}}{N \cdot V_T} = \frac{2 \cdot R}{N \cdot V_T} \cdot \alpha_F \cdot \frac{1}{2} \cdot I_Q = \frac{\alpha_F \cdot R \cdot I_Q}{N \cdot V_T}$$

Con lo que se demuestra que, los resultados de los modelos en pequeña y gran señal son compatibles.

5.2.1.2. Tecnología CMOS / Transistores JFET

Pueden darse cuatro posibilidades, mostradas en Fig. 5.8: Par NMOS (a), par PMOS (b), par JFET de canal N (c) y par JFET de canal P (d). Las ecuaciones derivadas de un transistor MOS son idénticas a las del JFET con la misma polaridad, cambiando la tensión umbral por la tensión de *pinch-off*. Sin embargo, nos vamos a centrar en el caso de los transistores NMOS, en los que el estudio es más sencillo al ser todos los parámetros positivos.

Supondremos que V_S es la tensión del nudo de fuente, común a ambos transistores. Es fácil ver entonces que:

$$\begin{aligned} I_Q &= I_{DS1} + I_{DS2} \\ I_{DS1} &= \frac{1}{2} k \cdot \frac{W}{L} \cdot (V_A - V_S - V_{TH})^2 \\ I_{DS2} &= \frac{1}{2} k \cdot \frac{W}{L} \cdot (V_B - V_S - V_{TH})^2 \\ V_O &= R \cdot (I_{DS1} - I_{DS2}) \end{aligned} \tag{5.14}$$

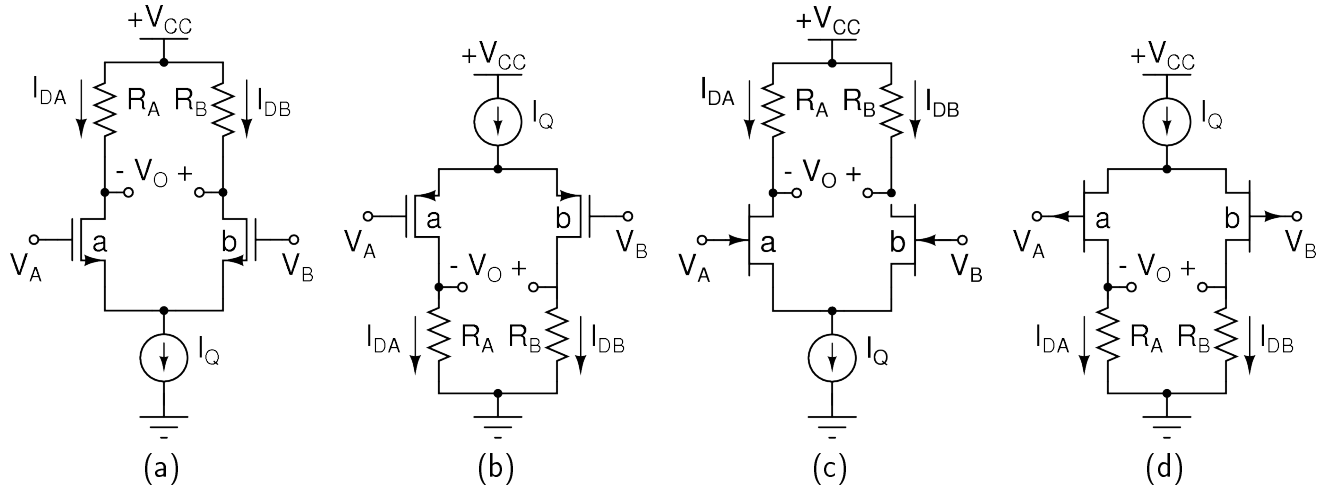


Figura 5.8: Pares diferenciales bipolares con transistores de efecto campo.

Se ha supuesto que los dos transistores y resistencias están perfectamente apareados. Recordemos ahora que el término $\frac{1}{2}k\frac{W}{L}$ se representaba como β por simplicidad³ y que $V_A = V_C + V_D$, $V_B = V_C - V_D$. Es fácil ver, entonces, que

$$\sqrt{\frac{I_{DS1}}{\beta}} - V_D = \sqrt{\frac{I_{DS2}}{\beta}} + V_D = V_C - V_S - V_{TH}$$

Esto nos permite librarnos de la incómoda presencia de distintas tensiones y reducir el problema a resolver el siguiente sistema de ecuaciones:

$$\begin{cases} \sqrt{I_{DS1}} - \sqrt{I_{DS2}} = 2\sqrt{\beta} \cdot V_D \\ I_{DS1} + I_{DS2} = I_Q \end{cases}$$

Para resolverlo, elevemos la primera ecuación al cuadrado:

$$(\sqrt{I_{DS1}} - \sqrt{I_{DS2}})^2 = \underbrace{I_{DS1} + I_{DS2}}_{I_Q} + 2\sqrt{I_{DS1} \cdot I_{DS2}} = 4\beta \cdot V_D^2 \Rightarrow$$

$$\Rightarrow I_{DS1} \cdot I_{DS2} = \left(2\beta \cdot V_D^2 - \frac{1}{2}I_Q\right)^2 = 4\beta^2 \cdot V_D^4 + \frac{1}{4}I_Q^2 - 2\beta I_Q \cdot V_D^2 \Rightarrow$$

$$\Rightarrow I_{DS1} \cdot (I_Q - I_{DS1}) = 4\beta^2 \cdot V_D^4 + \frac{1}{4}I_Q^2 - 2\beta I_Q \cdot V_D^2 \Rightarrow$$

$$\Rightarrow I_{DS1}^2 - I_Q \cdot I_{DS1} + 4\beta^2 \cdot V_D^4 + \frac{1}{4}I_Q^2 - 2\beta I_Q \cdot V_D^2 = 0$$

Esta ecuación cuadrática se resuelve fácilmente. Descartamos, por absurda, la solución negativa ya que implicaría que la corriente fluye hacia arriba, de un modo antinatural, y se llega a la solución:

³Y, de paso, para hacer que las ecuaciones sean más fáciles de extrapolar a JFETs.

$$\begin{aligned}
I_{DS1} &= \frac{1}{2}I_Q + \frac{1}{2}\sqrt{I_Q^2 - 4\left(4\beta^2 V_D^4 + \frac{1}{4}I_Q^2 - 2\beta I_Q V_D^2\right)} = \\
&= \frac{1}{2}I_Q + \frac{1}{2}\sqrt{I_Q^2 - 4\cdot 4\beta^2 V_D^4 - 4\cdot \frac{1}{4}I_Q^2 + 4\cdot 2\beta I_Q V_D^2} = \\
&= \frac{1}{2}I_Q + \frac{1}{2}\sqrt{8\beta I_Q V_D^2 - 16\beta^2 V_D^4} = \\
&= \frac{1}{2}I_Q + \sqrt{2\beta I_Q} V_D \sqrt{1 - \frac{2\beta}{I_Q} V_D^2}
\end{aligned}$$

Y, por tanto,

$$I_{DS2} = I_Q - I_{DS1} = \frac{1}{2}I_Q - \sqrt{2\beta I_Q} V_D \sqrt{1 - \frac{2\beta}{I_Q} V_D^2}$$

Con lo que:

$$V_O = R \cdot (I_{DS1} - I_{DS2}) = 2 \cdot R \cdot \sqrt{2\beta I_Q} V_D \sqrt{1 - \frac{2\beta}{I_Q} V_D^2} \quad (5.15)$$

Es posible ver que estas funciones alcanzan máximos/mínimos en $V_D = \pm \frac{1}{\sqrt{2}} \sqrt{\frac{I_Q}{2\beta}} = \pm \frac{1}{2} \sqrt{\frac{I_Q}{\beta}}$. A partir de ese instante, las ecuaciones dejan de tener validez al pasar uno de los transistores a zona de corte. Por otra parte, debe garantizarse que los transistores no abandonen la zona de saturación. Gráficamente, la relación entrada-salida es muy similar a la de un par bipolar pero aparece una curiosa diferencia. En el par bipolar, la ganancia era proporcional a I_Q pero, en los pares FET, a $I_Q^{-1/2}$. En general, este hecho redundará en una menor capacidad amplificadora de los pares FET.

En el hipotético caso de que la tensión V_D sea muy pequeña, Eq. 5.15 se puede transformar en:

$$V_O = 2 \cdot R \cdot \sqrt{2\beta I_Q} V_D \sqrt{1 - \frac{2\beta}{I_Q} V_D^2} \simeq 2 \cdot R \cdot \sqrt{2\beta I_Q} V_D \left(1 - \frac{2\beta}{I_Q} V_D^2\right) \quad (5.16)$$

De lo que se deduce que, en torno al origen, la ganancia es $2 \cdot R \cdot \sqrt{2\beta I_Q}$. Este parámetro también se podría haber deducido a partir del modelo en pequeña señal de los transistores, que se muestra en Fig. 5.9. Se ha incluido en este dispositivo la acción del efecto sustrato que, sin embargo, está restringido a transistores MOSFET con el sustrato unido a una tensión constante.

En este circuito, se va a cumplir que:

$$\begin{aligned}
v_{gsA} &= v_D - v_s \\
v_{gsB} &= -v_D - v_s \\
v_{bsA} &= v_{bsB} = -v_s \\
v_O &= R \cdot (i_{dsA} - i_{dsB}) \\
i_{dsA} &= g_m v_{gsA} - g_{mb} v_{bsA} \\
i_{dsB} &= g_m v_{gsB} - g_{mb} v_{bsB}
\end{aligned}$$

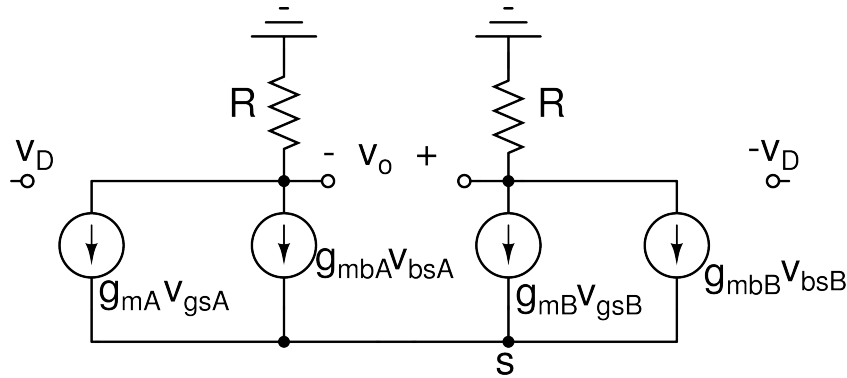


Figura 5.9: Equivalente en pequeña señal de un par diferencial FET con resistencias de carga. Se entiende que la excitación en pequeña señal es la componente diferencial, v_D .

Al combinar estas ecuaciones, se llega a la conclusión de que:

$$v_O = 2 \cdot R \cdot g_m \cdot v_D \quad (5.17)$$

El efecto sustrato, si existiera, desaparece al ser la configuración de los transistores similar. Esta ecuación es similar a la obtenida por Eq. 5.16 porque $g_m = 2 \cdot \sqrt{\beta \cdot I_D} = 2 \cdot \sqrt{\beta \cdot \frac{I_Q}{2}} = \sqrt{2 \cdot \beta \cdot I_Q}$.

5.2.2. No idealidades en un par diferencial

Aprovechando que ya se ha explicado el comportamiento de un par diferencial con carga resistiva, es un buen momento para conocer las no idealidades asociadas pues pueden extenderse con facilidad a cualquier otro amplificador diferencial, como los amplificadores operacionales.

5.2.2.1. Corriente de polarización de la entrada

Este es un parámetro DC. En otras palabras, interviene en el cálculo del punto de operación. Cualquier fuente de tensión aplicada a la entrada debe ser capaz de proporcionar esta corriente de entrada. Si hubiera una resistencia en serie con esta entrada, se producirá una caída de tensión entre sus extremos.

En el caso del par bipolar, la corriente que atraviesa el emisor de cada amplificador es $I_E = \frac{1}{2} \cdot I_Q$ de lo que se deduce que la corriente de base de cada transistor es $I_B = \frac{I_E}{\beta_F + 1} = \frac{1}{2} \cdot \frac{I_Q}{\beta_F + 1}$. Así, si el par estuviese polarizado por una fuente de 0.1 mA y con transistores NPN de ganancia 100, la corriente de base, que coincide con la corriente de polarización en la entrada, sería de 1 μ A. En general, se suele tomar como positiva si entra en el amplificador diferencial y negativa si sale. Así, si el par fuera PNP, la corriente sería negativa pues sale de las bases del transistor.

Si el transistor fuera de efecto campo, la corriente de polarización sería prácticamente nula ya que se está atacando la puerta de un transistor.

Por otra parte, pequeños desapareamientos entre parámetros conducen a dos valores distintos de I_B en cada una de las entradas.

Para disminuir la corriente de polarización de la entrada, puede optarse por distintas estrategias. En algunos casos, se utiliza un par Darlington o CC-CE reemplazando al transistor del par diferencial. Al comportarse como transistores con una ganancia del orden de h_{FE}^2 , ese parámetro disminuye aunque, lamentablemente, se introduce una penalización en frecuencia. Otra opción, más habitual, consiste en crear una fuente de corriente que inyecte en el terminal de entrada la corriente que necesite la base del transistor. Esta estrategia, que requiere del uso de varios transistores perfectamente calibrados, tiene la ventaja de que no actúa sobre la velocidad de respuesta del dispositivo.

5.2.2.2. Tensión de *offset*

Como el anterior, es un parámetro DC. Idealmente, si se aplica la misma tensión a las entradas de un par diferencial, la salida debería ser nula pero, en la práctica, dista de ser así. El origen de esto radica en la existencia de asimetrías dentro del par diferencial. Así, por ejemplo, si las resistencias que aparecen en Eq. 5.10 fuesen distintas, y no iguales como se supuso, la tensión de salida sería distinta de 0 si las corrientes fueran iguales.

Se define “tensión de *offset* de la salida”, $V_{OS,O}$ como el valor de la tensión de salida con entrada nula. Obviamente, también puede realizarse una definición análoga cuando la salida es en modo corriente, como veremos en el caso del par diferencial con carga activa.

Si el par diferencial tiene una ganancia A_D , se define “Tensión de *offset* de la entrada”, $V_{OS,I}$ como $\frac{V_{OS,O}}{A_D}$. En pares diferenciales, da lo mismo con qué tipo de *offset* estemos trabajando pero, en dispositivos más complejos, como son los amplificadores operacionales, se utiliza preferentemente la tensión de *offset* de la entrada, que es independiente de la ganancia DC del sistema completo, cuya ganancia puede fijarse por realimentación.

Por otra parte, las asimetrías en la construcción no solo conducen a la aparición de una tensión de *offset*. Así, también son las responsables de la aparición de una ganancia del modo común no nula, que lleva a un descenso en el valor de CMRR.

5.2.2.3. Corriente máxima de salida

Es la máxima corriente que puede proporcionar una par diferencial. Obviamente, está limitada por la corriente de polarización del circuito, I_Q , aunque, en la práctica, es menor ya que los transistores del par diferencial habrían abandonado la zona activa directa.

5.2.2.4. Impedancia de entrada y salida

Estos parámetros son válidos para modelos en pequeña señal y jamás debe utilizarse en modo DC. Para esto último, ya están las corrientes de polarización de la entrada así como la corriente en cortocircuito. Se utiliza, por ejemplo, para calcular los polos y ceros del sistema completo. En general, la valor de la impedancia de entrada es del orden de h_{ie} en transistores bipolares y de la capacidad de puerta en los transistores de efecto campo. La de salida debe calcularse realizando el

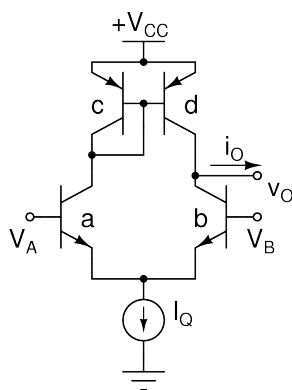


Figura 5.10: Par diferencial NPN con carga activa simple y salida en corriente. La tensión diferencial amplificada es $v_D = \frac{1}{2} (V_A - V_B)$.

modelo Thévenin del par visto desde los terminales de salida aunque, por lo general, serán del orden de la resistencia de carga en paralelo con la impedancia de salida de los transistores.

5.2.2.5. Frecuencia máxima de trabajo

Recordemos que, dentro de cada par diferencial, hay varias capacidades. En general, se puede suponer que ambos transistores están en una situación similar a la del emisor común y que los resultados obtenidos allí son extrapolables a esta nueva estructura.

5.2.3. Pares diferenciales con carga activa

Estos pares se caracterizan por utilizar las dos ramas de un espejo de corriente como cargas de los dos transistores del par diferencial. En general, estos dispositivos se diseñan como transconductores, que convierten la tensión de entrada en corriente de salida, tienen una ganancia extraordinariamente alta y no requieren de grandes valores de resistencia para obtener una ganancia muy alta. Por ello, son muy populares al diseñar circuitos integrados como amplificadores operacionales o comparadores. Por otro lado, cuanto más eficaz sea la reflexión de corriente del espejo y cuanto mayor sea su impedancia de salida, mejores características tendrá el par diferencial.

5.2.3.1. Tecnología bipolar

En esta tecnología, el par diferencial más sencillo construido íntegramente con transistores bipolares es el mostrado en Fig. 5.10. En ella, el par diferencial NPN es polarizado con un espejo de corriente simple de carácter opuesto (PNP). La salida, simple, se encuentra en el terminal formado por los dos conectores en serie.

Es preferible estudiar esta estructura como un transconductor. Para darle mayor generalidad, supondremos que hay dos fuentes de corriente polarizando cada transistor, estando relacionadas entre sí por un factor $k = 1 - \epsilon \approx 1 \Rightarrow \epsilon \gtrsim 0$ (Fig. 5.11). Esto nos permite extrapolar los resultados a cualquier espejo distinto del simple cambiando, simplemente, el valor de ϵ . En un espejo simple

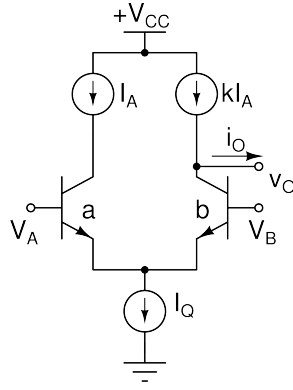


Figura 5.11: Par diferencial NPN con carga activa generalizada.

PNP, este parámetro es 0.02 pero, en espejos más complejos, es del orden de 10^{-4} . En esta estructura es fácil ver que:

$$\begin{aligned}
 I_{Ea} + I_{Eb} &= I_Q \\
 I_{Ea} &= I_S \cdot \exp\left(\frac{V_A - V_E}{N \cdot V_T}\right) & I_{Eb} &= I_S \cdot \exp\left(\frac{V_B - V_E}{N \cdot V_T}\right) \\
 I_{Ca} &= \alpha_F \cdot I_{Ea} = I_A & I_{Cb} &= \alpha_F \cdot I_{Eb} = k \cdot I_A - I_O
 \end{aligned}$$

Siendo V_E la tensión del nudo donde se conectan los dos emisores. Suponiendo que $V_A = V_C + v_D$ y $V_B = V_C - v_D$ (siendo V_C la tensión común y no la de ninguno de los colectores), puede demostrarse que:

$$\begin{aligned}
 I_{Ca} &= \alpha_F \cdot I_S \cdot \exp\left(\frac{V_C - V_E}{N \cdot V_T}\right) \cdot \exp\left(\frac{v_D}{N \cdot V_T}\right) \\
 I_{Cb} &= \alpha_F \cdot I_S \cdot \exp\left(\frac{V_C - V_E}{N \cdot V_T}\right) \cdot \exp\left(-\frac{v_D}{N \cdot V_T}\right)
 \end{aligned}$$

Combinando con el resto de ecuaciones, se demuestra que:

$$\begin{aligned}
 I_{Ea} + I_{Eb} &= I_S \cdot \exp\left(\frac{V_C - V_E}{N \cdot V_T}\right) \cdot \left[\exp\left(\frac{v_D}{N \cdot V_T}\right) + \exp\left(-\frac{v_D}{N \cdot V_T}\right) \right] = I_Q \Rightarrow \\
 \Rightarrow I_S \cdot \exp\left(\frac{V_C - V_E}{N \cdot V_T}\right) &= \frac{1}{2} \frac{I_Q}{\cosh\left(\frac{v_D}{N \cdot V_T}\right)}
 \end{aligned}$$

A partir de esta expresión, no es difícil demostrar que

$$I_O = \alpha_F \cdot I_Q \cdot \tanh\left(\frac{v_D}{N \cdot V_T}\right) - \epsilon \cdot \alpha_F \cdot I_Q \cdot \frac{1}{1 + \exp\left(-\frac{2 \cdot v_D}{N \cdot V_T}\right)} \quad (5.18)$$

Expresión que proporciona unos datos curiosos. En primer lugar, si la tensión aplicada es nula, ¡la salida no lo es!. En efecto,

$$I_O(0) = -\frac{1}{2} \epsilon \cdot \alpha_F \cdot I_Q \quad (5.19)$$

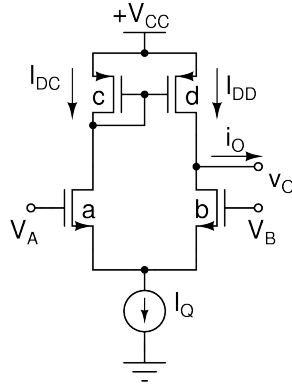


Figura 5.12: Par diferencial NMOS con carga activa simple y salida en corriente.

Este hecho es lógico pues la reflexión no es perfecta en un espejo de corriente y, por tanto, aparecen asimetrías en el circuito incluso cuando los dispositivos son idénticos. Por otra parte, es fácil ver que, en torno al punto de operación, se cumple que:

$$I_O = \alpha_F \cdot I_Q \cdot \tanh\left(\frac{v_D}{N \cdot V_T}\right) - \epsilon \cdot \alpha_F \cdot I_Q \cdot \frac{1}{1 + \exp\left(-\frac{2 \cdot v_D}{N \cdot V_T}\right)} \approx \frac{\alpha_F \cdot I_Q}{N \cdot V_T} \left(1 - \frac{1}{2} \cdot \epsilon\right) \cdot v_D - \frac{1}{2} \epsilon \cdot \alpha_F \cdot I_Q$$

de lo que se deduce que la ganancia del par es del orden de $\frac{\alpha_F \cdot I_Q}{N \cdot V_T}$. En caso de afrontar el problema tomando como punto de partida los modelos en pequeña señal, se deduciría que ésta es, más o menos, la ganancia en pequeña señal aunque habría que incluir los equivalentes de todos los transistores envueltos en el problema.

¿Y cuanto sería la ganancia en tensión? Simplemente, habría que multiplicar la trasconductancia por el valor de la resistencia de carga. Si ésta no estuviera o fuera muy grande, habría que tener en cuenta el paralelo formado por la impedancia de salida del espejo de corriente y el transistor B. Lógicamente, cuanto mayor sean, mayor es la ganancia en tensión del par diferencial.

5.2.3.2. Tecnología CMOS/JFET

La construcción de esta estructura es similar a la de Fig. 5.10 con la salvedad de que los NPN se reemplazan por NMOS y los PNP por PMOS (Fig. 5.12). El modelo idealizado es similar al de Fig. 5.11, reemplazando los transistores NPN por NMOS. Es fácil ver que, en esta estructura:

$$I_A \cdot (1 + k) = I_Q + I_O$$

$$I_{Da} = \beta \cdot (V_{GSa} - V_{TH})^2 = \beta \cdot (V_C + v_D - V_S - V_{TH})^2 = I_A$$

$$I_{Db} = \beta \cdot (V_{GSb} - V_{TH})^2 = \beta \cdot (V_C - v_D - V_S - V_{TH})^2 = k \cdot I_A - I_O$$

Siendo V_{TH} la tensión umbral de los transistores, β la trasconductancia, V_C la tensión del modo común y V_S la tensión del nudo común a los dos terminales de fuente. Estas dos últimas ecuaciones

puede combinarse para obtener:

$$\sqrt{I_A} - \sqrt{\beta \cdot v_D} = \sqrt{k \cdot I_A - I_O} + \sqrt{\beta \cdot v_D} \Rightarrow \sqrt{I_A} - \sqrt{k \cdot I_A - I_O} = 2 \cdot \sqrt{\beta \cdot v_D}$$

Elevando ambos miembros al cuadrado:

$$\underbrace{I_A + k \cdot I_A - I_O}_{I_Q} - 2\sqrt{I_A} \cdot \sqrt{k \cdot I_A - I_O} = 4 \cdot \beta \cdot v_D^2 \Rightarrow$$

$$I_Q - 2\sqrt{I_A} \cdot \sqrt{k \cdot I_A - I_O} = 4 \cdot \beta \cdot v_D^2 \Rightarrow 4 \cdot I_A \cdot (k \cdot I_A - I_O) = (I_Q - 4 \cdot \beta \cdot v_D^2)^2$$

Recordando que $k \cdot I_A - I_O = I_Q - I_A$ y desarrollando el segundo término:

$$4 \cdot I_A^2 - 4 \cdot I_Q \cdot I_A + I_Q^2 + 16 \cdot \beta^2 \cdot v_D^4 - 8 \cdot \beta \cdot I_Q \cdot v_D^2 = 0$$

Despejando I_A :

$$I_A = \frac{4 \cdot I_Q \pm \sqrt{16 \cdot I_Q^2 - 16 \cdot I_Q^2 - 16 \cdot \beta^2 \cdot v_D^4 + 32 \cdot \beta \cdot I_Q \cdot v_D^2}}{8} =$$

$$= \frac{1}{2} I_Q \pm \sqrt{2 \cdot \beta \cdot I_Q \cdot v_D} \cdot \sqrt{1 - \frac{2 \cdot \beta \cdot v_D^2}{I_Q}}$$

En principio, debemos descartar una de las dos soluciones. Como la corriente aumenta con la tensión diferencial, descartamos la solución con signo menos. El radical alcanza un máximo en $v_D = \frac{1}{2} \cdot \sqrt{\frac{I_Q}{\beta}}$ resultando, obviamente, $I_Q = I_A$. A partir de este instante, la ecuación anterior deja de ser válida y la salida se hace constante. Para deducir la corriente de salida:

$$I_O = (k + 1) \cdot I_A - I_Q = (2 \cdot I_A - I_Q) - \epsilon \cdot I_A =$$

$$= 2\sqrt{2 \cdot \beta \cdot I_Q \cdot v_D} \cdot \sqrt{1 - \frac{2 \cdot \beta \cdot v_D^2}{I_Q}} - \epsilon \cdot \left(\frac{1}{2} I_Q + \sqrt{2 \cdot \beta \cdot I_Q \cdot v_D} \cdot \sqrt{1 - \frac{2 \cdot \beta \cdot v_D^2}{I_Q}} \right) \quad (5.20)$$

Suponiendo que el valor de la tensión diferencial es muy bajo, se puede realizar la siguiente aproximación:

$$I_O \approx 2\sqrt{2 \cdot \beta \cdot I_Q} \left(1 - \frac{1}{2} \epsilon \right) \cdot v_D - \frac{1}{2} \epsilon \cdot I_Q \quad (5.21)$$

Esto indica que, en primer lugar, la salida no es nula con entrada nula. En otras palabras, hay un *offset* en la corriente de salida de valor $-\frac{1}{2} \epsilon \cdot I_Q$. Por otro lado, la ganancia en pequeña señal es del orden de $2\sqrt{2 \cdot \beta \cdot I_Q}$. Sin embargo, en la práctica, el resultado puede verse alterado ya que se supuso inicialmente que la tensión umbral de los transistores era constante. Esto no es cierto salvo que la fuente y el sustrato estén cortocircuitados. El valor exacto de la ganancia puede realizarse a partir de los modelos en pequeña señal de los transistores, que sí toman en cuenta este fenómeno. Asimismo,

se aprecia la aparición de una dependencia del modo común pues:

$$i_o = (2 - \epsilon) \cdot g_m \cdot v_D + \epsilon \cdot (g_m + g_{mb}) \cdot v_S$$

La primera parte de esta expresión es equivalente a Eq. 5.21 ya que $g_m = 2 \cdot \sqrt{\beta \cdot I_D} = \sqrt{2 \cdot \beta \cdot I_Q}$. La segunda parte, en cambio está relacionada con la tensión del modo común pues V_S difiere de V_C en una tensión más o menos constante del orden de la tensión umbral. Evidentemente, cuanto mejor sea la capacidad de reflexión del dispositivo, menor será la influencia del efecto sustrato.

Esto nos lleva a una importante conclusión: Las asimetrías estropean las características de los pares diferenciales con carga activa. Más aún, todos los parámetros descritos en el apartado 5.2.2, que originalmente se centraban en los pares con cargas resistivas, tienen su equivalente en los pares con carga activa.

Por otra parte, la ganancia en tensión del par diferencial se calcularía multiplicando la transconductancia por la resistencia de carga. Si ésta no existiera o fuera muy alta, habría que multiplicarla por la impedancia de salida del transistor. Esta impedancia se calcularía poniendo en paralelo la resistencia de salida del espejo de corriente, calculada con una corriente de salida igual a $\frac{1}{2} \cdot I_Q$, y la del transistor que forma el par diferencial, que será del orden de $h_{oe}^{-1} = \frac{2}{\lambda \cdot I_Q}$. Esto nos lleva a un interesantísimo resultado pues la transconductancia es proporcional a $\sqrt{I_Q}$ y la impedancia de salida a I_Q^{-1} con lo que, en ausencia de resistencia de carga, la ganancia en tensión es *inversamente* proporcional a $\sqrt{I_Q}$. Debe notarse la diferencia con los transistores bipolares en los que, al ser la transconductancia y la resistencia de carga directa e inversamente proporcionales a I_Q , se produce una cancelación de parámetros que nos llevaría a concluir que la ganancia en tensión de un par diferencial bipolar con carga activa es, más o menos, independiente de la corriente de polarización.

Finalmente, los resultados descritos en este apartado son perfectamente aplicables a los transistores JFET con la evidente salvedad de que no existe efecto sustrato y, por otro lado, al ser propios de tecnologías bipolares, los espejos de corrientes se construyen con BJTs o, en algunos casos, se usan como cargas JFETs con puerta y drenador cortocircuitados.

5.2.3.3. Mejoras de los pares diferenciales con carga activa

Básicamente, las mejoras que se pueden introducir a estos pares consisten en el uso de espejos de corriente con una mayor impedancia de salida y en el aumento artificial de la impedancia de salida del par.

En tecnologías bipolares, podría recurrirse a la utilización de espejos Wilson y cascode para aumentar la impedancia de salida del espejo (Fig. 5.13a-b). Sin embargo, es más habitual utilizar espejos con degeneración de emisor (Fig. 5.13c) que se transforman con la ayuda de un transistor adicional en un espejo con base compensada (Fig. 5.13d). Este espejo tiene la ventaja de minimizar el factor ϵ de Eq. 5.19. Es posible aplicar estas soluciones a pares basados en transistores JFET, como se muestra en Fig. 5.13e.

En tecnologías CMOS, se suele recurrir, simplemente, a la utilización de espejos Wilson o cascode,

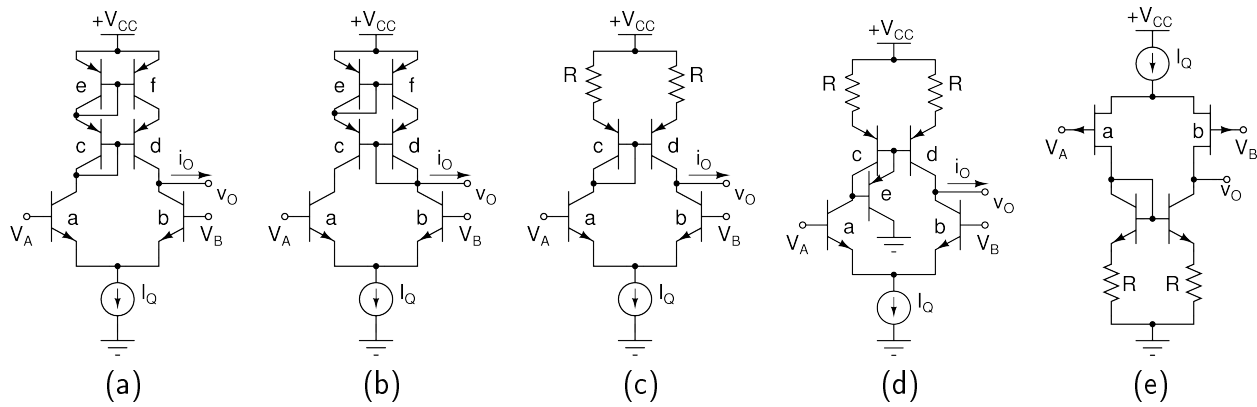


Figura 5.13: Técnicas para aumentar la impedancia de salida de un par diferencial en tecnología bipolar: Uso de un espejo cascode (a), Wilson (b), con degeneración de emisor simple (c) y de base compensada (d). Estas técnicas también pueden utilizarse en pares JFET (e).

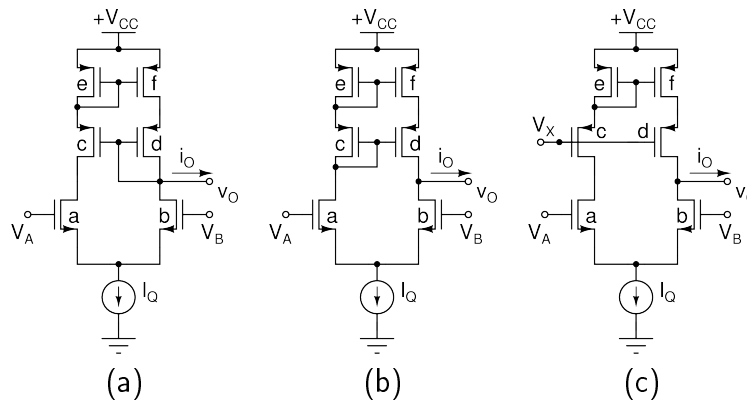


Figura 5.14: Técnicas para aumentar la impedancia de salida de un par diferencial en tecnología CMOS: Uso de un espejo Wilson (a), cascode autopolarizado (b) y cascode con polarización externa (c).

bien autopolarizados, bien polarizados externamente (Fig. 5.14). Debe tenerse en cuenta que, en estos casos, puede aumentarse también la impedancia de salida de los transistores del par diferencial CMOS añadiendo otro par de transistores cascode entre la salida y el par diferencial, polarizados con otra tensión V_Y , $V_Y < V_X$.

5.2.3.4. Uso de pares diferenciales como amplificadores operacionales

En tecnologías CMOS, se ha visto que la mayor parte de los dispositivos amplificadores tienen su entrada a través de la puerta de algún tipo de transistor MOS. Por tanto, en estas circunstancias, la corriente de entrada es nula y cualquier amplificador, incluso aquellos que apenas pueden proporcionar unos microamperios de corriente de salida, es capaz de atacar exitosamente nuevos bloques amplificadores.

Así, los pares diferenciales en tecnología CMOS pueden ser utilizados en determinadas circunstancias como amplificadores operacionales siempre y cuando no deban proporcionar corriente de salida. Por ejemplo, recordemos que en el tema anterior se trató el amplificador cascode activo.

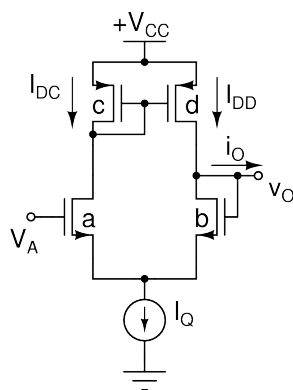


Figura 5.15: Par diferencial con salida y entrada inversoras cortocircuitadas para crear un sencillo seguidor de tensión.

En general, el amplificador operacional se podía construir como un simple par diferencial ya que se atacaba directamente la puerta de un MOS. Ejemplos similares se pueden encontrar al construir etapas de salida (Próximo tema) o al construir circuitos S/H y filtros conmutados, que se verán someramente en el último tema.

Fig. 5.15 muestra un ejemplo de como se puede conseguir un seguidor de tensión a partir de un par diferencial. Con apenas 5 transistores MOS (2 del par, 2 de la carga activa y 1 que sería la corriente de polarización) se ha creado un seguidor de tensión. Evidentemente, es peligroso cargar la salida con resistencias⁴ pues podrían degradar la salida por lo que debemos limitarnos a estructura con ganancia unidad. Sin embargo, esto es más que suficiente para muchos casos.

En tecnologías bipolares esta solución no es común. Sería necesario colocar una etapa de salida pues, en general, la impedancia de entrada de las etapas bipolares es relativamente baja. Y esto significa espacio consumido por lo que estas estructuras solo tienen cabida en algunos dispositivos muy complejos y voluminosos.

⁴Que, por otra parte, son difíciles de integrar en tecnologías CMOS y ocupan mucho espacio.

Capítulo 6

ETAPAS DE SALIDA

6.1. Introducción

6.1.1. ¿Por qué son necesarias las etapas de salida?

En los temas anteriores, se estudiaron redes capaces de recoger señales eléctricas, influyendo mínimamente en la fuente original, y ampliándolas de manera adecuada. Sin embargo, no debemos olvidar que, a continuación, esta señal tratada debe ser transferida a algún otro bloque que permita su aprovechamiento. Por ejemplo, un amplificador de audio, aunque esté magníficamente diseñado, resulta un objeto estéril a menos que se conecte a un altavoz. También podríamos haber construido una magnífica referencia de tensión que, si no se conecta a un ADC o DAC para fijar los niveles de cuantización, no valdría absolutamente para nada.

El problema es que las estructuras que hemos visto en los temas anteriores suelen ser muy sensibles a la resistencia de carga. Así, por ejemplo, un altavoz tiene una impedancia de entrada del pocos ohmios. Conectar esta resistencia de carga a algún circuito amplificador puede ser catastrófico. Una posible solución sería utilizar una red seguidora de emisor o fuente entre el amplificador y la resistencia de carga. Ésta sería la solución adecuada para el caso de señales variables en el tiempo pero, lamentablemente, permanece el problema de la ampliación de señales continuas o de muy baja frecuencia. Por ello, en este tema estudiaremos diversas redes, con entrada y salida en tensión, que permiten separar el cuerpo amplificador de la carga sin necesidad de acoplo capacitivo.

El objetivo de estas redes no es amplificar la tensión de entrada sino actuar como colchón entre dos puntos del circuito. Por ello, no suelen tener una gran ganancia siendo, en la mayor parte de los casos, del orden de 1 o incluso algo inferior.

6.1.2. Parámetros eléctricos de una etapa de salida

Antes de abordar las distintas arquitecturas, hay que dejar claros unos cuantos parámetros de interés, en particular, los roles que desempeñan la resistencia de salida y la corriente máxima de salida.

La *resistencia de salida* es un concepto que surge de manera inmediata ya que las etapas de salida son amplificadores en los que se puede definir una impedancia de entrada, una ganancia (relativamente baja, eso sí), y una resistencia de salida. Sin embargo, debe quedar claro que la resistencia de salida es un término que proviene de los modelos en pequeña señal de los amplificadores y, por tanto, solo tiene sentido donde estos modelos son utilizados. Así, por ejemplo, deben utilizarse para calcular la estabilidad de las redes y determinar si pueden aparecer oscilaciones o para estudiar, por ejemplo, como influye la variación de la resistencia de carga en la tensión de salida.

Sin embargo, es una gran falacia el que la resistencia de salida nos permita conocer cual es la máxima corriente que puede proporcionar una etapa de salida. Para ello, es necesario definir un nuevo término llamado “*corriente máxima de salida*” o “*corriente en cortocircuito*”, que es la máxima corriente que puede proporcionar una etapa de salida y que debe calcularse a partir de los modelos DC de los dispositivos internos. Por otra parte, a veces la etapa de salida funciona como sumidero en lugar de como fuente por lo que es conveniente definir dos corrientes de cortocircuito, positiva y negativa, cuyos valores no tienen por qué ser iguales.

En general, cuanto mayor sea la corriente en cortocircuito, menor es la resistencia de salida. Sin embargo, este hecho no deriva de que una se calcule a partir de la otra sino de que ambas dependen de parámetros de construcción comunes.

Otro parámetro de interés es la *tensión de saturación*. O, más bien, de las tensiones de saturación pues hay un valor a cada extremo del rango de valores de la tensión de salida. Idealmente, en un circuito alimentado con dos fuentes de tensión $+V_{CC}$ y $-V_{EE}$ la tensión de salida está comprendida entre ambos valores. Sin embargo, en la realidad, aparecen dos nuevos valores, $+V_{SATP}$ y $-V_{SATN}$, llamados tensiones de saturación, que redefinen el rango de valores permitidos en la salida:

$$-V_{EE} \leq -V_{SATN} \leq V_{OUT} \leq +V_{SATP} \leq +V_{CC}$$

El origen de este comportamiento es sencillo de comprender. Así, por ejemplo, hay una etapa llamada “*seguidor de emisor*”, muy parecida a la estudiada en temas anteriores, en la que el transistor está obligado a trabajar en zona activa directa con el colector conectado a la alimentación positiva y el emisor conectado a la salida. Evidentemente, la tensión de salida debe ser inferior a $V_{CC} - 0,2V$, hecho que define una cota superior de la tensión de salida por debajo de la tensión de alimentación. Sin embargo, pueden aparecer otras restricciones que hagan que esta cota sea incluso menor.

Obviamente, en caso de utilizar una resistencia de carga excesivamente pequeña, R_L , aparece una nueva restricción que hay que añadir a la sucesión anterior:

$$-V_{EE} \leq -V_{SATN} \leq -R_L \cdot I_{ShN} \leq V_{OUT} \leq +R_L \cdot I_{ShP} \leq +V_{SATP} \leq +V_{CC}$$

siendo I_{ShX} cada una de las corrientes en cortocircuito. Esta limitación se denomina *saturación temprana*.

Finalmente, hay que reseñar que la impedancia de entrada de las etapas amplificadoras debe ser muy superior a la resistencia de carga pues, en caso contrario, las ventajas de su uso acabarían

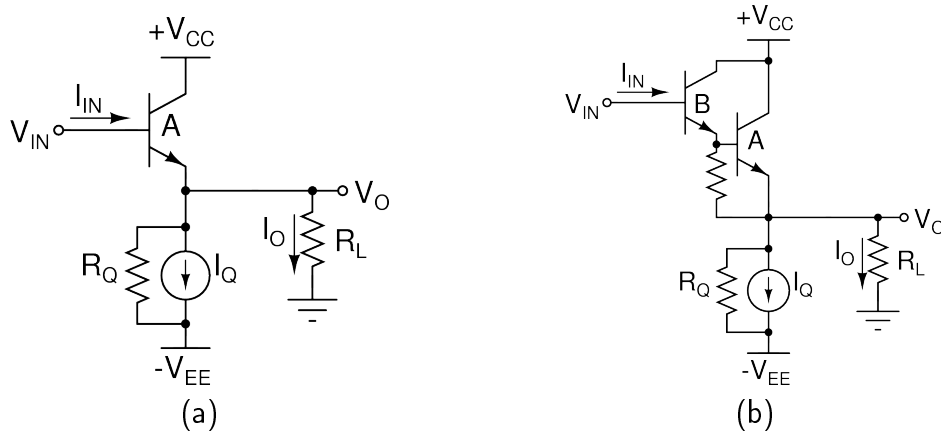


Figura 6.1: Etapas de salida tipo seguidor de emisor basadas en NPN: Simple (a) y Darlington (b).

siendo mínimas.

6.2. Etapas de salida típicas

6.2.1. Seguidor de emisor/fuente

6.2.1.1. Seguidor de emisor NPN

Una variante de esta estructura ya fue estudiada en temas anteriores. Sin embargo, la versión alternativa carece de condensadores de acoplo y debe polarizarse con una fuente de corriente. Fig. 6.1 muestra ejemplos de como se construye esta etapa utilizando NPNs. La versión con un par Darlington es perfectamente admisible y muy utilizada en el caso de diseñar amplificadores de potencia.

Despreciando los efectos de la resistencia parásita asociada a la fuente de corriente, puede verse que, en el caso de seguidor de emisor con NPN simple, se verifica la siguiente ecuación:

$$I_S \cdot \exp\left(\frac{V_{IN} - V_O}{N \cdot V_T}\right) \approx I_Q + \frac{V_O}{R_L} \quad (6.1)$$

En esta ecuación, aparecen términos típicos de un transistor bipolar NPN como I_S y N . Esta ecuación tiene algunas lecturas muy jugosas. En primer lugar, supongamos que la resistencia de carga es extremadamente alta. En estas circunstancias, la ecuación anterior se convierte en:

$$I_S \cdot \exp\left(\frac{V_{IN} - V_O}{N \cdot V_T}\right) \approx I_Q \Rightarrow V_O = V_{IN} - N \cdot V_T \cdot \ln\left(\frac{I_Q}{I_S}\right) \quad (6.2)$$

Por tanto, la tensión de salida y la salida son idénticas salvo una tensión de *offset* del orden de 0.6-0.7 V. Es decir, no hay distorsión de ningún tipo.

Ahora supongamos lo contrario: La resistencia de carga es muy pequeña. En este caso, Eq. 6.1

se convierte en:

$$I_S \cdot \exp\left(\frac{V_{IN} - V_O}{N \cdot V_T}\right) \approx \frac{V_O}{R_L} \Rightarrow \exp\left(\frac{V_{IN}}{N \cdot V_T}\right) = \exp\left(\frac{V_O}{N \cdot V_T}\right) \cdot \frac{V_O}{R_L \cdot I_S} \Rightarrow$$

$$V_{IN} = V_O + N \cdot V_T \cdot \ln\left(\frac{V_O}{R_L \cdot I_S}\right) \quad (6.3)$$

Que es una ecuación fuertemente no lineal, solo resoluble a partir de la función W de Lambert. En otras palabras, la salida se encuentra fuertemente distorsionada.

Sin embargo, uno de los hechos más característicos deducidos a partir de Eq. 6.1 es que la función exponencial es definida positiva. En otras palabras,

$$I_Q + \frac{V_O}{R_L} \approx I_S \cdot \exp\left(\frac{V_{IN} - V_O}{N \cdot V_T}\right) \geq 0 \Rightarrow$$

$$\Rightarrow V_O \geq -I_Q \cdot R_L \quad (6.4)$$

Es decir, ¡parece una limitación que conduce a una saturación negativa temprana!. Esto es un hecho perfectamente lógico pues el transistor NPN no puede absorber corriente sino que lo debe hacer la fuente de corriente que polariza el transistor. En caso de que se exija una corriente demasiado grande, el transistor NPN va a situación de corte ya que la corriente de emisor se debe anular para permitir que la carga proporcione el máximo de corriente.

Este comportamiento indica que esta etapa de salida (y, por tanto, el amplificador total) es de clase A ya que solo trabaja durante el semiciclo positivo de una hipotética tensión de entrada sinusoidal. Por otra parte, tiene una característica típica de esta familia de etapas de salida: Un consumo relativamente elevado incluso en reposo.

¿Qué utilidad puede tener esta estructura? En algunos circuitos, la tensión de salida es siempre positiva como, por ejemplo, en reguladores de tensión, circuitos lógicos, etc. En otros casos, el amplificador de turno no tiene que atacar resistencias demasiado grandes. La simplicidad del diseño hace muy recomendable el uso de esta estructura siempre y cuando no se deba absorber una gran cantidad de corriente.

Estudiemos ahora otras características DC de esta etapa amplificadora. En primer lugar, fijémonos en las tensiones de saturación positiva y negativa. La primera es fácilmente calculable pues, al estar el transistor bipolar en ZAD, $V_{CC} - V_O = V_{CE} \geq V_{SAT}$. No obstante, es fácil encontrar otra limitación aún más restrictiva, pues $V_{IN} \leq V_{CC}$ y $V_{IN} - V_O = V_{BE} = V_\gamma \Rightarrow V_O \leq V_{CC} - V_\gamma$. Por supuesto, no se han tenido en cuenta las posibles limitaciones de las etapas anteriores. En el caso de la tensión de saturación negativa, ya se ha visto la posible dependencia de la carga. Por otro lado, en caso de que $R_L \rightarrow \infty$, el valor exacto de la tensión de saturación negativa depende de la manera de construir la fuente de corriente. Si es un simple espejo de corriente, debe ser del orden de 0.2 V.

Otro parámetro aún más interesante es la corriente de cortocircuito positiva. Una manera muy fácil de calcularla consiste en suponer que la etapa previa puede proporcionar un máximo de corriente de entrada, I_{INMAX} . Por ejemplo, la etapa amplificadora previa fuera un inversor polarizado con

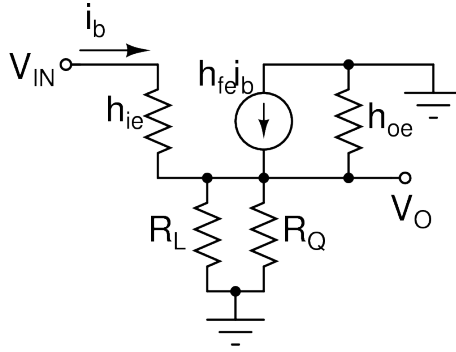


Figura 6.2: Modelo en pequeña señal para el cálculo de A_V y Z_{IN} en el seguidor de emisor con NPN simple.

una fuente de corriente, I_{QG} , $I_{INMAX} \sim I_{QG}$. En cualquier caso, se acabaría deduciendo que la corriente en cortocircuito positiva sería:

$$I_{O,MAX} \sim (1 + h_{FE}) \cdot I_{INMAX} \quad (6.5)$$

y si el transistor fuera un Darlington:

$$I_{O,MAX} \sim (1 + h_{FE})^2 \cdot I_{INMAX} \quad (6.6)$$

Finalmente, hay que resaltar que la corriente I_{IN} , que el transistor sustrae de las etapas anteriores, se puede calcular como:

$$I_{IN} = \frac{I_Q + \frac{V_O}{R_L}}{h_{FE} + 1} \quad (6.7)$$

siempre y cuando el transistor no pase a zona de corte. Si utilizáramos un par Darlington, el denominador de la expresión anterior se debe elevar al cuadrado.

Pasemos ahora a estudiar los parámetros característicos en pequeña señal. En primer lugar, la ganancia en tensión en pequeña señal. Para ello, reemplazaríamos el transistor original por su equivalente (Fig. 6.2) y se acabaría concluyendo que:

$$A_V = \frac{v_O}{v_{IN}} = \frac{1}{1 + \frac{h_{ie}}{(h_{fe}+1) \cdot (R_L // R_Q // h_{oe}^{-1})}} \approx 1 \quad (6.8)$$

Otro parámetro de interés es la impedancia de entrada, que es válida estudiar, por ejemplo, la estabilidad del circuito realimentado completo. Puede demostrarse fácilmente que:

$$Z_{IN} = \frac{h_{ie}}{1 - A_V} \approx (h_{fe} + 1) \cdot (R_L // R_Q // h_{oe}^{-1}) \quad (6.9)$$

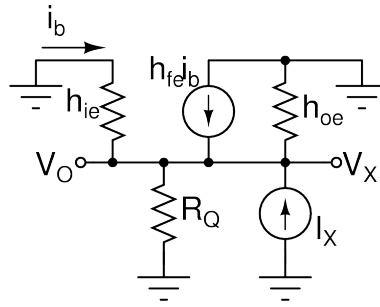


Figura 6.3: Modelo en pequeña señal para el cálculo de Z_{OUT} en el seguidor de emisor con NPN simple. Se ha supuesto que la entrada se ha cortocircuitado a tierra y que se excita el circuito con una fuente externa, I_X .

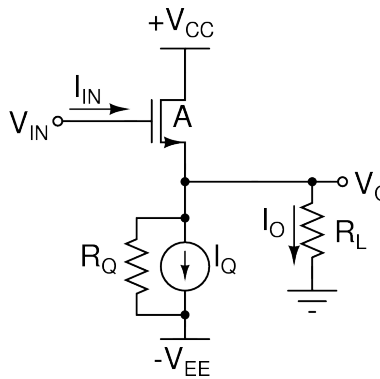


Figura 6.4: Seguidor de fuente con un NMOS.

Finalmente, la resistencia de salida se calcula fácilmente a partir del circuito de Fig. 6.3 como:

$$Z_{OUT} = \frac{V_X}{I_X} = \left(R_Q // \frac{h_{ie}}{1 + h_{fe}} // h_{oe}^{-1} \right) \approx \frac{h_{ie}}{1 + h_{fe}} \approx \frac{N \cdot V_T}{I_E} \approx \frac{N \cdot V_T}{I_Q + \frac{V_O}{R_L}} \quad (6.10)$$

Hecho que nos permite ver, por otro lado, que la impedancia de salida no es una resistencia al uso ya que depende del valor de la tensión de salida en el punto de operación. Esto refuerza la convicción de que no debe utilizarse para calcular corrientes máximas de salida.

Finalmente, debe recordarse que las capacidades parásitas también influyen en el comportamiento en pequeña señal de los dispositivos. Se remite a temas anteriores para conocer con detalle este efecto.

6.2.1.2. Seguidor de fuente NMOS

La estructura de esta etapa es equivalente a la anterior (Fig. 6.4) teniendo en cuenta que el transistor NMOS debe encontrarse en saturación. Las ventajas son evidentes pues la puerta del transistor hace que la corriente de entrada sea nula y que la impedancia de entrada sea infinita. Por otra parte, hay que recordar que no tiene sentido utilizar configuraciones Darlington.

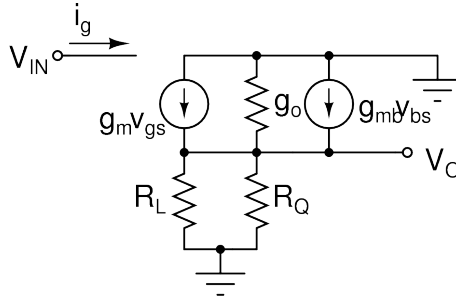


Figura 6.5: Seguidor de fuente con un NMOS. Modelo en pequeña señal para el cálculo de ganancia.

La ecuación que rige este circuito es sencilla pues:

$$\beta \cdot (V_{IN} - V_O - V_{TH})^2 \cong \frac{V_O}{R_L} + I_Q \quad (6.11)$$

Esta ecuación sí es resoluble al ser cuadrática pero la solución cerrada tampoco nos aporta demasiado¹. Es evidente, por otra parte, que al ser la ecuación no lineal debe aparecer distorsión en la salida. Por otro lado, el término de la izquierda es siempre positivo con lo que:

$$\beta \cdot (V_{IN} - V_O - V_{TH})^2 \cong \frac{V_O}{R_L} + I_Q \geq 0 \Rightarrow V_O \geq -R_L \cdot I_Q \quad (6.12)$$

En otras palabras, también aparece saturación temprana para tensiones negativas. En último lugar, supondremos que la carga no es muy exigente con lo que la ecuación anterior se transformaría en:

$$\beta \cdot (V_{IN} - V_O - V_{TH})^2 \cong I_Q \Rightarrow V_O = V_{IN} - V_{TH} - \sqrt{\frac{I_Q}{\beta}} \quad (6.13)$$

Lo que indica que la salida es perfectamente lineal y con ganancia 1. Lamentablemente, esto no es así pues no hemos tenido en cuenta el efecto sustrato. En caso de que el sustrato del NMOS esté conectado a la tensión más negativa del circuito, se verifica que $V_{TH} = f(V_{SB}) = f(V_{OUT} + V_{EE})$. Por tanto aparece un término no lineal que afecta a la relación entrada-salida incluso con resistencias muy grandes, cosa que no ocurre en la versión en tecnología bipolar.

El mejor medio de saber cómo afecta este efecto es estudiar la relación $A_V = \frac{\Delta V_O}{\Delta V_{IN}} = \frac{v_o}{v_{in}}$, mejor que la original $V_{OUT} = f(V_{IN})$, por medio del modelo en pequeña señal del seguidor de fuente (Fig. 6.5). En esta estructura, $v_{gs} = v_{in} - v_o$ y v_{bs} es bien 0 en transistores discretos o $-v_s = -v_o$ en circuitos integrados. Si operamos con esta idea, se acaba concluyendo que

$$A_V = \frac{g_m}{g_m + g_{mb} + g_o + R_L^{-1} + R_Q^{-1}} \approx \frac{1}{1 + \frac{g_{mb}}{g_m}} \quad (6.14)$$

que, como se vio en temas anteriores, es un parámetro del orden de 0.7-0.9 en dispositivos reales.

¹Por otra parte, recordemos que estas ecuaciones se han basado en un modelo extremadamente simplificado del transistor.

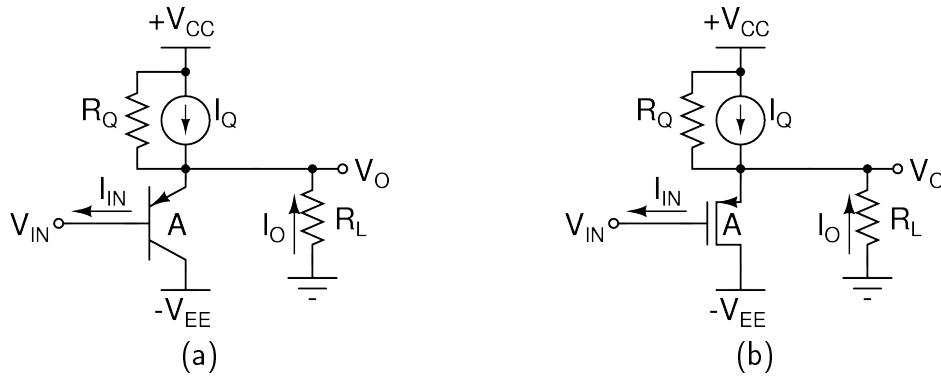


Figura 6.6: Etapas de salida tipo seguidor de emisor/fuente como sumideros de corriente: PNP (a) y PMOS (b).

Por tanto, el seguidor de fuente sufre un deterioro de ganancia que debe compensarse en las etapas anteriores.

Fijémonos ahora en otras características. Una manera de estimar la tensión de saturación positiva es recordar que el transistor debe trabajar en saturación por lo que $V_{GS} = V_{IN} - V_O \geq V_{TH} \Rightarrow V_O \leq V_{IN} - V_{TH} \leq V_{CC} - V_{TH}$. Por tanto, la diferencia entre la tensión de salida y la de alimentación positiva no debe ser inferior al valor de la tensión umbral. En el caso de saturación negativa, es necesario conocer la construcción de la fuente de polarización.

La corriente de cortocircuito negativa es, obviamente, I_Q . La positiva es más difícil de calcular aunque debe verificar siempre lo siguiente:

$$0 < I_O = \beta \cdot (V_{IN} - V_O - V_{TH})^2 \leq \beta \cdot (V_{IN} - V_{TH})^2 \leq \beta \cdot (V_{CC} - V_{TH})^2 \quad (6.15)$$

Lo que nos da una cota superior. Finalmente, la impedancia de salida se puede calcular fácilmente llegando a la conclusión de que:

$$Z_O = (g_m + g_{mb} + g_o + R_L^{-1} + R_Q^{-1})^{-1} \quad (6.16)$$

6.2.1.3. Seguidores PNP y PMOS

Las estructuras anteriores tienen sus gemelos para drenar corriente. Fig. 6.6 muestra un seguidor de emisor PNP (a) y un seguidor de fuente PMOS (b). Todo lo discutido en las dos secciones anteriores sigue siendo válido en las estructuras simétricas.

Sin embargo, estas estructuras adolecen de un grave problema pues, al estar basadas en el transporte de huecos en lugar de electrones, la trasconductancia es menor. En el caso del seguidor de fuente PMOS, basta con diseñar el dispositivo con un canal tres veces más ancho para que su comportamiento DC sea igual al de su contrapartida NMOS.

No obstante, el caso del PNP es más complejo pues no se puede recurrir a estrategias geométricas. Por ello, es habitual reemplazar el PNP simple por estructuras llamadas de “falso PNP”, a partir de dispositivos con mejores características (Fig. 6.7). Vistos como una caja negra, estos dispositivos

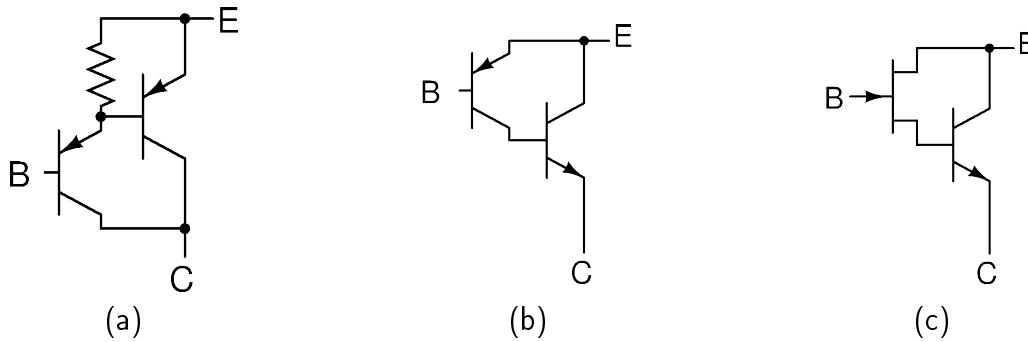


Figura 6.7: Estructuras de falsos PNPs para reemplazar el PNP simple de Fig. 6.6a. Par Darlington (a), con relación $I_C = (1 + h_{FE})^2 \cdot I_B$; Falso PNP bipolar (b), con relación $I_C = h_{FEP}(1 + h_{FEN}) \cdot I_B$ y falso PNP con JFET (c), con relación $I_C = (1 + h_{FE}) \cdot \beta \cdot (V_{BE} - V_P)^2$.

pueden modelarse como una única estructura de tres terminales en la que la mayor parte de la corriente que entra por el falso emisor sale por el falso colector.

6.2.2. Pares complementarios

Estas estructuras intentan solucionar el mayor problema de los seguidores de emisor: La incapacidad de absorber corriente. Por ello, se van a utilizar parejas de transistores que van a trabajar en equipo.

6.2.2.1. Pares complementarios “push-pull” clase B

Las versiones de esta estructura en tecnología bipolar y CMOS se muestran en Fig. 6.8. En ambos casos, el transistor A se encarga de proporcionar corriente y el B de drenarla. En el caso del par bipolar, si la carga exige que se le suministre corriente, el transistor A debe estar en zona activa directa por lo que $V_{IN} - V_O = V_\gamma$. Simultáneamente, la tensión EB del transistor B es $V_{EB} = V_O - V_{IN} = -V_\gamma < 0 < V_\gamma$ por lo que el transistor B está en corte. En cambio, si se debe drenar corriente, los transistores se intercambian los papeles. Por este motivo se denomina de clase B pues solo trabaja una parte de la etapa durant cada semiciclo. En el equivalente CMOS, la tensión de codo se debe reemplazar por la tensión umbral de los transistores.

Sin embargo, estas condiciones tienen un comportamiento aún más interesante pues, si se debe suministrar corriente, $V_O > 0 \Rightarrow V_{IN} > V_\gamma$, $V_O = V_{IN} - V_\gamma$ y, si se debe absorber, $V_O < 0 \Rightarrow V_{IN} < -V_\gamma$, $V_O = V_{IN} + V_\gamma$. ¿Qué ocurre si $-V_\gamma < V_{IN} < V_\gamma$? Pues, simplemente, que ninguno de los dos transistores puede funcionar en ZAD. Ambos están en zona de corte y, al no circular corriente por la resistencia, la tensión de salida es nula. En consecuencia, esta estructura tiene el inconveniente de no ser lineal y de distorsionar la señal de salida (Fig. 6.9).

Los factores que determinan la magnitud del efecto son las siguientes: Evidentemente, cuanto mayor sea la amplitud, menor es el efecto de la distorsión. La distorsión también aumenta cuanto menor sea la resistencia de carga, fenómeno heredado del seguidor de emisor/fuente original. Asimismo, la distorsión desaparece si el punto de operación se aleja de la zona muerta. Así, por ejemplo,

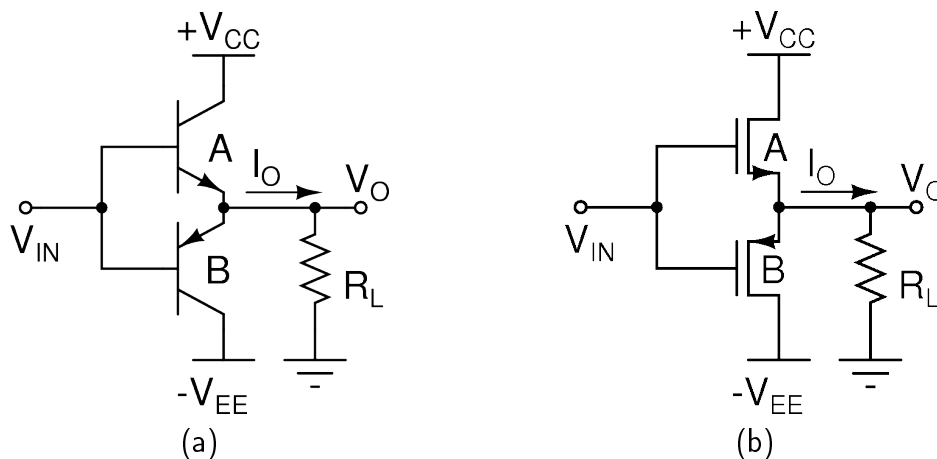


Figura 6.8: Pares complementarios “push-pull” clase B: Bipolar (a) y CMOS (b). En aplicaciones del alta corriente, los transistores bipolares pueden sustituirse por pares Darlington.

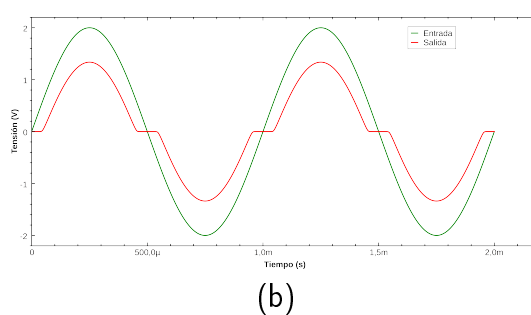
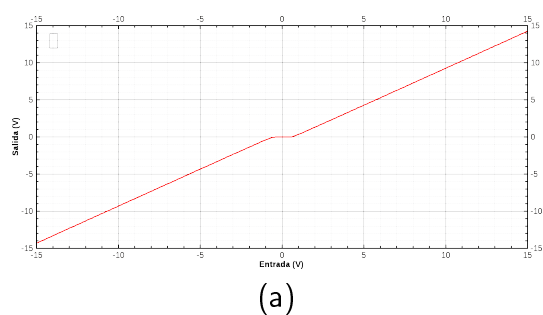


Figura 6.9: Simulación en NGSPICE de la relación entrada-salida en una etapa “push-pull” (a). Puede apreciarse la zona muerta en torno a 0. Asimismo, puede verse un ejemplo de señal de salida distorsionada (b).

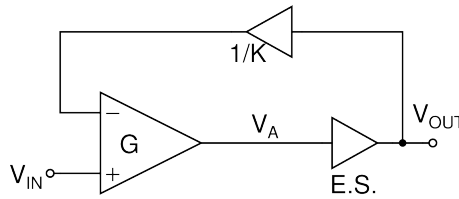


Figura 6.10: Estructura general de un bloque realimentado con una etapa de salida no lineal.

la señal $V_{IN} = 4 + \sin(\omega t)$ apenas se verá distorsionada. Finalmente, recordemos que el efecto sustrato aumenta la distorsión en tecnologías CMOS.

Para estimar la distorsión de una señal, se recurre a un parámetro llamado “*Distorsión armónica total*” (THD). Si suponemos que la señal original admite un desarrollo de Fourier:

$$f(t) = a_0 + a_1 \cdot \sin(\omega t - \varphi_1) + a_2 \cdot \sin(2\omega t - \varphi_2) + a_3 \cdot \sin(3\omega t - \varphi_3) + \dots$$

se calcula THD como:

$$THD = \frac{\sqrt{a_2^2 + a_3^2 + a_4^2 + \dots}}{a_1} \quad (6.17)$$

aunque, por comodidad, se suele hacer la aproximación

$$THD = \left| \frac{a_k}{a_1} \right| \quad (6.18)$$

siendo k el primer armónico de consideración. En general, el cálculo de estos parámetros es difícil y laborioso, incluso utilizando programas como MAXIMA o MATHEMATICA. Por ello, a veces es preferible utilizar directamente el cálculo numérico en la señal temporal. Así, SPICE proporciona dos instrucciones, FFT y FOURIER, que ayudan en esta empresa.

Debe tenerse en cuenta que, en sistemas realimentados negativamente, la distorsión se reduce enormemente. Sea el bloque de Fig. 6.10, en el que $1/K$ simboliza una red resistiva y la ganancia diferencial, G , es enorme. Se va a cumplir que²:

$$V_{OUT} = f(V_A) \Rightarrow V_A = f^{-1}(V_{OUT}) \quad (6.19)$$

$$V_A = G \cdot \left(V_{IN} - \frac{V_O}{K} \right) \quad (6.20)$$

Combinando ambas expresiones, se deduce que:

$$V_{OUT} + \frac{K \cdot f^{-1}(V_{OUT})}{G} = K \cdot V_{IN} \quad (6.21)$$

La influencia de la parte no lineal decrece enormemente al estar dividida por la ganancia G . Téngase

²Cualquier matemático pondría el grito en el cielo, y con razón, por Eq. 6.19 ya que no se ha demostrado que f sea una función biyectiva, en la que tenga sentido definir la función inversa. Sin embargo, como en la mayoría de los casos reales esto es así, daremos este paso como válido.

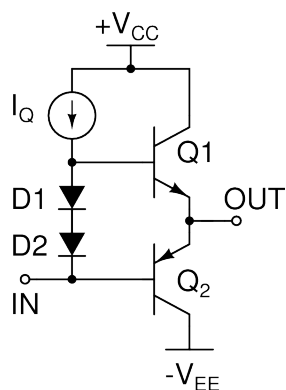


Figura 6.11: Estructura push-pull clase AB mejorada en tecnología bipolar.

en cuenta, además, que este mecanismo también reduce enormemente la influencia de la tensión de *offset* de las etapas de salida, que son del orden de la tensión de codo de una unión PN o de una tensión umbral.

Por último, hay que reseñar que si no se inserta una resistencia de carga, los dos transistores deben estar en corte con lo que el consumo es nulo. Por este motivo, esta estructura es muy popular en dispositivos con bajo consumo aunque se debe evitar su uso en caso de que se busque minimizar la distorsión de la señal.

6.2.2.2. Etapa push-pull clase AB mejorada (tecnología bipolar)

Esta estructura, tremendamente popular en el diseño de amplificadores operacionales de propósito general en tecnología bipolar, consiste básicamente en el circuito mostrado en Fig. 6.11. El funcionamiento de esta red es sencillo ya que la fuente de corriente polariza los dos diodos creando una diferencia de tensión entre las bases de los transistores. Así, $V_{B2} = V_{IN}$ y $V_{B1} = V_{IN} + 2 \cdot V_{\gamma}$. En esta estructura, se elimina la zona muerta del par clase B ya que se permite que los dos transistores se encuentren en ZAD de manera simultánea. Así, se elija el camino que se elija (por Q_2 o por Q_1), se demuestra que $V_{OUT} = V_{IN} + V_{\gamma}$.

El precio que hay que pagar es que un mayor consumo en reposo. Sin embargo, no es tan alto como el de la etapa seguidora simple y permite el drenaje de corriente.

Esta estructura puede mejorarse fácilmente con una serie de modificaciones sencillas. Así, se podrían reemplazar los transistores por pares Darlington aunque esto implicaría añadir más diodos en serie para aumentar el desplazamiento de tensión. En algunos casos, se prefiere crear la diferencia de tensión de $2 \cdot V_{\gamma}$ ($4 \cdot V_{\gamma}$ en caso de usar dos Darlington) por medio de resistencias. Finalmente, la fuente de corriente puede tomarse prestada de la etapa anterior como se hace, por ejemplo, cuando la etapa previa es un inversor CC-CE cargado con una fuente de corriente.

6.2.2.3. Etapa push-pull clase AB mejorada (tecnología CMOS)

En este caso, la estructura básica es la mostrada en Fig. 6.12a. En esta estructura, hay que compensar una diferencia de tensión $V_{THN} + |V_{THP}|$ entre las puertas de los transistores, cosa que

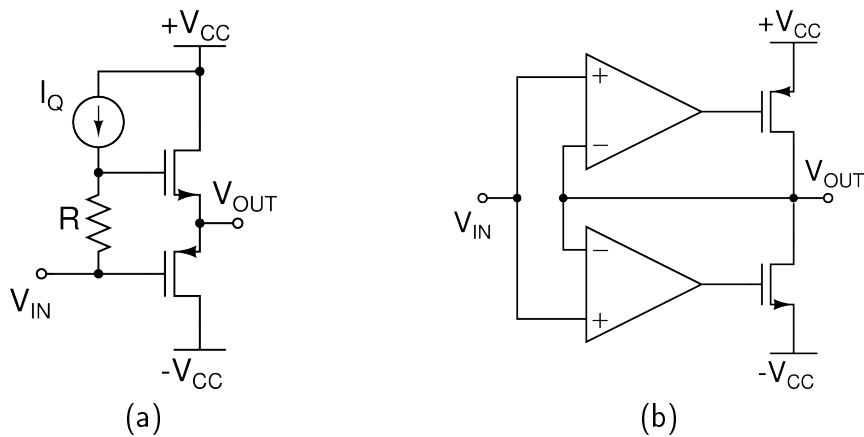


Figura 6.12: Estructuras push-pull clase AB mejorada en tecnología CMOS. Equivalente de la estructura bipolar (a) y versión alternativa (b).

se hace ajustando la fuente de corriente I_Q y la resistencia R . Alternativamente, la resistencia puede reemplazarse con dos transistores colchón con drenador y puerta cortocircuitados, uno PMOS y otro NMOS, colocados en serie para recrear la diferencia de tensión buscada. Sin embargo, persiste el problema del efecto sustrato en los transistores, que hace perder calidad a la señal.

Por este motivo, han surgido estructuras alternativas dada la facilidad de construcción de amplificadores diferenciales en tecnología CMOS. Una de ellas es la mostrada en Fig. 6.12. En esta estructura, la realimentación de los amplificadores operacionales³, que no se contradicen entre sí, hace que la tensión de salida sea igual a la de entrada. La tensión de puerta de los transistores varía según las necesidades de la corriente de salida. Finalmente, como la fuente de cada transistor está conectada a una tensión fija, no hay efecto sustrato de ningún tipo.

6.3. Protección frente a sobrecorriente

A veces, hay que enfrentarse al problema contrario: Evitar que una etapa de salida proporcione demasiada corriente y pueda destruir por calentamiento la carga o el dispositivo en el que se encuentra inmersa. Por ello, en algunos diseños se adoptan diversas estrategias. Una, muy básica, consiste en agregar en serie con la salida una resistencia de protección (Fig. 6.13a). Es fácil demostrar que, en este caso, la corriente de salida está restringida al rango $-\frac{V_{EE}+V_\gamma}{R_S} < I_{OUT} < \frac{V_{CC}-V_\gamma}{R_S}$. Sin embargo, existe otra estrategia más elegante que consiste en utilizar la diferencia de tensión creada en la resistencia para activar un tercer transistor que limita la corriente de base del transistor de salida (Fig. 6.13b). En esta figura puede apreciarse que solo se limita la corriente positiva. No se suele incidir en la corriente negativa pues recordemos que, en general, el problema de los PNP es su baja eficiencia.

En tecnología CMOS, no tiene sentido introducir estos elementos adicionales pues, con ajustar la anchura y longitud de los transistores, se evita la sobrecorriente.

³Dado que no deben suministrar corriente, pueden ser reemplazados por pares diferenciales sencillos.

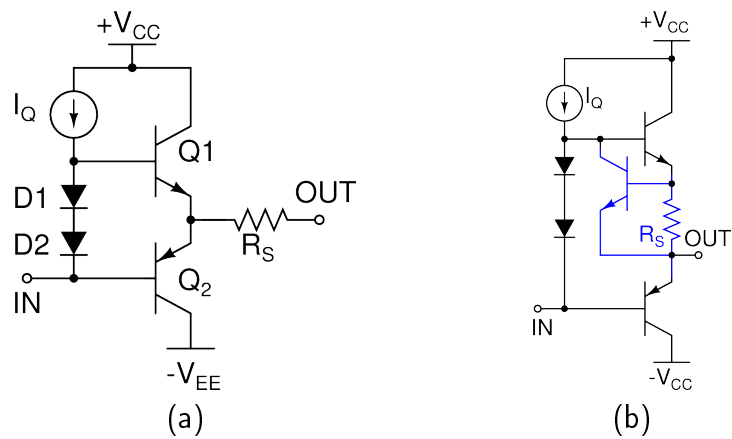


Figura 6.13: Estrategias de protección en tecnología bipolar.

Capítulo 7

EL AMPLIFICADOR OPERACIONAL

7.1. Introducción

El amplificador operacional ya fue estudiado en asignaturas previas como un elemento prácticamente ideal que, cuando era realimentado convenientemente, permitía crear bloques circuitales con unas propiedades muy interesantes. En este tema, se repasarán brevemente muchas de estas estructuras y se explicarán otras más avanzadas que, probablemente, no fueron estudiadas en aquel momento. Finalmente, se estudiará como se construyen los amplificadores operacionales típicos a partir de componentes discretos así como los parámetros que alejan al amplificador real de su modelo ideal. Asimismo, se estudiarán los comparadores y las diferencias con sus primos los amplificadores operacionales.

Básicamente, un amplificador operacional es un amplificador diferencial con ganancia infinita e impedancia de entrada infinita. En otras palabras, no circula corriente a través de sus entradas y su característica entrada-salida es la mostrada en Fig. 7.1. En general, el amplificador puede encontrarse en tres situaciones. En primer lugar, si $V_+ - V_- \equiv V_{NINV} - V_{INV} > 0$, la tensión de salida es $V_{OUT} = V_{CC}$, donde V_{CC} es la tensión de alimentación positiva. En este caso, se dice que el amplificador está en “*saturación positiva*”. En caso de que $V_+ - V_- \equiv V_{NINV} - V_{INV} < 0$, la tensión de salida será $V_{OUT} = -V_{CC}$ y la zona de trabajo será de “*saturación negativa*”.

Sin embargo, éste es el comportamiento típico de un comparador y, en general, a nosotros nos

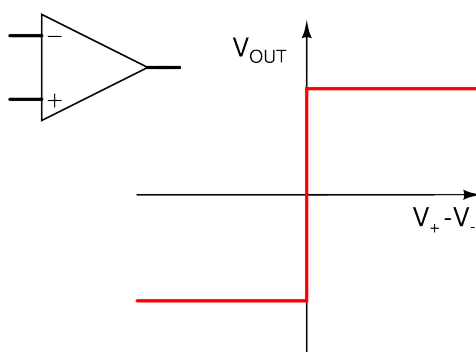


Figura 7.1: Relación entrada-salida de un amplificador operacional ideal.

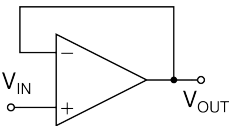
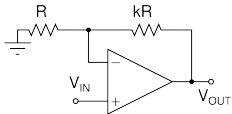
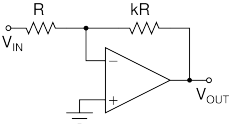
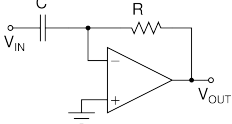
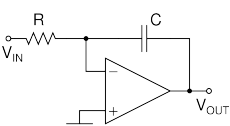
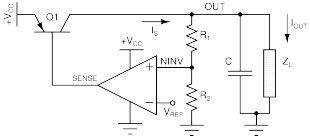
Esquema	Relación	Esquema	Relación
	$V_{OUT} = V_{IN}$ (a)		$V_{OUT} = (1 + k) \cdot V_{IN}$ (b)
	$V_{OUT} = -k \cdot V_{IN}$ (c)		$V_{OUT} = -R \cdot C \cdot s \cdot V_{IN}(s)$ (d)
	$V_{OUT} = -\frac{1}{R \cdot C \cdot s} V_{IN}(s)$ (e)		$V_{OUT} = (1 + k) \cdot V_{REF}$ (f)

Figura 7.2: Diversas estructuras basadas en amplificador operacional: Seguidor de tensión (a), no inversor (b), inversor (c), derivador (d) e integrador (e). El último dibujo corresponde a un regulador lineal en el que la realimentación se introduce por el terminal no inversor.

interesa trabajar en la zona lineal, que es aquélla en la que $V_+ = V_- \equiv V_{NINV} = V_{INV}$. En este caso, V_{OUT} puede alcanzar cualquier valor entre $\pm V_{CC}$ y, más aún, si se demuestra de algún modo que V_{OUT} no puede valer ni $+V_{CC}$ ni $-V_{CC}$, debe tomar algún valor entre ambas cotas y, por tanto, forzar a que las tensiones en las dos entradas del amplificador sean exactamente iguales.

Una aplicación básica es el “seguidor de tensión”, que se muestra en Fig. 7.2a. En esta estructura, $V_{OUT} = V_{INV}$ y $V_{NINV} = V_{IN}$. Supongamos que V_{IN} se encuentra en el intervalo $[-V_{CC}, +V_{CC}]$ y que el amplificador está en saturación positiva. En este caso, $V_{NINV} - V_{INV} = V_{IN} - V_{OUT} = V_{IN} - V_{CC}$. Este valor es forzosamente menor que cero lo que nos conduce a una incoherencia ya que la salida valdría $-V_{CC}$ ¡cuando se supuso que valía lo contrario!. Análogamente, puede demostrarse que tampoco puede estar en saturación negativa con lo que, a falta de otra opción, se encontrará en zona lineal. Este caso es perfectamente coherente pues, si $V_{OUT} = V_{INV} = V_{IN} \in [-V_{CC}, V_{CC}]$.

¿Qué hubiera pasado si la realimentación se cerrara por la otra pata? Simplemente, que todas las opciones serían posibles pero la zona lineal sería inestable. Cualquier perturbación provocada por el ruido, o similar, mandaría al amplificador a alguna de las dos zonas de saturación.

Otras aplicaciones básicas se muestran en Fig. 7.2b-e. Son sobradamente conocidas y no se explicará su comportamiento. En muchos casos, la realimentación se introduce en el operacional a través de la entrada inversora. Sin embargo, esto no siempre es así pues el objetivo es que el sistema sea estable por realimentación negativa. En algunos casos, y dependiendo de como se haya construido la red de realimentación, es posible que la realimentación deba introducirse por el terminal no inversor. Un ejemplo de ello es un regulador de tensión como el mostrado en Fig. 7.2f, que debe ser realimentado por la entrada no inversora para ser estable.

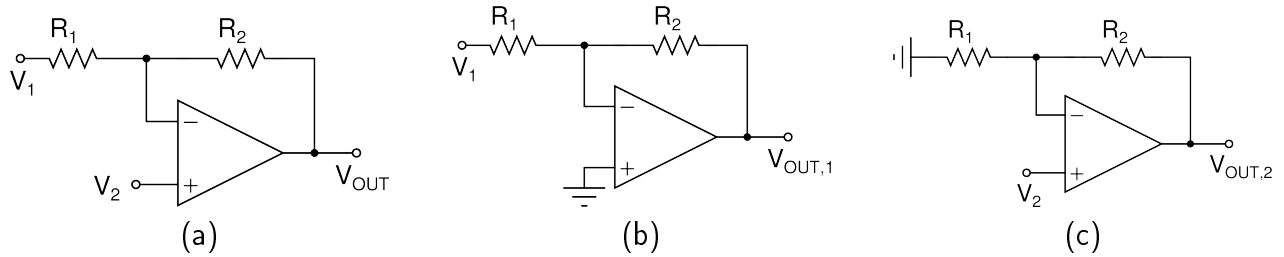


Figura 7.3: Aplicación del principio de superposición: Todas la entradas (a), primera entrada (b) y segunda entrada (c).

Otro concepto interesante es el de “*tierra virtual*”, que es la situación en la que la tensión de nudo de un circuito se fija a 0 V incluso sin una conexión directa a tierra. Ejemplo de ello son los terminales inversores en Fig. 7.2c-e.

Asimismo, se usa habitualmente el principio de superposición para calcular la relación entre las salidas y las distintas entradas de un amplificador operacional. En muchos casos, se simplifica la resolución del problema. Pongamos por ejemplo el circuito de Fig. 7.3a. Es fácil ver que las ecuaciones que controlan el circuito son:

$$\begin{aligned} V_+ &= V_- = V_2 \\ \frac{V_1 - V_-}{R_1} &= \frac{V_- - V_{OUT}}{R_2} \end{aligned}$$

Esto implica que:

$$\begin{aligned} \frac{V_1 - V_2}{R_1} &= \frac{V_2 - V_{OUT}}{R_2} \Rightarrow \frac{R_2}{R_1} \cdot V_1 - \frac{R_2}{R_1} \cdot V_2 = V_2 - V_{OUT} \\ \Rightarrow V_{OUT} &= -\frac{R_2}{R_1} \cdot V_1 + \left(1 + \frac{R_2}{R_1}\right) \cdot V_2 \end{aligned}$$

Haciéndolo por el principio de superposición, sería incluso más sencillo pues, al anular una de las entradas, la estructura se convierte en un inversor (Fig. 7.3b) y un amplificador no inversor (Fig. 7.3c). En el primer caso, la contribución a la salida sería $V_{OUT,1} = -\frac{R_2}{R_1} \cdot V_1$ y, en el $V_{OUT,2} = \left(1 + \frac{R_2}{R_1}\right) \cdot V_2$ con lo que la suma total sería $V_{OUT} = V_{OUT,1} + V_{OUT,2} = -\frac{R_2}{R_1} \cdot V_1 + \left(1 + \frac{R_2}{R_1}\right) \cdot V_2$. Como era de esperar, los resultados coinciden.

7.2. Aplicaciones lineales avanzadas del amplificador operacional

En este apartado, se estudiarán algunas configuraciones especialmente útiles en electrónica analógica e instrumentación basadas en el amplificador operacional y con la propiedad de que utiliza elementos lineales (básicamente, resistencias y condensadores) para cerrar el ciclo de realimentación.

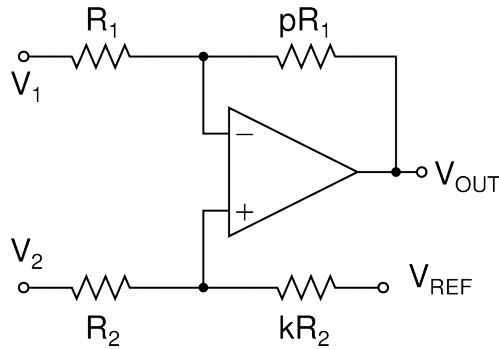


Figura 7.4: Amplificador diferencial básico.

7.2.1. Amplificador diferencial

El amplificador diferencial es una red que resta dos señales, al resultado le añade una tensión de referencia y trasfiere el resultado a la salida. La estructura general es la mostrada en Fig. 7.4. En este caso, es posible descubrir que la salida es:

$$V_{OUT} = \left[\frac{1+p}{1+k} \right] \cdot V_{REF} + \left[\left(\frac{1+p}{1+k} \cdot k \right) \cdot V_2 - p \cdot V_1 \right]$$

Se puede repetir el cálculo usando de principio de superposición. Ahora definiremos el modo común y el modo diferencial de un modo alternativo al mostrado en el tema de los pares diferenciales. Así, utilizaremos la definición alternativa de $V_1 = V_C - \frac{V_D}{2}$ y $V_2 = V_C + \frac{V_D}{2}$. En este caso, la ecuación anterior se transforma en:

$$V_{OUT} = \left(k \cdot \frac{1+p}{1+k} - p \right) \cdot V_C + \frac{1}{2} \cdot \left(k \cdot \frac{1+p}{1+k} + p \right) \cdot V_D + \frac{1+p}{1+k} \cdot V_{REF}$$

Imaginemos ahora que los coeficientes p y k son exactamente iguales a 1. En estas circunstancias, la ecuación anterior se transformaría en:

$$V_{OUT} = V_D + V_{REF} = V_{REF} + (V_2 - V_1)$$

En caso de que no sean exactamente iguales, aparece una amplificación del modo común que conduce a un valor finito de $CMRR$:

$$CMRR = \left| \frac{A_D}{A_C} \right| = \left| \frac{\frac{1}{2} \cdot \left(k \cdot \frac{1+p}{1+k} + p \right)}{\left(k \cdot \frac{1+p}{1+k} - p \right)} \right| = \frac{1}{2} \cdot \left| \frac{p+k+2kp}{k-p} \right|$$

En general, a menor tolerancia de las resistencias, menor valor de $CMRR$. Por ello, no es recomendable construir esta estructura con elementos discretos. Existen versiones integradas en silicio en las que resistencias de película metálica se han ajustado con láser para obtener un pareado prácticamente perfecto. Así, algunos ejemplos comerciales son el INA133, AD629, AMP03, etc.

Sin embargo, hay siempre un importante problema: La baja impedancia de entrada. Así, es fácil

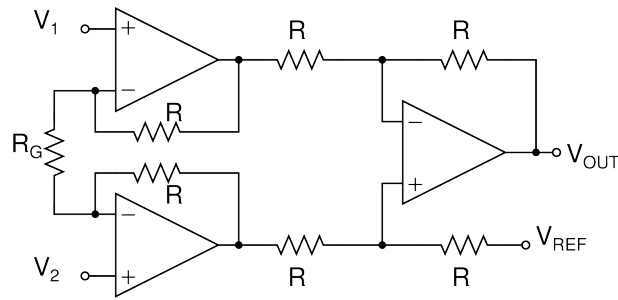


Figura 7.5: Amplificador de instrumentación clásico. Existen otras configuraciones, pero ésta es la más popular.

ver que la fuente de tensión V_2 ve una resistencia de valor $2 \cdot R_2$, que suele ser del orden de unos 50-100 k Ω . Para solucionar este problema, se debe recurrir a los amplificadores de instrumentación.

7.2.2. Amplificadores de instrumentación

Estos amplificadores constan de tres amplificadores operacionales con resistencias exactamente iguales ya que están integradas dentro del mismo chip y ajustadas por láser (Fig. 7.5). En esta estructura, puede apreciarse que el amplificador de la derecha es un amplificador diferencial. Aplicando el principio de superposición, puede demostrarse que la salida del amplificador de instrumentación es:

$$V_{OUT} = V_{REF} + \left(1 + \frac{2R}{R_G}\right) \cdot (V_2 - V_1)$$

donde R_G es una resistencia externa, seleccionable por el usuario. Al atacar las tensiones de entrada el terminal no inversor de unos amplificadores operacionales, se garantiza que la impedancia de entrada sea extraordinariamente alta.

Ejemplos de amplificadores de instrumentación comerciales son, por ejemplo, INA110, INA111, INA114, LT1167 y AD624. Este último, en particular, posee una configuración interna que no es la clásica de los amplificadores de instrumentación y que se upuede consultar en su hoja de característica, o *datasheet*.

Aparte del uso inmediato que tiene este amplificador en instrumentación para determinar, por ejemplo, el valor de una resistencia de platino cuyo valor cambia con la temperatura, tiene una aplicación particularmente interesante para construir transconductores de una manera muy sencilla. Para ello, se debe utilizar un amplificador de instrumentación¹, con una ganancia G dependiente de R_G , una resistencia R y un amplificador operacional polarizado como seguidor de tensión (Fig. 7.6). La pregunta es... ¿Cuánto vale I_L ? ¿es independiente de la carga, Z_L ?

Evidentemente, I_L es igual a la resistencia que circula por R , de valor $\frac{V_A - V_{OUT}}{R}$, por lo que:

$$I_L = \frac{V_A - V_{OUT}}{R} = \frac{[V_{REF} + G \cdot (V_1 - V_2)] - V_{OUT}}{R}$$

¹También puede usarse un amplificador diferencial. Sin embargo, subsisten los problemas de la impedancia y la poca flexibilidad para elegir la ganancia.

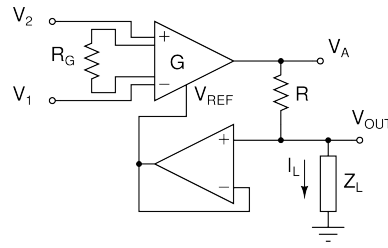


Figura 7.6: Fuente de corriente controlada por tensión.

Pero, V_{REF} no es sino V_{OUT} ya que el amplificador operacional funciona como un seguidor de tensión. Por tanto:

$$I_L = \frac{[V_{OUT} + G \cdot (V_1 - V_2)] - V_{OUT}}{R} = \frac{G}{R} \cdot (V_1 - V_2)$$

Con lo que se demuestra que, independientemente de la carga, la corriente suministrada es función de la diferencia entre las tensiones de entrada. Evidentemente, siempre y cuando ninguno de los amplificadores se sature.

7.2.3. Circuitos emulados

Otra de las utilidades de un amplificador operacional consiste en la fabricación de subcircuitos cuya impedancia equivalente tiene propiedades inusuales. En particular, nos centraremos en las resistencias negativas y las inducciones a partir de capacidades.

7.2.3.1. Resistencias negativas

En general, la resistencia de cualquier dispositivo natural es positiva. Así, si hay una diferencia de tensión entre los dos extremos, la corriente fluye del extremo a mayor tensión hacia el que se encuentra a menor tensión. Existen algunas excepciones como la de los diodos túnel. Sin embargo, en este caso, la resistencia negativa solo ocurre en el modelo en pequeña señal y en una región muy estrecha del diagrama V-I.

Sin embargo, siempre es posible construir subcircuitos con una resistencia negativa por medio de amplificadores operacionales. El ejemplo más sencillo es el circuito de Fig. 7.7. Tiene una única entrada, conectada a una hipotética fuente V_{IN} , de modo que debemos suponer que el otro terminal de la resistencia equivalente está conectado, por simplicidad, a tierra. La pregunta es: ¿cuánto vale I_{IN} teniendo en cuenta que es definida positiva si y solo si sale de la fuente de tensión?

Es fácil ver que, en estas circunstancias, la tensión de la salida del amplificador es $(1 + k) \cdot V_{IN}$. Al ser mayor que V_{IN} , se produce un flujo de corriente *hacia fuera* a través de qR . Por tanto, la corriente I_{IN} será:

$$I_{IN} = \frac{V_{IN} - V_{OUT}}{qR} = \frac{V_{IN} - (1 + k) \cdot V_{IN}}{qR} = -\frac{k}{qR} \cdot V_{IN}$$

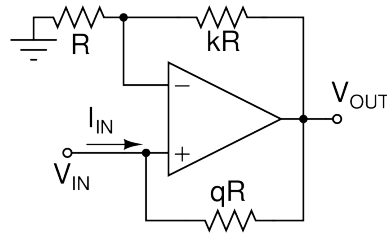


Figura 7.7: Resistencia negativa con un terminal conectado a tierra.

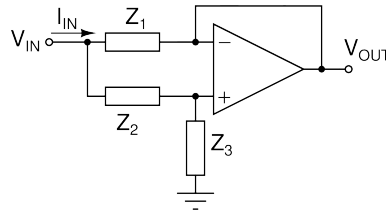


Figura 7.8: Emulación de una bobina con condensadores.

De lo que se deduce que:

$$Z_{IN} = \frac{V_{IN}}{I_{IN}} = -\frac{q}{k} \cdot R$$

¡que es negativa!. Por tanto, se ha conseguido lo que se buscaba. Existen versiones más complejas en las que, por ejemplo, se consigue que haya dos terminales flotantes y no solo uno. Estos dispositivos son especialmente interesantes en el diseño de osciladores lineales ya que permiten compensar las resistencias parásitas de los elementos reactivos, como la que aparece en las bobinas reales.

7.2.3.2. Inducciones simuladas

Es bien sabido que es imposible insertar inducciones en circuitos integrados. Sin embargo, esto no es óbice para que, algunas veces, sea necesario su uso. Para ello, pueden utilizarse algunos circuitos con unas interesantes características. Un ejemplo es el circuito de Fig. 7.8. ¿Cuál es la relación entre la tensión de entrada y la corriente que suministra?

En primer lugar, fijémonos que $V_+ = \frac{Z_3}{Z_2 + Z_3} \cdot V_{IN}$. Suponiendo que el amplificador está en zona lineal, se deduce que:

$$\begin{aligned} I_{IN} &= \frac{V_{IN}}{Z_2 + Z_3} + \frac{V_{IN} - V_{OUT}}{Z_1} = V_{IN} \cdot \left[\frac{1}{Z_2 + Z_3} + \frac{1}{Z_1} \cdot \left(1 - \frac{Z_3}{Z_2 + Z_3} \right) \right] = \\ &= V_{IN} \cdot \left[\frac{1}{Z_2 + Z_3} + \frac{1}{Z_1} \cdot \frac{Z_2}{Z_2 + Z_3} \right] = \frac{V_{IN}}{Z_1} \cdot \frac{Z_1 + Z_2}{Z_2 + Z_3} \end{aligned}$$

De lo que se deduce que, la impedancia equivalente es

$$Z_{IN} = \frac{V_{IN}}{I_{IN}} = Z_1 \cdot \frac{Z_2 + Z_3}{Z_2 + Z_1}$$

Particularicemos ahora los valores de las impedancias. Supongamos que:

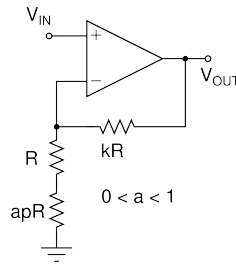


Figura 7.9: Esquema para el control manual de una ganancia.

1. Z_1 y Z_3 son resistencias puras de valor, respectivamente, R y $k \cdot R$, siendo k un número real .
2. Z_2 es un condensador puro de impedancia $\frac{1}{C \cdot s}$.

En estas circunstancias:

$$Z_{IN} = Z_1 \cdot \frac{Z_2 + Z_3}{Z_2 + Z_1} = R \cdot \frac{\frac{1}{C \cdot s} + kR}{\frac{1}{C \cdot s} + R} = R \cdot \frac{1 + kRC \cdot s}{1 + RC \cdot s}$$

Suponiendo que $|RCs| \ll 1$, la expresión anterior se transforma en:

$$Z_{IN} = R \cdot \frac{1 + kRC \cdot s}{1 + RC \cdot s} \simeq R \cdot (1 + kRC \cdot s) \cdot (1 - RCs) = R + (k - 1) \cdot R^2 C \cdot s - R^3 C \cdot s^2$$

que, despreciando el término en s^2 , equivale a una inducción de valor $L = (k - 1) \cdot R^2 C$ y con resistencia parásita R .

7.2.4. Amplificadores con ganancia controlada

Es posible construir redes amplificadoras con amplificadores operacionales que proporcionan una ganancia estable y controlada. Sin embargo, a veces nos puede interesar buscar un modo de variar la ganancia para adecuarla a los requerimientos de nuestro sistema.

Una manera típica de realizar el ajuste consiste en utilizar un potenciómetro como resistencia variable que controla la ganancia. Así ocurre, por ejemplo, en el circuito de Fig. 7.9. En esta estructura, hay una resistencia (en general, un potenciómetro) cuyo valor puede variar entre 0 y $a \cdot p \cdot R$. En consecuencia, la ganancia del amplificador es, simplemente, $G = 1 + \frac{k}{1+a \cdot p}$, por lo que la ganancia puede establecerse entre $G_{MAX} = 1 + k$ y $G_{MIN} = 1 + \frac{k}{1+p}$.

Este mecanismo, por muy tosco que parezca, es el que se encuentra, por ejemplo, en los controles de volumen de los amplificadores de audio. El problema es que depende de una persona que sea capaz de elegir la ganancia adecuada. Para regular este parámetro de manera automática, existen diversas estrategias que se detallan a continuación.

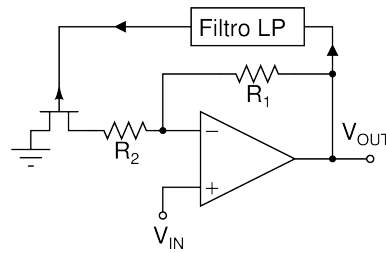


Figura 7.10: Esquema para el control de ganancia por medio de un JFET.

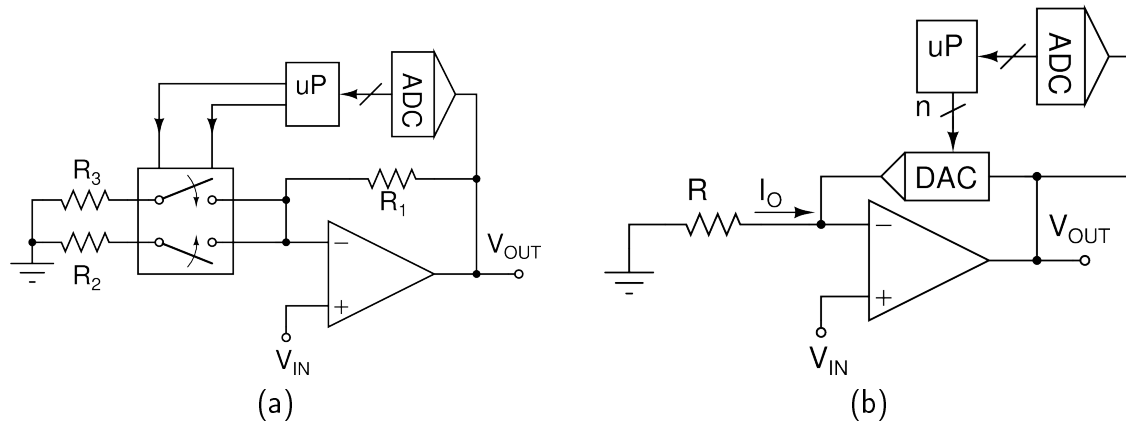


Figura 7.11: Control de ganancia de modo digital: Con *switches* (a) o con DAC (b).

7.2.4.1. Método analógico

Este método se basa en la utilización de un transistor FET que, al no ser sino una resistencia cuyo valor es controlado por tensión, puede utilizarse para controlar la ganancia de un bloque amplificador. Un ejemplo es el mostrado en Fig. 7.10. En este dispositivo, la ganancia es $-\frac{R_1}{R_2 + R_{FET}}$ siendo R_{FET} la resistencia equivalente del transistor JFET de canal p en zona lineal. En principio, este dispositivo solo funciona con valores de entrada positivos. Si la salida aumenta excesivamente, el transistor de canal p tiende a cerrarse haciendo que la ganancia disminuya. Hay que decir que esta técnica es muy difícil de implementar, y conduce a una fuerte no idealidad, aunque tiene la ventaja de no utilizar componentes lógicos, como en los casos que se muestran a continuación.

7.2.4.2. Control digital

En este caso, se recurre a un sistema de control digital como un microprocesador o una FPGA. Para ello, se necesita que la salida se convierta previamente de analógico a digital (ADC) para que el dispositivo de control tome la decisión apropiada.

¿Qué hace el dispositivo inteligente a continuación? En algunos casos, puede activar conmutadores analógicos (*switches*) para cambiar la ganancia del circuito realimentado. Así, en el circuito de Fig. 7.11a, el microprocesador μP puede decidir con qué resistencia completar la red de realimentación. De este modo, se puede establecer la ganancia a 1 si ambos conmutadores están abiertos, a $1 + \frac{R_1}{R_3}$ o a $1 + \frac{R_1}{R_2}$ si hay un único conmutador cerrado, y a $1 + \frac{R_1}{R_3} + \frac{R_1}{R_2}$ si ambos están cerrados.

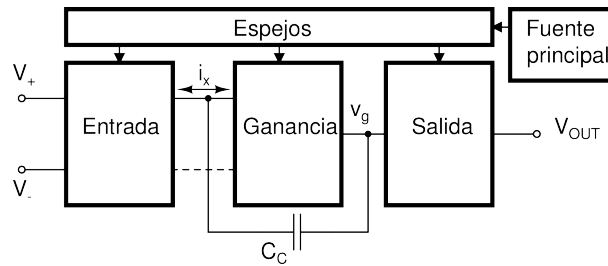


Figura 7.12: Estructura general de amplificador operacional típico.

Otra posible solución es el uso de un DAC con salida en corriente, como suelen ser los contruidos con una red $R/2R$ en escalera. Un ejemplo es el mostrado en Fig. 7.11b, aunque en la literatura avanzada pueden encontrarse otras propuestas. En esta familia de conversores, la corriente que sale del DAC es proporcional a la entrada n , a la tensión de referencia y a una resistencia básica, R_X . En este caso, la tensión de referencia es V_{OUT} de modo que:

$$I_O = \frac{V_{IN}}{R} = \frac{n}{2^N} \cdot \frac{V_{OUT}}{R_X} \Rightarrow \frac{V_{OUT}}{V_{IN}} = \frac{n}{2^N} \cdot \frac{R_X}{R}$$

Siendo N el número de bits del conversor D/A. Así, variando el término n por medio del microprocesador, se puede controlar la ganancia del sistema. Esta estructura tiene el problema de que, muchas veces, la corriente de salida del conversor fluye en un único sentido y, por lo tanto, la tensión de entrada no puede cambiar de signo.

7.3. Estructura interna de un amplificador operacional

La construcción de un amplificador operacional no es un asunto trivial y depende de la habilidad del diseñador. Sin embargo, se puede considerar que todo amplificador operacional consta de cinco bloques (Fig. 7.12) que se describen a continuación.

1. *Fuente de corriente:* En general, en todo amplificador operacional aparece un bloque que proporciona la corriente de referencia para polarizar las distintas etapas. En principio, puede ser una simple resistencia o un dispositivo más complejo que sea, por ejemplo, inmune a las variaciones de temperatura, alimentación, etc. En muchos dispositivos CMOS, en este bloque también se encuentran transistores en cascada, con la fuente y el drenador en cortocircuito, cuyo objeto es crear tensiones de referencia para polarizar elementos como los transistores cascode.
2. *Espejos de corriente:* Se limitan a recoger la corriente del primer bloque, reflejarla y repartirla entre las distintas etapas. En general, son espejos simples con escalado (Área de base-emisor en bipolares, anchura y longitud en CMOS) o espejos Widlar si se buscan corrientes muy pequeñas.

3. *Etapas de entrada:* Siempre es un par diferencial. En tecnologías bipolares, se debe intentar minimizar la corriente de polarización de la entrada, que coincide con la corriente de base de cada transistor del par diferencial. Para ello se disminuye considerablemente la corriente de alimentación del par (generalmente, con un espejo Widlar), se usan pares Darlington o CC-CE, transistores de altísima ganancia, o se incorporan estructuras que polarizan la base sin exigir a la entrada que suministre corriente. En dispositivos CMOS no existe este problema. En general, se suele utilizar como carga resistencias: Bien simples, bien dentro de espejos con degeneración de emisor. La adición de resistencias permite insertar un potenciómetro externo de rama a rama del par para minimizar la tensión de *offset* del par.
4. *Etapas de ganancia:* Existen dos opciones: Un par diferencial, sin las restricciones de alimentación de la etapa de entrada, o un simple par CC-CE en dispositivos bipolares. Sin embargo, siempre existe un condensador C_C colocado entre la entrada y la salida de esta etapa. El objetivo es estabilizar el amplificador operacional introduciendo un polo a bajas frecuencias.
5. *Etapas de salida:* Es la etapa que conecta la entrada amplificada al exterior. En tecnologías bipolares, esta etapa es, en general, una estructura AB complementaria que comparte la fuente de corriente aunque, en otras aplicaciones, puede recurrirse a cualquiera de las etapas de salida.

Por supuesto, esta estructura general está sujeta a modificaciones. Así, en algunos circuitos integrados puede prescindirse de la etapa de ganancia o de la etapa de salida para economizar recursos.

7.4. No idealidades de un amplificador operacional

Muchas de las no idealidades de los amplificadores operacionales ya se estudiaron en temas precedentes.

7.4.1. Tensión de *offset* de la entrada:

Esta tensión se define como la que hay que aplicar a la entrada inversora para que la salida sea nula. Se suele modelar como una fuente de tensión ideal conectada a la entrada no inversora (Fig. 7.13). Su presencia permite justificar por qué la salida de una red amplificadora no es nula con entrada nula y por qué esta salida depende de la ganancia. En esta figura también se puede apreciar cómo se puede medir experimentalmente este parámetro. Con él está relacionado otro parámetro, la razón de rechazo de la fuente de alimentación (*Power supply rejection ratio*, *PSRR*), que da cuenta de la variación de la tensión de *offset* a medida que varía la tensión de alimentación ($PSRR = \left(\frac{\partial V_{OS}}{\partial V_{CC}} \right)^{-1}$).

Una importante característica de los amplificadores operacionales es que la etapa que más contribuye a la tensión de *offset* es la etapa de entrada pues este *offset* es amplificado por todas las etapas del amplificador.

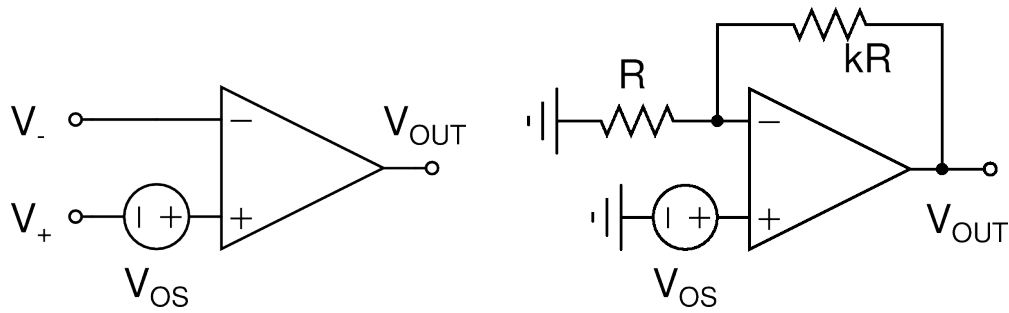


Figura 7.13: Efectos de la tensión de *offset* de la entrada. La suposición de que existe una fuente de tensión parásita hace que $V_{OUT} = (1 + k) \cdot V_{OS}$ cuando la entrada es nula.

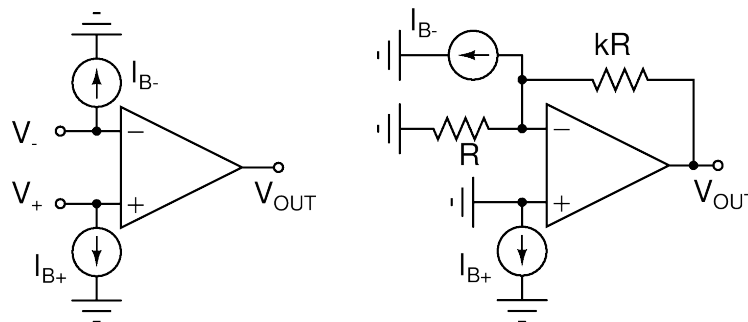


Figura 7.14: Modelado y efectos de las corrientes de polarización de la entrada en una amplificador operacional.

7.4.2. Corriente de polarización de la entrada

No debe de confundirse con la corriente que alimenta el par diferencial de entrada a pesar de tener un nombre parecido. Esta corriente es tipo DC, siempre presente en el amplificador operacional, y su efecto se ve multiplicado por la presencia de resistencias de realimentación. Se suele modelar como un par de fuentes de corrientes que extraen corriente de las entradas del amplificador. Lógicamente, hay dos corrientes, una por entrada.

Fig. 7.14 muestra cómo se modelan estas fuentes de corriente y cuál es su efecto si existe realimentación. Es fácil ver que la salida del amplificador operacional es $V_{OUT} = k \cdot R \cdot I_{B-}$. Esto significa que se desaconseja el uso de resistencias muy grandes para realimentar un amplificador. En particular, esta fuente de corriente justifica por qué los circuitos integradores ideales (Fig. 7.2e) no pueden implementarse en la realidad: La fuente de corriente cargaría el condensador y llevaría al amplificador a zona de saturación.

Estas corrientes no son sino las corrientes de base o puerta de los transistores que forman el par diferencial. Lógicamente, en caso de que se usen transistores de efecto campo, este parámetro es despreciable. El problema aparece, mayormente, en amplificadores operacionales cuya entrada sea un par bipolar. Para evitar los problemas derivados, se suele recurrir a diversas estrategias. En primer lugar, a reducir la corriente que alimenta el par pues la corriente de colector de los transistores es la mitad de este parámetro. El problema asociado a esta estrategia es la reducción de la ganancia y el empeoramiento del comportamiento en frecuencia. Otra estrategia consiste en la creación de

una red de compensación que se encarga de suministrar la corriente a la base sin obligar a la red de realimentación a proporcionársela al amplificador. Esta estrategia puede encontrarse, por ejemplo, en el amplificador operacional OP-27², que permite obtener corrientes de polarización por debajo del nanoamperio.

De un modo similar a las tensiones de modo común y modo diferencial, en muchos casos se prefiere dar como parámetros de un amplificador operacional la corriente de polarización de la entrada, I_B , y la corriente de *offset* de la entrada, I_{OS} . Estos parámetros están relacionados con las corrientes reales del siguiente modo:

$$\left. \begin{aligned} I_B &= \frac{1}{2} (I_{B+} + I_{B-}) \\ I_{OS} &= \frac{1}{2} (I_{B+} - I_{B-}) \end{aligned} \right\} \iff \left\{ \begin{aligned} I_{B+} &= I_B + I_{OS} \\ I_{B-} &= I_B - I_{OS} \end{aligned} \right.$$

7.4.3. Ganancia en lazo abierto

Este parámetro no es sino la ganancia del amplificador diferencial, factor de proporcionalidad en la ecuación³ $V_{OUT} = A_D \cdot (V_+ - V_-)$. Idealmente, debería alcanzar un valor infinito. Sin embargo, esto no es así lo que acarrea consecuencias importantes. En primer lugar, es extremadamente que V_{OUT} sea 0 por lo que, para evitar una incoherencia matemática, $V_+ \neq V_-$. En consecuencia, hay que introducir dos nuevas variables en el sistema de ecuaciones asociado al circuito. Así, en un amplificador no inversor como el de Fig. 7.2b, las ecuaciones que rigen el comportamiento eléctrico serían:

$$\left\{ \begin{aligned} \frac{V_{OUT} - V_-}{kR} &= \frac{V_-}{R} \\ V_+ &= V_{IN} \\ V_{OUT} &= A_D \cdot (V_+ - V_-) \end{aligned} \right.$$

En este sistema de ecuaciones, se regeneraría el sistema de ecuaciones ideal si $A_D \rightarrow \infty$ pues $V_+ \rightarrow V_-$. Este sistema puede resolverse para obtener que la ganancia en lazo cerrado es $\frac{V_{OUT}}{V_{IN}} = \frac{1+k}{1+A_D^{-1} \cdot (1+k)}$. En otras palabras, la ganancia DC se reduce respecto del valor ideal y, además, el efecto se nota más cuanto mayor sea la ganancia de la red de realimentación.

Finalmente, también es posible definir una ganancia del modo común y, por tanto, el valor de $CMRR$. Sin embargo, estos parámetros no tienen una gran utilidad práctica.

7.4.4. Producto ganancia-ancho de banda o frecuencia de ganancia unidad

Estos términos son sinónimos y se suelen simbolizar como f_U . En general, la introducción de un condensador entre los extremos de la etapa de ganancia tiene como consecuencia práctica que aparece un polo a muy bajas frecuencias que convierte en despreciables los polos y ceros intrínsecos del amplificador. En resumen, si este polo se encuentra en $s_p = \omega_0$, la ganancia de un amplificador

²http://www.analog.com/static/imported-files/data_sheets/OP27.pdf, consultado el 14 de enero de 2013.

³O, más exactamente, $V_{OUT} = A_D \cdot (V_+ + V_{OS} - V_-)$ si tomamos en cuenta la tensión de *offset* de la entrada

operacional se puede modelar en el dominio de Laplace como:

$$A_D(s) = \frac{A_D}{1 + \frac{s}{\omega_0}}$$

Con lo que, si reemplazamos esta expresión en la ganancia de un amplificador no inversor, se obtiene:

$$\begin{aligned} \frac{V_{OUT}}{V_{IN}} &= \frac{1+k}{1 + A_D^{-1}(s) \cdot (1+k)} = \frac{1+k}{1 + A_D^{-1} \cdot (1+k) \cdot \left(1 + \frac{s}{\omega_0}\right)} = \\ &= \frac{1+k}{\left[1 + A_D^{-1} \cdot (1+k)\right] + A_D^{-1} \cdot (1+k) \cdot \frac{s}{\omega_0}} \simeq \frac{1+k}{1 + (1+k) \cdot \frac{s}{A_D \omega_0}} \end{aligned}$$

Esto significa que el polo original se ha desplazado a $\omega_p = 2\pi f_p = \frac{A_D \cdot \omega_0}{1+k}$. O, lo que es lo mismo, independientemente de la ganancia de la red de realimentación, $f_p \cdot (1+k) = \frac{1}{2\pi} A_D \cdot \omega_0$. Estos dos parámetros, A_D y ω_0 , son parámetros intrínsecos del amplificador operacional y, si bien no se conocen por separado, su producto puede medirse fácilmente a partir del diagrama de Bode de un amplificador realimentado. Este producto no es sino el producto ganancia-ancho de banda o frecuencia de ganancia unidad.

¿Por qué se lo llama así? Simplemente, porque cuando la frecuencia de trabajo es $f_U = \frac{1}{2\pi} A_D \cdot \omega_0$, el módulo de la ganancia del amplificador realimentado sería:

$$\frac{V_{OUT}}{V_{IN}} = \left| \frac{1+k}{1 + (1+k) \cdot \frac{j\omega_U}{\omega_0}} \right| = \left| \frac{1+k}{1 + (1+k) \cdot j} \right| = \frac{1+k}{\sqrt{(1+k)^2 + 1}} \approx 1$$

siempre y cuando la ganancia DC sea mucho mayor que 1. En otras palabras, al llegar a esta frecuencia, la ganancia original se ha reducido a 1. Fijémonos, por otro lado, que esta frecuencia es prácticamente independiente de la ganancia de realimentación. Sea cual sea, el sistema tiene ganancia 1 al alcanzar la frecuencia de ganancia unidad.

En otras configuraciones como el inversor, el amplificador diferencial, etc., los resultados pueden diferir levemente de los anteriores pero, en general, el comportamiento cualitativo es similar: Mayor ganancia DC, menor ancho de banda.

7.4.5. *Slew rate*

Este parámetro, que se mide en $\frac{V}{\mu s}$, da cuenta de un curioso fenómeno que ocurre en los amplificadores operacionales: La tensión de salida no puede cambiar más allá de un ritmo concreto. Así, si un amplificador operacional tiene un *slew rate* (*SR*) de $0.2 \frac{V}{\mu s}$, la salida no puede avanzar más de 0.2 V cada microsegundo, independientemente de lo que requiera la señal de entrada.

En la práctica, hay un valor de *slew rate* para señales crecientes y otro para señales descendentes aunque, en la práctica, se suele indicar solo la que tiene el menor valor. Fig. 7.15 es un ejemplo de lo que ocurre. Hay una señal de entrada, en rojo, que sufre dos cambios abruptos y uno suave. La

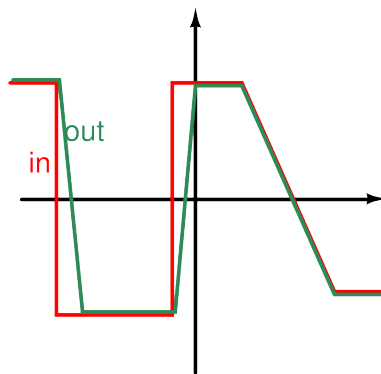


Figura 7.15: Ejemplo de como afecta el *slew rate* a la tensión de salida de un amplificador operacional.

salidad del amplificador, en verde, no puede seguir a la señal de entrada y evoluciona de acuerdo con el máximo valor permitido, el *slew rate*. En la práctica, éste es el método clásico de medida: Con un osciloscopio, se mide la velocidad de cambio de la salida frente a señales cuadradas en la entrada. Posteriormente, se produce otro cambio en la tensión de entrada. Sin embargo, es lo suficientemente lento para que el amplificador lo pueda seguir.

El fenómeno de *slew rate* distorsiona la salida, como se puede ver en la figura de ejemplo. Sin embargo, no es la única posibilidad. Así, si tenemos una señal de entrada sinusoidal de valor $A \cdot \sin(\omega t)$ que se enfrenta a una red no inversora de ganancia $(1 + k)$, la salida sería, idealmente, $A \cdot (1 + k) \cdot \sin(\omega t)$. La derivada de esta función, que mide la razón de cambio, se convierte en $A \cdot (1 + k) \cdot \omega \cdot \cos(\omega t)$, que tiene como valores máximo y mínimo $\pm A \cdot (1 + k) \cdot \omega$. La señal se distorsionará salvo que este valor sea inferior al de *slew rate*: En consecuencia, aparecen limitaciones en la ganancia DC, la frecuencia de trabajo y la amplitud de la entrada. La señal de salida se convierte en una sucesión de rectas crecientes y decrecientes hasta que el valor de $A \cdot (1 + k) \cdot \omega \cdot \cos(\omega t)$ se haga menor que el valor de *slew rate*. A partir de este instante, la señal vuelve a asemejarse a una entrada sinusoidal. Es evidente, entonces, que la ganancia efectiva en alterna disminuye de manera considerable.

El comportamiento en frecuencia de un amplificador operacional está controlado simultáneamente por *SR* y f_u . Sin embargo, en la práctica, lo que ocurre es que la frecuencia de ganancia unidad solo es apreciable si la condición de *slew rate* no se está violando.

7.4.6. Relación entre f_U y *slew rate*

En primer lugar, consideraremos que la etapa de entrada se comporta como un transconductor de ganancia g_m y que tiene como carga el equivalente en paralelo de la etapa de ganancia y del condensador de estabilización, cuya impedancia es $\frac{1}{s \cdot C_C}$. Si la frecuencia es suficientemente alta, esta última impedancia predomina sobre la etapa de ganancia de tal modo que la tensión de salida de la etapa de ganancia es proporcional a $g_m \cdot \frac{1}{s \cdot C_C} \cdot (V_+ - V_-)$. No hay ningún problema en identificar esta ganancia con la del amplificador completo pues la etapa de salida no aporta nada en este aspecto.

A altas frecuencias, el modelo del polo dominante predice que la ganancia es proporcional a s^{-1}

ya que el término unidad del denominador es despreciable. Y, en efecto, éste es el resultado que se ha predicho en el párrafo anterior. La frecuencia de ganancia unidad es aquella en la que la ganancia vale 1. Según la fórmula deducida anteriormente, esto ocurre cuando $s = \frac{g_m}{C_C}$ de modo que podemos deducir que, grosso modo, $f_U = \frac{1}{2\pi} \cdot \frac{g_m}{C_C}$.

Con el *slew rate* pasa algo parecido. El origen de este fenómeno es la necesidad de cargar y descargar el condensador C_C al producirse conmutaciones abruptas en la tensión de entrada. En general, este condensador se carga y descarga por medio del par diferencial de entrada, que está polarizado con una fuente de corriente I_Q . Esta fuente impone un límite de tal modo que, si consideramos V_{CG} como la diferencia de tensión entre los extremos del condensador, se cumple que $C_C \cdot \frac{dV_{CG}}{dt} < I_Q$. Sin embargo, esta tensión puede relacionarse con la tensión de salida de modo que, tras un estudio, se acaba concluyendo que $|\frac{dV_{CG}}{dt}| < \frac{I_Q}{C_C}$. Este rápido razonamiento ha conducido al mismo resultado que el que se obtendría con un estudio más cuidadoso y, en general, se toma $\frac{I_Q}{C_C}$ como el valor de *slew rate* del amplificador operacional.

Pueden verse dos cosas importantes: En primer lugar, cuanto mayor sea el condensador, peor es la respuesta en frecuencia del amplificador operacional aunque, por otro lado, se tiene que tener en cuenta que, en ningún caso, se puede prescindir del condensador. Por otra parte, el valor de *slew rate* puede incrementarse aumentando la corriente que polariza el par diferencial de entrada. El problema es que, en caso de utilizar transistores bipolares, aumenta proporcionalmente la corriente de polarización de la entrada del amplificador. Éste es el gran problema de los amplificadores puramente bipolares.

Otro hecho curioso consiste en lo siguiente. Es fácil ver que, en un amplificador operacional cualquiera, la relación entre f_U y SR es:

$$\frac{SR}{f_U} = \frac{I_Q/C_C}{1/2\pi \cdot g_m/C_C} = 2\pi \frac{I_Q}{g_m}$$

Sin embargo, en la mayor parte de los pares diferenciales con carga activa en tecnología bipolar, la transconductancia se puede calcular fácilmente como $\frac{1}{2} \frac{\alpha_F I_Q}{NV_T}$. ¡Ojo!, es importante resaltar que aparece un factor $\frac{1}{2}$ que no aparece en el tema correspondiente al par diferencial. El motivo es sencillo pues solo es una cuestión de notación: En los amplificadores operacionales, se considera que la entrada inversora es el modo común tensión constante y que solo varía la no inversora. Recordemos que ésta era la manera alternativa de definir la tensión diferencial y que se resolvía introduciendo un factor de corrección $\frac{1}{2}$ en los resultados obtenidos al suponer que el modo común era la media aritmética de las entradas.

Y surge, en cualquier caso, una clara dependencia de la tensión de alimentación. La ecuación anterior se transforma en

$$\frac{SR}{f_U} = 2\pi \frac{I_Q}{g_m} = 2\pi \frac{I_Q}{\frac{1}{2} \frac{\alpha_F I_Q}{NV_T}} \simeq 4\pi NV_T$$

que tiene un valor de 0.327 V a temperatura ambiente y con un valor de $N = 1$. Si el par diferencial constara de pares Darlington o CC-CE en lugar de transistores simples, habría que introducir un factor

2 en la ecuación ($4\pi NV_T$). En cualquier caso, ambos parámetros están estrechamente ligados⁴.

Esta expresión no tiene validez en el caso de los transistores de efecto campo. En ellos, la transconductancia es proporcional a $\sqrt{I_Q}$ por lo que no se produce la cancelación y no hay un factor de proporcionalidad constante.

7.4.7. Parámetros relacionados con la salida

Para terminar, es necesario explicar algunos parámetros de interés relacionados con la tensión de salida. En primer lugar, recordemos que existe un parámetro, llamado “*resistencia de salida*”, que se usa para determinar el comportamiento en frecuencia del dispositivo. Es un parámetro AC, y no DC, por lo que no tiene nada que ver con la máxima corriente que puede proporcionar un amplificador, que se llama “*corriente en cortocircuito*”. Hasta alcanzar ese valor límite, el amplificador operacional funciona con total normalidad.

Otro parámetro es el “*desplazamiento de la tensión de saturación*”. Idealmente, se suele decir que la tensión de salida de un amplificador operacional en saturación es $\pm V_{CC}$. En realidad, esto no es así por motivos diversos. Por ejemplo, en una etapa de salida clase AB mejorada, el transistor PNP debe estar en zona activa directa. Esto significa que la tensión de salida debe ser, al menos, 0.2 V mayor que la tensión de alimentación negativa.

7.5. Comparadores

7.5.1. Nociones generales

La familia de los comparadores de tensión es la más próxima a la de los amplificadores operacionales. Son tan parecidos que, en algunos casos, se pueden utilizar amplificadores operacionales como comparadores aunque esta práctica no es recomendable. Los comparadores típicos están mejor preparados que los amplificadores operacionales para completar su objetivo básico: Decidir qué tensión de entrada es mayor y seguir con rapidez a ésta a medida que las dos tensiones de entrada se intercambian los papeles.

Un aspecto que tienen en común los amplificadores operacionales y los comparadores es la presencia de un par diferencial como etapa de entrada seguido por una etapa de ganancia. Ahora, veamos las diferencias existentes entre ambos tipos de circuito:

1. El amplificador operacional trabaja en zona lineal. El comparador en saturación. Y ambos están optimizados para esto.
2. El amplificador operacional necesita ser estable con realimentación negativa. El comparador, rápido y no requiere realimentación. Por ello, el comparador carece de la capacidad interna

⁴En el $\mu A741A$, el *slew rate* es 0.25 V/ μs y f_U es 0.7 MHz, en el OP27, 1.7 V/ μs y 5 MHz, en el OP07, 0.2 V/ μs y 0.6 MHz, etc.

que está presente en todos los amplificadores operacionales y que, por cierto, introduce una seria limitación en el comportamiento en frecuencia.

3. La salida de un comparador es digital y con dos niveles lógicos “0” y “1”, que pueden ser, p. e., 0 V y 5 V. En algunos casos, el comparador puede disponer de salida doble, la original y su complementaria. En cambio, la de un amplificador operacional es única⁵, continua y adquiere cualquier valor entre $-V_{CC}$ y $+V_{CC}$.
4. Un amplificador operacional tiene una o dos alimentaciones, si su salida es unipolar o bipolar. El comparador, hasta 4: Dos para la parte analógica ($+V_{CC}$ y $-V_{CC}$) y dos para la lógica, p. e. 0 V y $+V_L$.
5. Un comparador suele atacar elementos con alta impedancia de entrada. Esto implica que no sea necesaria una eficiente etapa de salida clase AB. En muchos caso, su etapa de salida puede reducirse a un simple transistor con el colector/drenador abierto.
6. En un comparador, la relación entrada-salida de Fig. 7.1 puede presentar un ciclo de histéresis (Fig. 7.16a).

A semejanza de los amplificadores operacionales, los comparadores pueden presentar una tensión de *offset* que, en algunos casos, se puede eliminar mediante capacidades conmutadas. Asimismo, interesa que tengan una ganancia diferencial elevadísima para evitar que aparezcan niveles de tensión distintos de los niveles lógicos de salida. Por otra parte, no se debe hablar de frecuencia de ganancia unidad ni de *slew rate*. Al contrario, solo hay que utilizar como parámetro el tiempo de establecimiento, definido como tantos otros parámetros lógicos temporales.

7.5.2. Comparadores regenerativos

A veces, el uso de los comparadores presenta un problema serio. En ocasiones, la señal de entrada es muy ruidosa de modo que, si su valor es muy próximo al de la señal de referencia, se pueden producir muchos falsos positivos debidos al ruido. Para evitarlos, es deseable utilizar algún tipo de mecanismo que discrimine los positivos reales de los debidos al ruido. Un método consiste en el uso de “*comparadores regenerativos*”, que presentan ciclo de histéresis (Fig. 7.16a). En algunos comparadores, este ciclo de histéresis es intrínseco al tener realimentación positiva en su interior. Sin embargo, es sencillo construir un comparador regenerativo con un comparador simple y un par de resistencias utilizando la conocida “báscula de Schmitt”, que se muestra en Fig. 7.16b.

Supongamos que la entrada no inversora del comparador se conecta a la señal de entrada y la negativa a una señal de referencia constante. En estos comparadores, la transición de salida BAJA a ALTA no se produce cuando la señal de entrada rebasa la señal de referencia sino cuando la supera por un determinado umbral V_{THP} (p. e., 10-100 mV). Análogamente, la transición de salida ALTA a BAJA no se lleva a cabo cuando la señal de entrada es igual a la de referencia sino cuando rebasa

⁵Aunque, en la actualidad, algunos amplificadores operacionales tienen salida diferencial.

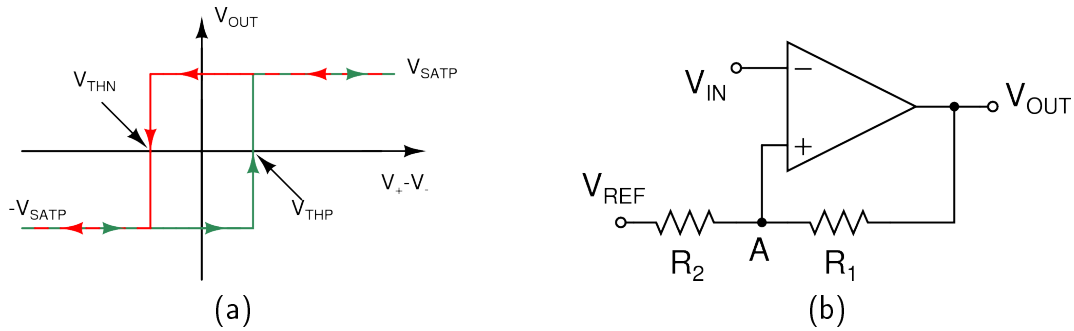


Figura 7.16: Relación entrada-salida en un comparador regenerativo (a). Implementación práctica como “báscula de Schmitt”.

un umbral negativo, V_{THN} . En el caso de que $V_{THP} = V_{THN} = 0$, el comparador regenerativo se convertiría en un comparador normal.

Un comparador regenerativo muy sencillo de construir es aquel conocido como “báscula de Schmitt” (Fig. 7.16b). Utiliza dos resistencias, opcionalmente una fuente de referencia y un amplificador operacional o comparador realimentado positivamente. La estructura anterior funciona de la siguiente manera. Supongamos que la entrada V_{IN} es “muy” negativa. Por ejemplo, su valor es igual al menor valor del rango de entrada. En estas circunstancias, la salida del amplificador es ALTA e igual a V_{SATP} . La tensión que existe en el nodo A sería:

$$V_A = \frac{R_1 V_{REF} + R_2 V_{SATP}}{R_1 + R_2}$$

En definitiva, si la entrada del comparador crece, solo se producirá el cambio de estado cuando se alcance esta tensión por lo que podemos identificar este valor con V_{THP} del comparador regenerativo ideal:

$$V_{THP} = \frac{R_1 V_{REF} + R_2 V_{SATP}}{R_1 + R_2}$$

Supongamos ahora que se ha producido la transición y el comparador pasa a salida BAJA. En estas circunstancias, la tensión del nodo A se convertiría en:

$$V_A = \frac{R_1 V_{REF} - R_2 V_{SATN}}{R_1 + R_2}$$

Si la entrada del comparador comenzara a disminuir, solo se produciría el salto de salida BAJA a ALTA cuando $V_{IN} < V_A$. Por tanto, podemos definir este valor como V_{THN} :

$$V_{THN} = \frac{R_1 V_{REF} - R_2 V_{SATN}}{R_1 + R_2}$$

El punto nominal de transición, V_{TH} , sería el valor intermedio entre V_{THP} y V_{THN} siendo la anchura del ciclo de histéresis, ΔV_{TH} , la diferencia entre ambos valores:

$$V_{TH} = \frac{R_1}{R_1 + R_2} \cdot V_{REF} + \frac{1}{2} \cdot \frac{R_2}{R_1 + R_2} \cdot (V_{SATP} - V_{SATN})$$

$$\Delta V_{TH} = \frac{R_2}{R_1 + R_2} \cdot (V_{SATP} + V_{SATN})$$

Como vemos, la relación entre los valores de R_1 y R_2 permite definir la anchura del ciclo de histéresis en tanto que la adición de una tensión de referencia permite desplazar el punto de transición. En muchos casos, esta fuente de tensión se elude y el nodo se conecta directamente a tierra haciendo $V_{REF} = 0$.

En general, es posible construir una báscula de Schmitt sin un amplificador operacional pues solo se requiere el uso de un amplificador diferencial. Así, un par diferencial puede ser más que suficiente para construir el comparador.

Capítulo 8

APLICACIONES NO LINEALES DE LOS AMPLIFICADORES OPERACIONALES

8.1. Circuitos rectificadores de precisión

Una de las aplicaciones no lineales más inmediatas de los amplificadores operacionales es la rectificación precisa de señales alternas. En otras palabras, la obtención eficiente del valor absoluto de una señal positiva y negativa.

8.1.1. Circuitos rectificadores sencillos con diodos

Un circuito muy sencillo que permite obtener la parte positiva de una señal alterna es aquél que utiliza una resistencia y un diodo (Fig. 8.1). Este circuito mantiene la parte positiva de la señal y rechaza la negativa, siendo llamado por ello “*rectificador de media onda*”. En caso de que el diodo fuera ideal y no se produjeran caídas de tensión en él ni existieran corrientes de fuga, la tensión en el nodo de salida sería:

$$\begin{cases} V_{IN} & \text{si } V_{IN} > 0 \\ 0 & \text{si } V_{IN} < 0 \end{cases} \quad (8.1)$$

Sin embargo, en la realidad se produce una pequeña caída de tensión en el diodo, llamada tensión de codo, V_γ , y existe una pequeña corriente de fuga, más o menos equivalente a la corriente de saturación inversa, I_S . En primera aproximación, se puede deducir que:

$$\begin{cases} V_{IN} - V_\gamma & \text{si } V_{IN} > 0 \\ -I_S \cdot R_L & \text{si } V_{IN} < 0 \end{cases} \quad (8.2)$$

Siendo R_L la resistencia de Fig. 8.1. Con mayor precisión aún, la tensión de salida sería la solución

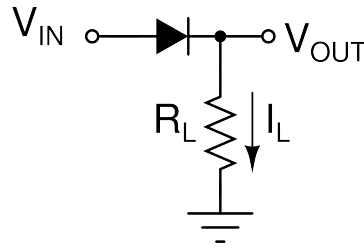


Figura 8.1: Rectificador sencillo con un único diodo.

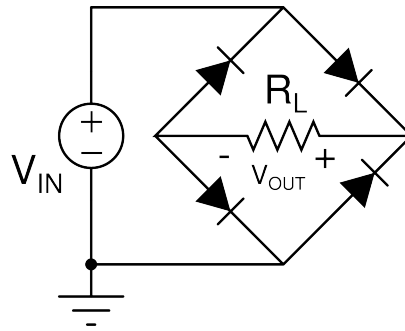


Figura 8.2: Puente de diodos.

de la ecuación no lineal:

$$\frac{V_{OUT}}{R_L} = I_S \cdot \left[\exp \left(\frac{V_{IN} - V_{OUT}}{N \cdot V_T} \right) - 1 \right] \quad (8.3)$$

Siendo N el coeficiente de idealidad del diodo. En caso de que deseáramos rectificar ambas partes de la señal deberíamos utilizar un “rectificador de onda completa”, siendo el más sencillo el “puente de diodos” (Fig. 8.2). En esta estructura, la salida sería $V_{IN} - 2 \cdot V_\gamma$ si $V_{IN} > 2 \cdot V_\gamma$ y $-V_{IN} - 2 \cdot V_\gamma$ si $V_{IN} < -2 \cdot V_\gamma$. Lamentablemente, aparece una zona muerta no rectificable situada en el intervalo $-2 \cdot V_\gamma < V_{IN} < 2 \cdot V_\gamma$ en el que la tensión de salida es, aproximadamente, 0 V. Dado que el valor de V_γ es del orden de 0.6-0.8 V, se comprende que estos circuitos solo tienen utilidad cuando se aplican señales de amplitud mucho mayores que este parámetro (p.e., conversión AC/DC utilizando la red eléctrica general de 220 V) o bien en aplicaciones en las que no importa excesivamente la pérdida de calidad de la señal.

8.1.2. Rectificador de media onda de precisión o “Superdiodo”

Un rectificador de media onda de precisión es el mostrado en Fig. 8.3. El estudio de este circuito es sencillo. Imaginemos que la tensión aplicada en la entrada es positiva. En ese caso, si la realimentación funciona correctamente, la salida del circuito, que es la entrada inversora, V_{INV} , se encontraría a la misma tensión, V_{IN} . Como la tensión es positiva, la corriente fluye a través de la resistencia tras haber recorrido el diodo.

Imaginemos ahora que la tensión aplicada fuera negativa. En este caso, si el amplificador estuviera en zona lineal, la tensión V_{OUT} sería negativa y la corriente tendría que entrar en la salida del

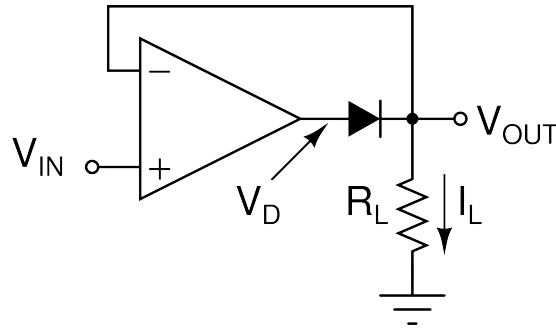


Figura 8.3: Rectificador de precisión de media onda o “superdiodo”.

amplificador, que actuaría como un sumidero de corriente. Sin embargo, el diodo bloquearía el paso de esta corriente. ¿Cuál es entonces la solución? Puesto que el diodo no está en conducción ya que se llega a un absurdo, supondremos que está cortado. Sería entonces equivalente a un abierto y, al carecer de camino de realimentación, el amplificador estaría en saturación. En estas circunstancias, apenas habría caída de tensión entre los extremos de la resistencia, R_L , debida simplemente a la corriente de fuga I_S , y se cumpliría que $V_{OUT} = V_{INV} = -I_S \cdot R_L$. Como $V_{NINV} < 0$, siendo $NINV$ la entrada no inversora del amplificador, éste iría a saturación negativa haciendo $V_D \approx -V_{SAT}$. Estas circunstancias son coherentes pues implicarían que el diodo está cortado, como se había supuesto al principio.

¿Cómo se puede ver de una manera más rigurosa? Aceptando que la corriente I_L es la que atraviesa el diodo y que llega directamente a la resistencia independientemente de la tensión aplicada, puede demostrarse que:

$$I_L = \frac{V_{OUT}}{R_L} = I_S \cdot \left[\exp \left(\frac{V_{IN} - V_{OUT}}{N \cdot V_T} \right) - 1 \right] = I_D \quad (8.4)$$

Pero V_D puede calcularse a partir de la ganancia de un amplificador operacional, A :

$$\frac{V_{OUT}}{R_L} = I_S \cdot \left[\exp \left(\frac{A \cdot (V_{IN} - V_{OUT}) - V_{OUT}}{N \cdot V_T} \right) - 1 \right] \cong I_S \cdot \left[\exp \left(\frac{V_{IN} - V_{OUT}}{A^{-1} \cdot N \cdot V_T} \right) - 1 \right] \quad (8.5)$$

Fijémonos que esta ecuación es similar a Eq. 8.3 salvo por el factor A^{-1} . La consecuencia física de aquella ecuación era la aparición de una tensión de codo, V_γ , que se puede suponer proporcional a $N \cdot V_T$. Dado que la ecuación del circuito rectificador es equivalente salvo el factor de proporcionalidad, podemos deducir que el circuito rectificador de media onda equivale a un diodo con tensión de codo V_γ/A . Como A es enorme, esta tensión de codo será del orden de unos cuantos microvoltios. Por este motivo, la estructura anterior es conocida popularmente como “Superdiodo”.

¿Qué ocurriría si invirtiéramos los terminales del diodo? Simplemente, la corriente entraría en el diodo si $V_{IN} < 0$ y no entraría en caso contrario. En este caso, se rechazaría la parte positiva de la señal y se mantendría la negativa, que no cambiaría de signo.

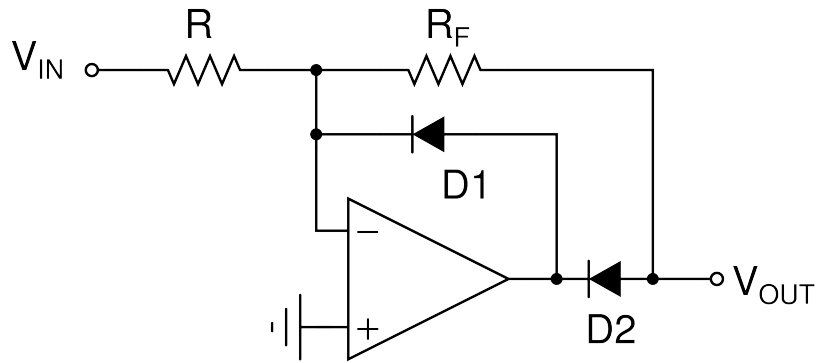


Figura 8.4: Rectificador de precisión de media onda avanzado.

8.1.3. Rectificador de precisión de media onda con resistencias de realimentación

El superdiodo presenta dos problemas a la hora de utilizarlo. En primer lugar, necesita estar conectado a una resistencia de carga para permitir el paso de corriente necesaria para activar el diodo. En segundo lugar, el amplificador operacional pasa de zona lineal a saturación al cambiar el signo de la señal por lo que, en general, su respuesta es bastante lenta. Por otra parte, la señal permanece tal cual, sin amplificarse ni atenuarse.

Por ello, existen otras estructuras que utilizan varios diodos y resistencias para impedir que el amplificador operacional abandone la zona lineal. Una estructura típica es el rectificador inversor de media onda con salida negativa (Fig. 8.4).

El estudio de esta estructura es sencillo. En primer lugar, debe suponerse que la entrada V_{IN} es bien positiva, bien negativa. A continuación, deberían estudiarse las cuatro posibles combinaciones de estado de $D1$ y $D2$ llegando a las conclusiones siguientes.

Si la entrada V_{IN} es negativa, es fácilmente demostrable que el único estado coherente es aquél en el que el diodo $D1$ se activa y $D2$ se desactiva. Toda la corriente que necesite V_{IN} es proporcionada por el diodo $D1$ de tal modo que nada circula por R_F haciendo que la salida del sistema sea 0 V pues R_F está conectado a la tierra virtual.

Si la entrada fuera positiva, $D1$ se desactivaría y $D2$ se activaría. El bucle de realimentación se cerraría a través de las resistencias haciendo que $V_{OUT} = -\frac{R_F}{R} \cdot V_{IN}$. Como V_{IN} es positiva, la salida sería negativa. Lógicamente, si hacemos $R_F = R$, se consigue una rectificación perfecta, aunque con signo negativo ($V_{OUT} \cong -|V_{IN}|$).

La tensión de codo de esta estructura sería del orden de V_{γ}/A permitiendo una rectificación precisa y, por otro lado, dado que el amplificador operacional nunca abandona la zona lineal, la frecuencia máxima de trabajo aumentaría. Así, la frecuencia de trabajo estaría limitada ahora por las capacidades de los diodos y por las propiedades del amplificador operacional en zona lineal (Producto ganancia-ancho de banda y *slew rate*). Finalmente, si invertimos el sentido de ambos diodos, se rectificará la parte negativa de la señal.

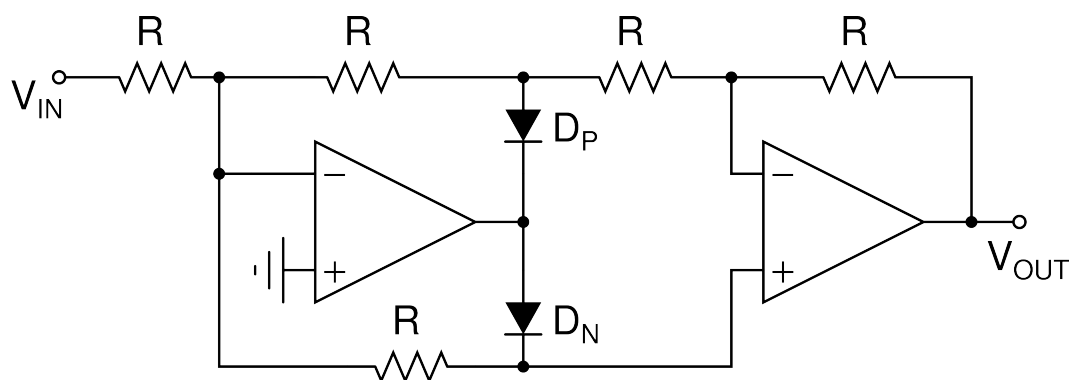


Figura 8.5: Rectificador de precisión de onda completa.

8.1.4. Rectificador de onda completa o circuitos de valor absoluto

Una manera sencilla de obtener estos circuitos sería construir un circuito que rectifique la parte positiva, otro la negativa y, finalmente, sumarlos con un tercer amplificador operacional. Sin embargo, existen soluciones con menor número de diodos, de resistencias y de amplificadores operacionales. Un ejemplo de ello es el circuito de Fig. 8.5.

Este circuito consta de un restador y de otra estructura llamada “*Separador de polaridad de señal*”. Puede demostrarse que D_P está activo y D_N cortado si la entrada es positiva y viceversa si es negativa. En estas circunstancias, la salida es el valor absoluto de la entrada. Existen otras configuraciones que permiten realizar estos dispositivos y se remite al estudiante a textos especializados para conocerlos.

Finalmente, debe reseñarse que existe un método alternativo basado en multiplexores y comparadores. Fig. 8.6 muestra un ejemplo general. El comparador determina el signo de la señal y selecciona el canal apropiado, que es transferido a la salida. De este modo, si la salida es positiva, se selecciona el canal 1 del multiplexor, que es la entrada tal cual, y si es negativa, se selecciona el canal 0, que es la entrada invertida. De este modo, a la salida siempre llega el valor absoluto de la señal. Esta estructura es utilizada por algunos rectificadores de precisión integrados, como el dispositivo AD630, fabricado por Analog Devices.

8.2. Amplificadores logarítmicos y exponenciales

La combinación de diodos y amplificadores operacionales no solo permite realizar una rectificación precisa de señales alternas sino que facilita la realización de operaciones matemáticas más complejas como son el logaritmo y la exponenciación. Además, la posibilidad de disponer de estas dos funciones es un paso clave para realizar otras operaciones aritméticas como la multiplicación, división, potencias y raíces.

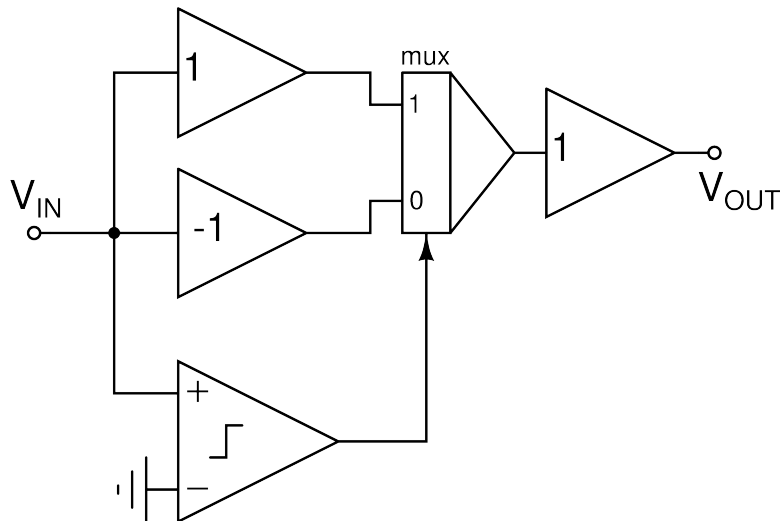


Figura 8.6: Rectificador de precisión de onda completa basado en multiplexores.

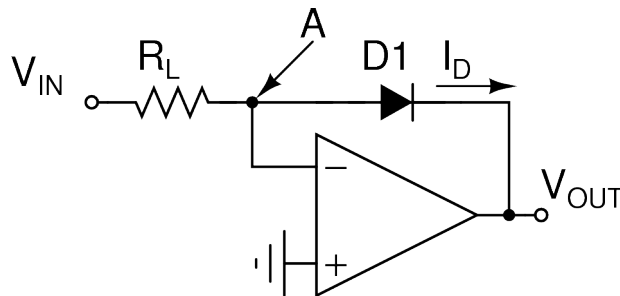


Figura 8.7: Amplificador logarítmico para entrada positiva.

8.2.1. Amplificadores logarítmicos sencillos

Los circuitos logarítmicos más sencillos que existen son similares al mostrado en Fig. 8.7. Puede verse que, para estabilizar el circuito, la realimentación se realiza a través del terminal inversor ya que, en el fondo, un diodo no es sino una resistencia fuertemente no lineal. Dado que la impedancia de entrada del amplificador es infinita, toda la corriente que atraviesa la resistencia se deriva hacia el diodo. Por tanto:

$$I_D = \frac{V_{IN} - V_A}{R} = I_S \cdot \left[\exp \left(\frac{V_A - V_{OUT}}{N \cdot V_T} \right) - 1 \right] \quad (8.6)$$

Siendo I_S y N parámetros característicos del diodo. Ocurre que el nudo A es una tierra virtual por lo que $V_A = 0$ y que, en general, el diodo estará polarizado en directa por lo que la anterior ecuación se transformará en:

$$\frac{V_{IN}}{R_L} = I_S \cdot \exp \left(-\frac{V_{OUT}}{N \cdot V_T} \right) \Rightarrow V_{OUT} = -N \cdot V_T \cdot \ln \left(\frac{V_{IN}}{R_L \cdot I_S} \right) \quad (8.7)$$

Así, hemos conseguido que la salida sea proporcional al logaritmo de la entrada. El rango de valores de la entrada está limitado por varios factores. En primer lugar, se supone que el diodo debe estar polarizado en directa. Para ello, es necesario que $V_{IN} > 0$. Si quisiéramos realizar el logaritmo

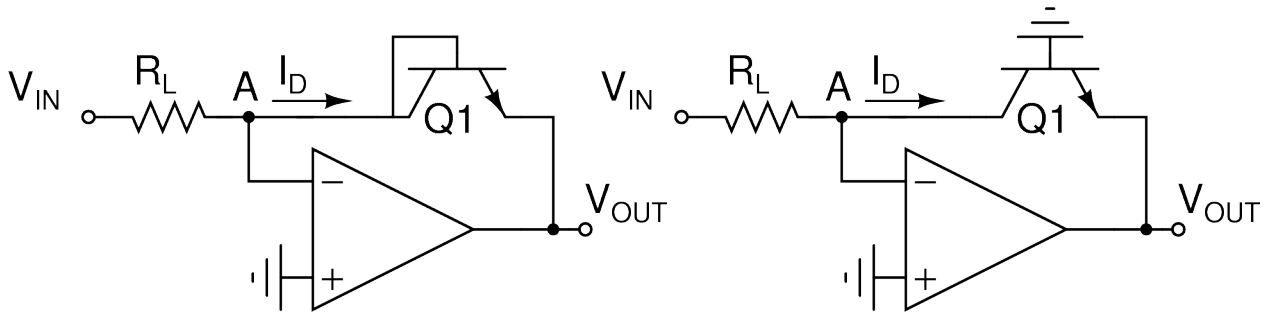


Figura 8.8: Amplificador logarítmico basados en transistor bipolar.

neperiano de valores negativos, deberíamos invertir el diodo $D1$ de Fig. 8.7 consiguiendo así que:

$$V_{OUT} = N \cdot V_T \cdot \ln \left(-\frac{V_{IN}}{R_L \cdot I_S} \right) \quad (8.8)$$

Otras limitaciones son más importantes. En realidad, la corriente que atraviesa un diodo en directa es la suma de dos factores exponenciales, uno asociado a las corrientes de difusión y que ha sido utilizado en el cálculo anterior, y otro asociado a las corrientes de generación-recombinación. Por ello, para minimizar este efecto hay que recurrir a diversas alternativas. Una de ellas consiste en utilizar diodos Schottky o de germanio, cuyo comportamiento es prácticamente ideal en comparación con los de silicio. Sin embargo, esta opción no es factible en muchos casos como, por ejemplo, en el diseño de circuitos integrados. En estas circunstancias, la solución que se plantea es utilizar un transistor en lugar de un diodo. Fig. 8.8 muestra dos posibles configuraciones.

Al polarizar los transistores de esta manera se comportan como diodos con una ventaja sobre la unión PN sencilla como podría ser la unión BE. Al intervenir la corriente de colector, la componente de difusión de la corriente I_B se ve amplificada por un factor igual a β_F o, lo que es lo mismo, el diodo equivalente sería similar a la unión BE tras haber disminuido un factor β_F las corrientes de generación-recombinación. Así, se construye un falso diodo mucho más cercano a la idealidad. Lógicamente, es posible utilizar transistores PNP en cualquiera de los esquemas anteriores.

8.2.2. Amplificadores exponenciales sencillos

Una vez conocidos los circuitos logarítmicos, la creación de circuitos exponenciales o antilogarítmicos no ofrece mayor dificultad pues basta con intercambiar la posición de la resistencia y el diodo (Fig. 8.9). Debe remarcarse que la realimentación se realiza a través del terminal inversor para que la configuración sea estable. En esta estructura, se concluiría que:

$$V_{OUT} = -R_L \cdot I_S \cdot \exp \left(\frac{V_{IN}}{N \cdot V_T} \right) \quad (8.9)$$

El valor de la tensión de entrada debe ser positivo para despreciar el efecto de las corrientes de fuga y obtener la forma exponencial. Para compensar los efectos de las corrientes de generación-recombinación, siempre es posible utilizar transistores. Si estos fueran NPNs, algunos circuitos ex-

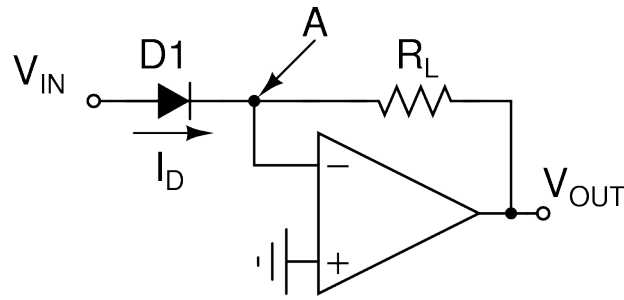


Figura 8.9: Amplificador exponencial para entrada positiva.

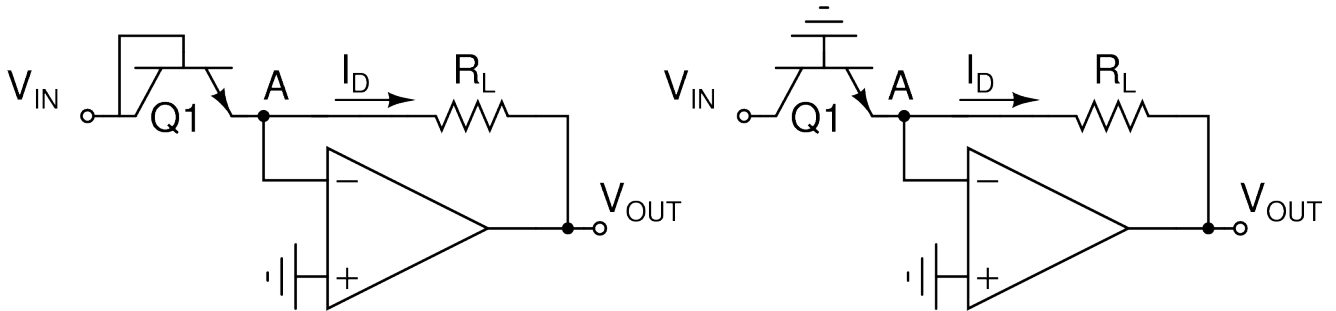


Figura 8.10: Amplificador exponencial para entrada positiva basados en transistores bipolares.

ponenciadores serían los mostrados en Fig. 8.10.

8.2.3. Otras limitaciones de los circuitos logarítmicos y exponenciales

Los circuitos anteriores tienen algunas limitaciones importantes. Una de ellas es la existencia de no idealidades en el amplificador como, por ejemplo, la tensión de *offset* y las corrientes de polarización de las entradas que afectan a la salida. Así, por ejemplo, puede demostrarse que la salida de un circuito logarítmico con entrada estrictamente positiva es:

$$V_{OUT} = V_{OS} - N \cdot V_T \cdot \ln \left(-\frac{V_{IN} - V_{OS} + R_L \cdot I_{B-}}{R \cdot I_S} \right) \quad (8.10)$$

Siendo V_{OS} la tensión de *offset* de entrada e I_{B-} la corriente de polarización de la entrada del amplificador operacional. Sin embargo, estos problemas carecen de importancia en comparación con el efecto de la temperatura. Los parámetros de un diodo son fuertemente dependientes de la temperatura. Por ejemplo, la corriente de saturación inversa de un diodo, I_S , debida a las corrientes de difusión, depende de la temperatura de la siguiente manera:

$$\frac{I_S(T)}{I_S(T_0)} = \exp \left[\left(\frac{T}{T_0} - 1 \right) \cdot \frac{E_G}{N \cdot k_B \cdot T} \right] \cdot \left(\frac{T}{T_0} \right)^{XTI/N} \quad (8.11)$$

La mayor parte de los parámetros son ya conocidos siendo T_0 la temperatura de referencia, E_G el valor de la banda prohibida del semiconductor (1.12 eV en silicio), k_B la constante de Boltzmann y XTI un parámetro específico de cada diodo que, en caso de una unión abrupta, se iguala a 3.

Una consecuencia de ello es que la corriente de saturación inversa se dobla cada 10 °C. Teniendo

en cuenta que la temperatura afecta a otros parámetros, es de entender la dificultad que existe para minimizar los efectos de la temperatura y hacer los dispositivos fiables. Afortunadamente, existen configuraciones algo más sofisticadas que las mostradas en estos apuntes que minimizan los efectos de la temperatura de tal modo que se encuentran amplificadores comerciales de ambos tipos. Para más información sobre las técnicas, consultar el capítulo 8 de Peyton & Walsh.

8.2.4. Implementación de multiplicadores, divisores y otras operaciones con amplificadores logarítmicos/antilogarítmicos

Una vez resuelto el problema del logaritmo y la exponenciación, la realización de algunas operaciones aritméticas se convierte en algo muy sencillo de realizar (al menos sobre el papel). Imaginemos que deseamos realizar la siguiente operación de forma general:

$$V_{OUT} = \frac{V_X^m \cdot V_Y^n}{V_Z^p}$$

Reescribámosla de la siguiente manera:

$$V_{OUT} = \exp [m \cdot \ln (V_X) + n \cdot \ln (V_Y) - p \cdot \ln (V_Z)]$$

Ambas expresiones son iguales pero ésta última es implementable mediante amplificadores operacionales. En primer lugar, se debe realizar el logaritmo de cada una de las entradas, multiplicarlas por el factor de proporcionalidad, sumarlas y obtener el exponencial de la suma. Evidentemente, hay que corregir los términos dependientes de la corriente de saturación inversa, de las resistencias, etc. Por otra parte, quizás no sea una opción económica ya que se necesitarían muchos amplificadores. Sin embargo, es posible afinar el diseño eliminando bloques si escogemos apropiadamente las configuraciones del sumador/restador y las resistencias. Finalmente, debe tenerse en cuenta que las entradas del multiplicador no pueden cambiar de signo ya que heredan esta desventaja de los amplificadores logarítmicos y exponenciales.

8.3. Operaciones aritméticas con transistores

Como se ha visto en los apartados anteriores, los transistores bipolares pueden combinarse con los amplificadores operacionales para realizar algunas operaciones aritméticas a través del uso de logaritmos y exponenciales. Sin embargo, esta técnica es delicada y es posible que no dé los frutos deseados. Por ello, se pueden utilizar estrategias alternativas para implementar, de modo efectivo, la multiplicación de tensiones y, a partir de ella, la división, la potenciación y la raíz cuadrada.

En la actualidad, se va imponiendo poco a poco el uso de conversores A/D, D/A y microprocesadores para la implementación no solo de funciones aritméticas simples sino también de funciones muy complicadas (Fig. 8.11). En esta figura, un microprocesador selecciona alternativamente el canal de un multiplexor conectado a un ADC. Así, puede muestrear cada una de las tensiones, pasarlas

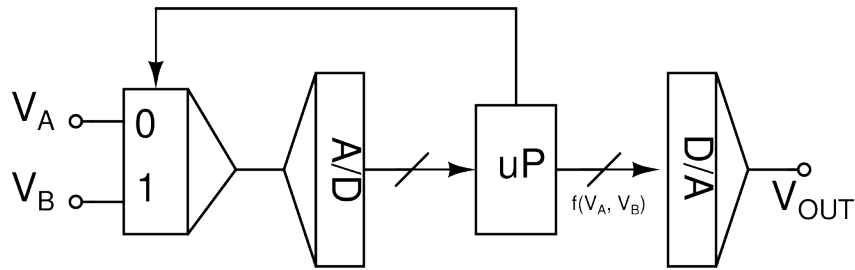


Figura 8.11: Operaciones aritméticas de modo digital.

a binario, recogerlas, operar con ellas y transferirlas a un DAC. Evidentemente, de este modo se podrían implementar funciones como la suma o resta pero sería un desperdicio de recursos materiales. No sería en cambio un problema si, el objetivo fuera, por ejemplo, obtener la media armónica¹ de las tensiones de entrada.

El problema de esta configuración es el coste y, sobre todo, el comportamiento en frecuencia, marcado por la frecuencia de trabajo del microprocesador y por la complejidad de los cálculos que realizar. En aplicaciones con una frecuencia de trabajo suficientemente alta, sí tiene sentido utilizar algunas de las estrategias que se muestran en los apartados siguientes. Asimismo, la señal de salida siempre presentará ruido de cuantización, tanto mayor cuanto menor sea el número de bits empleados en la codificación o la relación entre las entradas de tensión y el valor de la referencia de tensión que todo conversor posee.

8.3.1. Uso de transistores de efecto campo

Los transistores de efecto campo tienen la peculiaridad de que la corriente que los atraviesa es función de la tensión de puerta y de drenador. Estas tensiones se multiplican entre sí de tal modo que los transistores pueden utilizarse para realizar multiplicaciones. En primer lugar, fijémonos en el circuito de Fig. 8.12. Veamos que funciona como un multiplicador siempre que $V_X \ll V_Y$. Si esto es así, el transistor estará en zona lineal por lo que lo atraviesa una corriente:

$$I_D \approx \beta \cdot (V_{GS} - V_P) \cdot V_{DS} = \beta \cdot (V_Y - V_P) \cdot V_X \quad (8.12)$$

Ha sido posible hacer esto ya que la fuente del transistor está conectada a la tierra virtual. Esta corriente es enviada hacia la resistencia R creando una tensión de salida,

$$V_{OUT} = -R \cdot I_D \approx -\beta \cdot R \cdot (V_Y - V_P) \cdot V_X \quad (8.13)$$

En esta expresión, aparece un producto $V_X \cdot V_Y$ que puede aislarse restando en una etapa posterior el término proporcional a $V_X \cdot V_P$. Evidentemente, existen limitaciones en el valor de las tensiones aplicadas. En primer lugar, V_X no puede ser muy alto pues el transistor JFET debe estar en zona lineal. Por otro lado, el transistor es de canal N con lo que la tensión de *pinchoff* debe

¹Recordemos que la media armónica es el inverso de la semisuma de los inversos: $\mu^{-1} = \frac{1}{2} \cdot \left(\frac{1}{A} + \frac{1}{B} \right)$

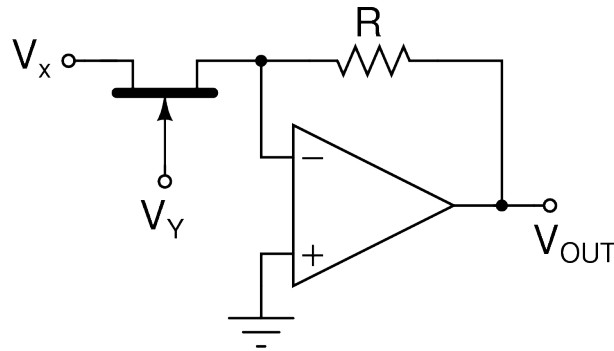


Figura 8.12: Multiplicador con JFET de canal n.

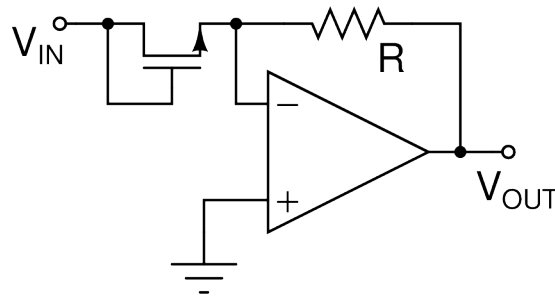


Figura 8.13: Multiplicador con JFET de canal n.

ser forzosamente negativa. En concreto, $V_P = -|V_P| < V_Y < 0$. Así, si deseáramos que V_Y fuera positiva, deberíamos utilizar un transistor JFET de canal P.

Ahora, fijémonos en el circuito de Fig. 8.13. Como ya sabemos de temas anteriores, el transistor NMOS de la figura estará bien en corte, bien en saturación. Como la fuente del transistor está conectada a la tierra virtual, $V_{DS} = V_{GS} = V_{IN}$ por lo que:

$$I_{DS} = \beta \cdot (V_{GS} - V_{TN})^2 = \beta \cdot (V_{IN} - V_{TN})^2 \quad (8.14)$$

De modo que:

$$V_{OUT} = -R \cdot I_{DS} = -R \cdot \beta \cdot (V_{IN} - V_{TN})^2 \quad (8.15)$$

Por tanto, con esta disposición, podemos elevar una tensión desconocida al cuadrado teniendo en cuenta que aparecen términos lineales que deberían ser eliminados. Asimismo, en Fig. 8.13 podríamos haber intercambiado los roles del transistor y la resistencia. En consecuencia:

$$I_{DS} = \frac{V_{IN}}{R} = \beta \cdot (V_{GS} - V_{TN})^2 = \beta \cdot (-V_{OUT} - V_{TN})^2 \Rightarrow V_{OUT} = -V_{TN} - \frac{\sqrt{V_{IN}}}{\sqrt{R \cdot \beta}} \quad (8.16)$$

Obteniendo de manera sencilla la raíz cuadrada de un determinado valor de tensión.

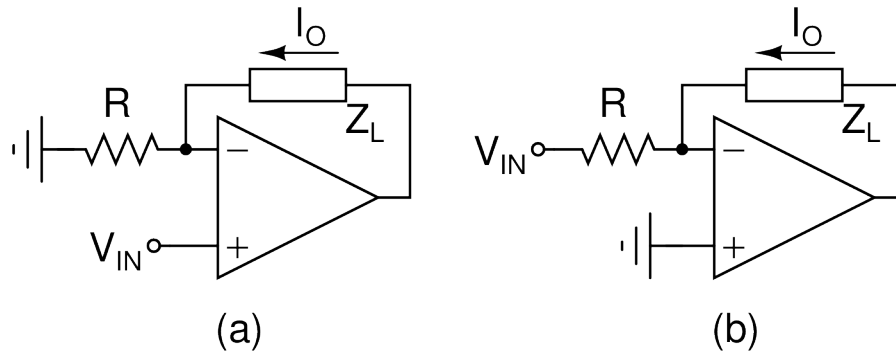


Figura 8.14: Ejemplos de transconductores, que convierten V_{IN} en I_O . Z_L es la carga donde se está aplicando la corriente.

8.3.2. Celdas multiplicadoras con BJT

En primer lugar, recordemos que es posible implementar conversores de tensión a corriente por medio de amplificadores operacionales. Ejemplo de ello son los circuitos mostrados en Fig. 8.14. En ambos circuitos la transconductancia es $g_M = \pm \frac{1}{R}$, dependiendo el signo del sentido que le asignemos a la corriente. El motivo de esta aclaración es que es más sencillo multiplicar corrientes que tensiones.

Una estructura muy popular para multiplicar corrientes es la estructura basada en el par diferencial (Fig. 8.15). En esta estructura, hay un par diferencial que es polarizado por un espejo de corriente polarizado con una fuente de tensión V_A . Recordando la ganancia de un amplificador diferencial:

$$V_O = \frac{\alpha_F \cdot I_Q \cdot R_B}{N \cdot V_T} \cdot (V_{B+} - V_{B-}) = \frac{\alpha_F \cdot R_B}{N \cdot V_T} \cdot \frac{(V_A - V_\gamma)}{R_A} \cdot (V_{B+} - V_{B-}) \quad (8.17)$$

Haciendo $V_{B-} = 0$, se puede transformar la entrada en absoluta. La salida, que se muestra en modo diferencial, se podría transformar en absoluta por medio de un amplificador diferencial o de instrumentación con ganancia 1. Además, podría añadirse circuitos adicionales para restar el término dependiente de $V_\gamma \cdot V_{B+}$ del circuito de la figura. Por otra parte, podrían combinarse Fig. 8.15 con Fig. 8.14 para eliminar la dependencia con este parámetro. Sin embargo, debe tenerse en cuenta que la carga de Fig. 8.14 sería el espejo de corriente. Los emisores del par diferencial deberían cambiar $-V_{EE}$ por una tierra virtual con lo que no sería posible conectar V_{B-} a tierra ya que el modo común de los transistores del par debería ser, al menos, de 0.9 V.

Otra estructura muy popular es la llamada “Celda Gilbert”, que también produce una salida en modo diferencial. Con ella, es posible realizar una multiplicación sea cual sea el signo de las corrientes envueltas en la operación pues, por ejemplo, en Fig. 8.15 V_A debe ser, forzosamente, mayor que 0.

8.3.3. División, potenciación y raíces a base de multiplicadores

Una vez construido un multiplicador, es relativamente sencillo construir dispositivos capaces de realizar la división, potenciación y raíces cuadradas. En algunos casos, es necesario utilizar amplificadores operacionales. Así, si tenemos un circuito cuya salida es proporcional al producto de dos

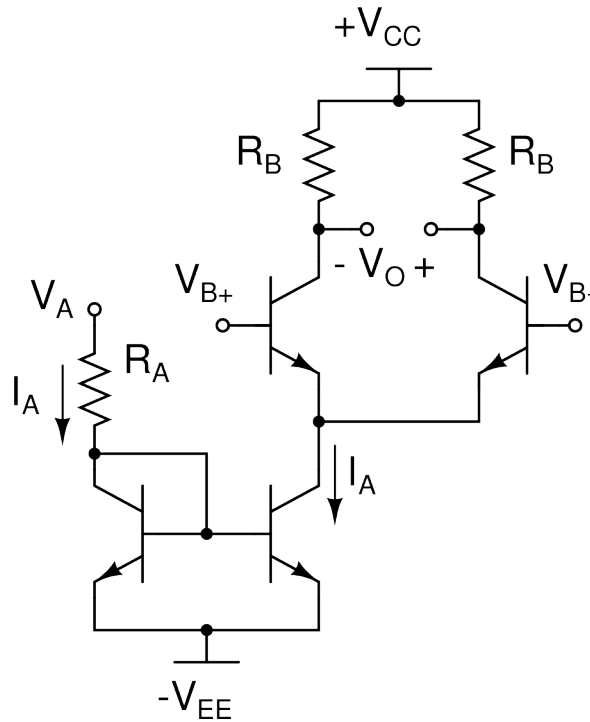


Figura 8.15: Multiplicador basado en el par diferencial.

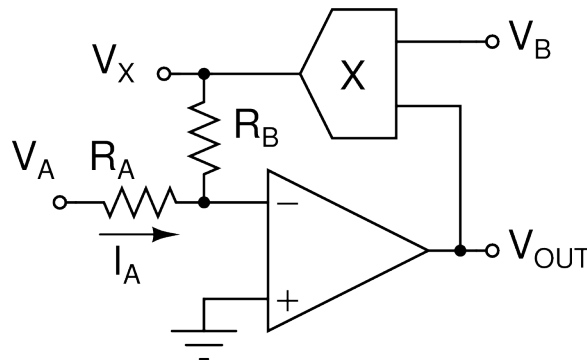


Figura 8.16: Divisor de tensiones con multiplicador. Las entradas son V_A y V_B siendo V_X una tensión interna del circuito.

entradas, $V_{OUT} = k \cdot V_A \cdot V_B$, se pueden implementar las siguientes operaciones.

- **División:** Sea el circuito de Fig. 8.16. Aceptemos que el amplificador operacional está en zona lineal. En este caso, la corriente que fluye a través de R_A es $I_A = \frac{V_A}{R_A}$ por lo que $V_X = -R_B \cdot I_A = -\frac{R_B}{R_A} \cdot V_A$. Por otro lado, se debe verificar que $V_X = k \cdot V_B \cdot V_{OUT}$. Igualando ambos términos, se deduce que $V_{OUT} = -\frac{R_B}{R_A} \cdot k^{-1} \cdot \frac{V_A}{V_B}$.
- **Potenciación:** Se puede ver con facilidad que, si aplicamos la misma tensión a las dos entradas de un multiplicador, la tensión de salida es $V_{OUT} = k \cdot V_A^2$.
- **Raíz cuadrada:** El circuito que permite realizar una raíz cuadrada es extremadamente sencillo ya que basta unir V_B con V_{OUT} en Fig. 8.16. De este modo, se cumpliría que $V_{OUT} =$

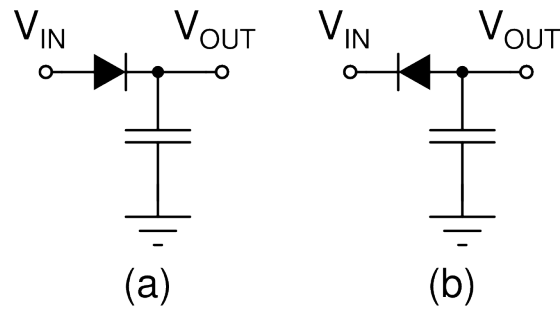


Figura 8.17: Detectores de pico máximo (a) y mínimo (b).

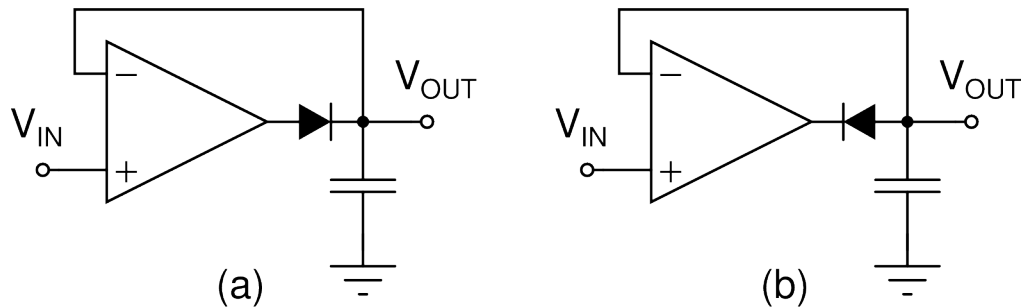


Figura 8.18: Detectores de pico máximo (a) y mínimo (b) basados en el superdiodo.

$-\frac{R_B}{R_A} \cdot k^{-1} \cdot \frac{V_A}{V_B}$, esta ecuación se transformaría en $V_{OUT} = -\frac{R_B}{R_A} \cdot k^{-1} \cdot \frac{V_A}{V_{OUT}}$ y esto llevaría a $V_{OUT} = \sqrt{\frac{R_B}{k \cdot R_A}} \cdot \sqrt{V_A}$.

8.4. Detectores de pico

Otro de los usos típicos de los amplificadores operacionales con diodos y transistores es la detección de picos o máximos de tensión. Es decir, mantener el valor de la tensión más alta alcanzada por una señal variable en el tiempo. Así, Fig. 8.17 muestra un par de ejemplos de circuitos que retienen la tensión en el condensador de tal modo que, si el valor de V_{IN} disminuye en Fig. 8.17a, o aumenta en Fig. 8.17b, el diodo entra en corte y la carga atrapada en el condensador mantiene la tensión máxima.

El problema de esta estructura es que, en realidad, no atrapa el valor de V_{IN} . Debido a la tensión del codo del diodo, la tensión de salida es del orden de 0.7 V (V_γ) menor en Fig. 8.17a, y mayor en Fig. 8.17b. Para evitar este problema, existen estructuras basadas en amplificadores operacionales que resuelven este problema. En principio, las estructuras pueden estar basadas en diodos y transistores MOS.

El detector de pico avanzado basado en diodo consiste, simplemente, en reemplazar los diodos de Fig. 8.17 por superdiodos. Así, se obtendrían las estructuras de Fig. 8.18. Por supuesto, también podría utilizarse cualquier rectificador de precisión de media onda, como el descrito en el apartado 8.1.3. Cada estructura heredará las ventajas e inconvenientes de su subcircuito generador.

Sin embargo, una solución alternativa consiste en emplear un transistor MOS como llave. Fijé-

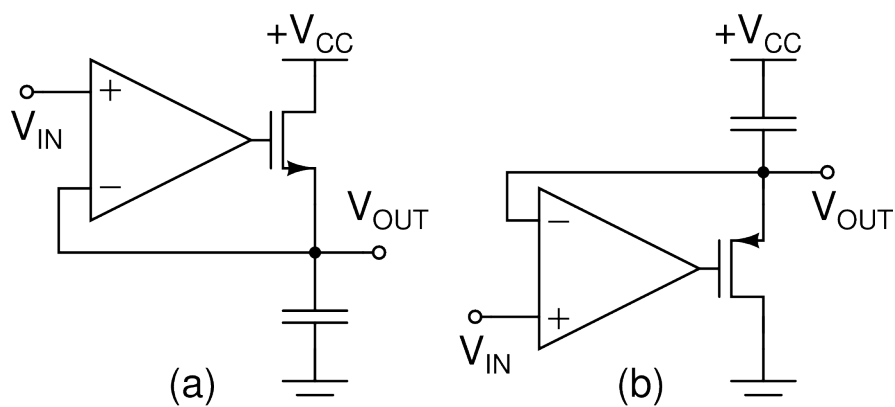


Figura 8.19: Detectores de pico máximo (a) y mínimo (b) basados en el un transistor MOS.

monos en Fig. 8.19a. En caso de que V_{IN} sufra un descenso tras alcanzar el máximo y dado que V_- está fijada por el condensador, se producirá un paso a saturación negativa que cierra el NMOS, dejando la salida a una tensión constante de manera definida. Solo cuando V_{IN} vuelve a rebasar el valor almacenado, el amplificador puede volver a zona directa, haciendo que $V_{OPAMP} \approx V_{IN} + V_{TH}$, siendo V_{OPAMP} la tensión de salida del amplificador operacional. En caso de que se desee buscar un mínimo, se debe utilizar el circuito de Fig. 8.19b.

Esta estructura tiene el inconveniente de que puede ser algo lenta debido al paso del amplificador a saturación. Sin embargo, tiene la ventaja de que puede construirse fácilmente en tecnología CMOS. Más aún, el amplificador operacional podría ser, simplemente, un par diferencial CMOS.

¿Podrían utilizarse transistores BJT en lugar de los MOS? La respuesta es sí aunque no tendría mucho sentido hacerlo. En el fondo, la unión BE de estos transistores estaría funcionando como un diodo con lo que toda la estructura sería equivalente a las de Fig. 8.18.

8.5. Transistores como etapas de salida de amplificadores operacionales

Los amplificadores operacionales discretos tienen, en general, un límite en la corriente máxima del orden de varias decenas de miliamperio. Sin embargo, en caso de que sea necesario aumentar el valor de la corriente de salida, se puede recurrir a una de estas dos estrategias. En primer lugar, podría reemplazarse el amplificador operacional normal por uno de alta potencia, capaz de proporcionar/absorber corrientes de varios amperios aunque, en general, pueden resultar bastante caros. En segundo lugar, puede incluirse algún transistor de potencia en el camino de realimentación del amplificador operacional discreto. Es necesario recordar que este transistor podría ser también un par Dalington.

Fig. 8.20 muestra dos ejemplos de como aumentar la corriente de salida de un amplificador operacional discreto. Estudiemos el caso del NPN. En primer lugar, se puede comprobar que el amplificador operacional está en zona lineal y que el NPN en zona activa directa siempre y cuando

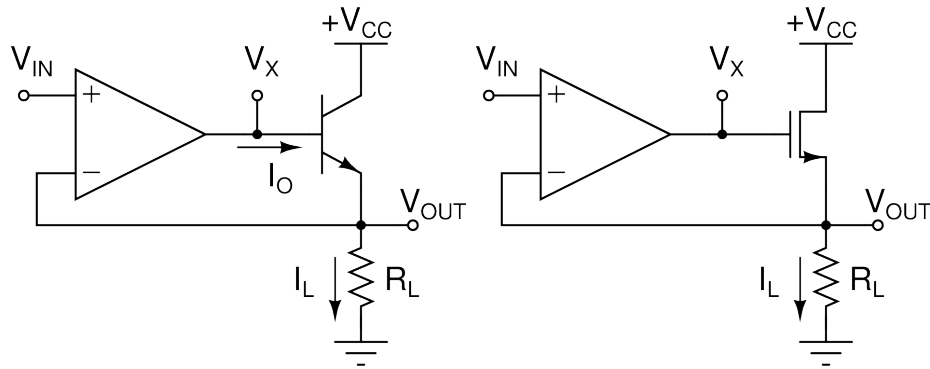


Figura 8.20: Aumento de corriente de salida en un op amp con transistores NPN y NMOS de potencia.

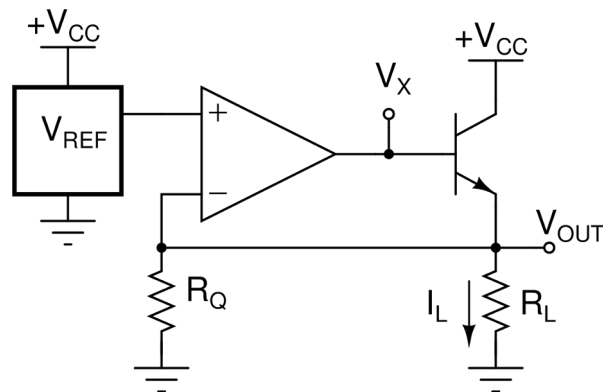


Figura 8.21: Construcción de un regulador con una referencia de tensión, un amplificador operacional y un transistor de potencia. Se añade una resistencia R_Q , de valor muy alto, para hacer que el transistor esté siempre en ZAD incluso sin conectar una carga. De este modo, $V_{OUT} = V_{REF}$ y se pueden colocar resistencias muy bajas en la salida.

V_{IN} no se aproxime a V_{CC} . En estas circunstancias, se cumpliría que $V_{OUT} = V_- = V_{IN}$ y $V_X = V_{OUT} + V_\gamma = V_{IN} + V_\gamma$. En el caso de que el amplificador operacional pudiera proporcionar una corriente máxima de valor $I_{O,MAX}$, la corriente que se proporcionaría a la carga sería $I_{L,MAX} = h_{FE} \cdot I_{O,MAX}$.

El inconveniente de esta estructura es que, si $V_{IN} < 0$, I_L tendría que entrar en el amplificador pero, lamentablemente, se toparía con una unión PN en inversa. Por tanto, esta estructura solo podría proporcionar corriente y no absorberla. En el fondo, el sistema aumentaría la corriente de salida a costa de comportarse como un rectificador. Por ello, esta solución suele utilizarse en reguladores de tensión (Fig. 8.21). Para solventar este problema, se podría añadir un transistor PNP de potencia que complementara el transistor NPN. Así, se crearía una nueva etapa de salida como las mostradas en los temas anteriores. Recordemos, sin embargo, que esta etapa podría aumentar la distorsión del amplificador.

¿Qué ocurre con el equivalente NMOS de Fig. 8.20? Simplemente, el razonamiento sería similar solo que, en este caso, la tensión de salida del amplificador operacional sería la solución de la ecuación cuadrática $I_{DS} = \frac{V_{IN}}{R_L} \approx \beta \cdot (V_{GS} - V_T)^2 = \beta \cdot (V_X - V_{IN} - V_T)^2$. Recordemos que, en los

transistores NMOS discretos, el sustrato está conectado a la fuente por lo que no hay efecto sustrato. Si la tensión de salida fuera negativa, la corriente I_L debería fluir hacia dentro. Sin embargo, no tendría donde ir ya que el drenador está conectado a la tensión más alta del circuito y la puerta está protegida por el dieléctrico. En consecuencia, no existe posibilidad de que V_{OUT} sea menor que 0 V. Esta situación es coherente con el estado del amplificador. En estas circunstancias, la diferencia entre las tensiones de entrada sería negativa ($V_+ - V_- = V_{IN} - 0 = V_{IN} < 0$) lo que implicaría que el amplificador estaría en saturación negativa. En consecuencia, la puerta estaría polarizada con una tensión del orden de $-V_{CC}$ de modo que el transistor estaría en corte. Así, se impediría el paso de corriente I_L , que es exactamente lo que habíamos supuesto al principio: El razonamiento no ha conducido a ningún absurdo y es perfectamente coherente.

Capítulo 9

FILTROS ANALÓGICOS

Se entiende por filtro como todo sistema que relaciona una señal de entrada con otra de salida y en el que la relación depende de la frecuencia de la señal de entrada. En otras palabras, si suponemos que ambas entradas son tensiones:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = H(s) \quad (9.1)$$

Siendo $H(s)$ una función de $s = j\omega$, con $\omega = 2\pi \cdot f$ y f la frecuencia fundamental de la señal de la entrada.

En este tema, todas las entradas se consideran analógicas por lo que los filtros son analógicos.

Un filtro es “activo” si el sistema cuenta en su interior con componentes activos, generalmente amplificadores operacionales. Por el contrario, si no existen el filtro se denomina “pasivo” y en su interior hay solo resistencias, bobinas y condensadores.

9.1. Propiedades matemáticas de los filtros

Los filtros reales que pueden ser contruidos con componentes pasivos o activos tienen en general la forma:

$$H(s) = \frac{N(s)}{D(s)} \quad (9.2)$$

Siendo $N(s)$ y $D(s)$ dos polinomios con coeficientes reales. Generalmente, el grado del numerador es igual o menor que el del denominador por motivos de estabilidad.

Como consecuencia de que los polinomios tengan coeficientes reales, sus raíces son o bien números reales, o bien pares de números complejos conjugados. Por tanto, el numerador y el denominador pueden factorizarse como un producto de términos de la forma $(s + a)$ o de la forma $(s^2 + b \cdot s + c)$. Los parámetros a , b y c son números reales y generalmente positivos por motivos de estabilidad ya que, si fueran negativos, podrían aparecer polos o ceros positivos¹ que desestabilizarían el sistema.

¹Recordemos que un “cero” es el valor de s tal que la función de transferencia se anula.

De este modo, cualquier función $H(s)$ podría descomponerse en productos de la forma siguiente:

1. $\frac{1}{s+a_1}$
2. $\frac{s+a_2}{s+a_1}$
3. $\frac{1}{s^2+a_1 \cdot s+b_1}$
4. $\frac{s+a_2}{s^2+a_1 \cdot s+b_1}$
5. $\frac{s^2+a_2 \cdot s+b_2}{s^2+a_1 \cdot s+b_1}$

Por supuesto, a todos estos factores puede añadirse un término K_F , independiente de la frecuencia, que sería la ganancia del filtro. Por ejemplo:

$$H(s) = \frac{N(s)}{D(s)} = \frac{4 \cdot s^2 + 12 \cdot s + 8}{s^3 + 6 \cdot s^2 + 10 \cdot s + 3} = 4 \cdot \frac{s+1}{s+3} \cdot \frac{s+2}{s^2+3 \cdot s+1}$$

Ocurre que todas las fracciones de segundo grado son fácilmente implementables mediante filtros activos que, colocados en cascada, multiplicarían sus funciones de transferencia. Por tanto, la estrategia de diseño que veremos en este tema constará de los siguientes pasos:

- Determinar las características del filtro que deseamos (ganancia y frecuencias de interés).
- Buscar alguna función $H(s)$ que cumpla estas características y que no tenga demasiadas desventajas.
- Descomponerla en producto de fracciones.
- Diseñar uno a uno cada bloque y colocarlos en cascada.

Existen otras técnicas pero, por simplicidad, nos ceñiremos a ésta.

9.2. Tipos de filtro con arreglo a la frecuencia

De acuerdo con su comportamiento en frecuencia, todo filtro pertenece a una de las cinco categorías siguientes:

- *Pasa-Baja (Low Pass, LP)*: Atenúa todas las componentes de la señal cuya frecuencia sea superior a una determinada, llamada “frecuencia de corte”, y mantiene las restantes.
- *Pasa-Alta (High Pass, HP)*: Atenúa todas las componentes con frecuencia inferior a la de corte y mantiene las superiores.
- *Pasa-Banda (Band Pass, BP)*: Permite el paso de componentes cuya frecuencia esté comprendida entre dos valores de frecuencia de corte y elimina el resto.

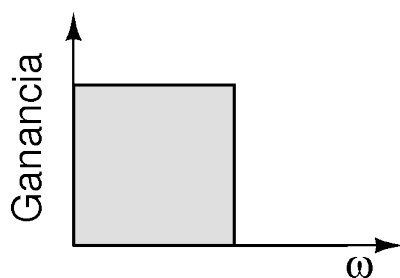


Figura 9.1: Característica ideal de un filtro LP.

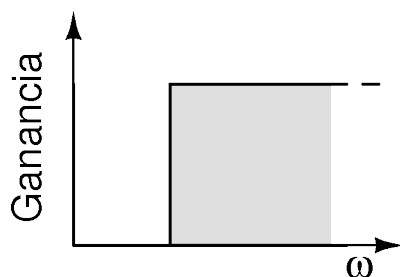


Figura 9.2: Característica ideal de un filtro HP.

- *Rechazo de Banda (Band Reject, BR)*: Su comportamiento es opuesto al anterior, permitiendo el paso de todas las frecuencias excepto las comprendidas entre dos valores determinados.
- *Pasa-Todo (All pass, AP)*: En este caso, la ganancia es un número complejo, con un valor absoluto constante pero con variación del ángulo polar. Se utilizan para introducir desfases y retardos.

Fig. 9.1-9.5 resumen las características mencionadas anteriormente. En la práctica, es imposible conseguir un comportamiento ideal. Por ello, el diseñador se conforma con que se cumplan ciertas especificaciones como se muestra en el conjunto Fig. 9.6-9.9.

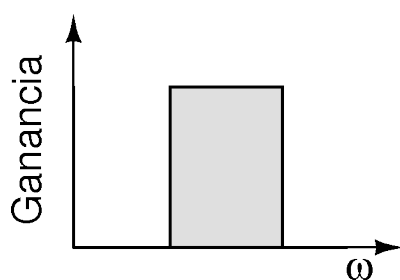


Figura 9.3: Característica ideal de un filtro BP.

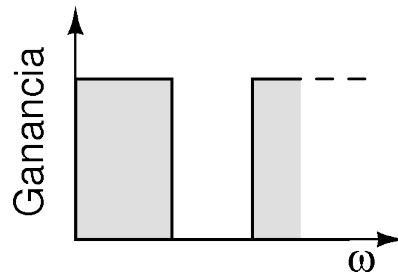


Figura 9.4: Característica ideal de un filtro BR.

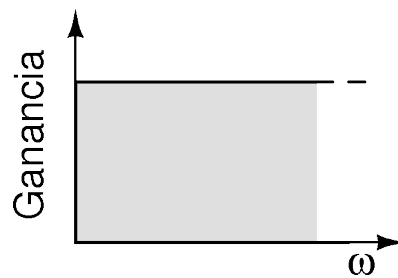


Figura 9.5: Característica ideal de un filtro AP.

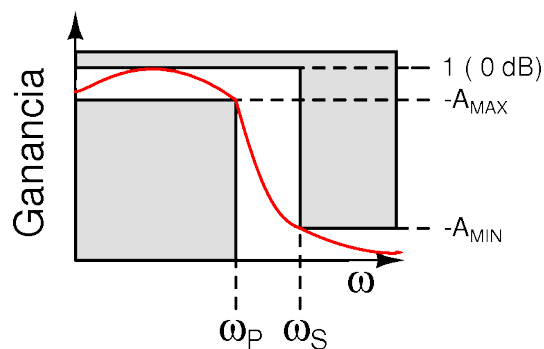


Figura 9.6: Característica de un **filtro LP real** con normalización de la ganancia a 1. La banda de paso (*Pass band*) está delimitada por la frecuencia ω_P y se permite en ella cualquier valor de ganancia entre 0 dB y $-A_{MAX}(dB)$. La banda de rechazo (*Stop band*) está delimitada por ω_S y no se permiten ganancias superiores a $-A_{MIN}(dB)$.

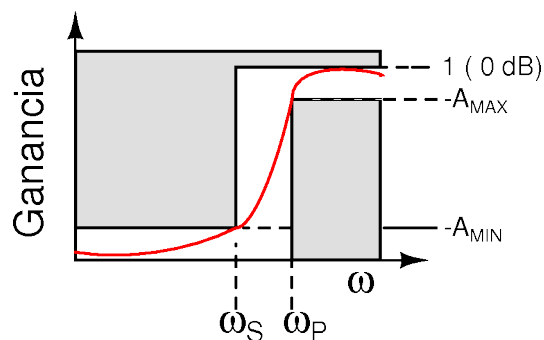


Figura 9.7: Característica de un **filtro HP real** con normalización de la ganancia a 1. Los parámetros A_{MAX} , A_{MIN} , ω_S y ω_P desempeñan el mismo papel que en Fig. 9.6.

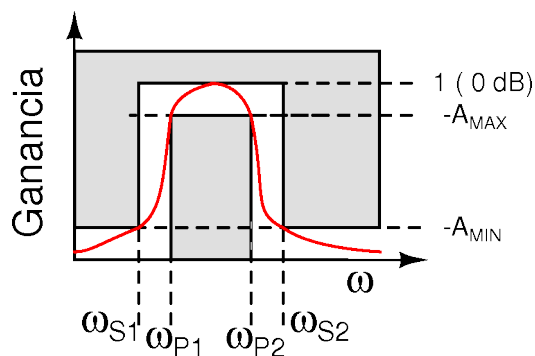


Figura 9.8: Característica de un **filtro BP real** con normalización de la ganancia a 1. Los parámetros A_{MAX} , A_{MIN} , ω_S y ω_P desempeñan el mismo papel que en Fig. 9.6 aunque, en el caso de las frecuencias, es necesario duplicar los subíndices.

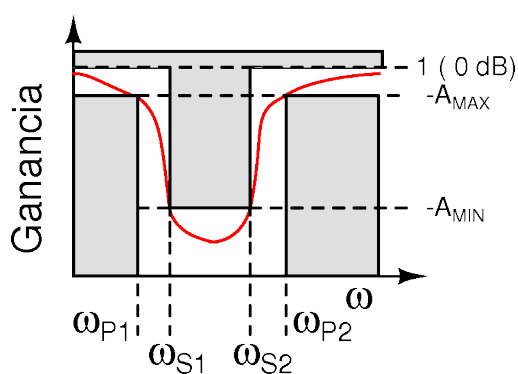


Figura 9.9: Característica de un **filtro BR real** con normalización de la ganancia a 1. Mismos comentarios que en Fig. 9.8.

9.3. Implementación de filtros con funciones de primer y segundo orden

Todas las funciones simples que aparecen en el apartado 9.1 equivalen a filtros de cualquier tipo siempre y cuando se cumplan ciertas condiciones.

9.3.1. Filtros LP:

$$H(s) = K_{LP} \cdot \frac{\omega_0}{s + \omega_0}$$

$$H(s) = K_{LP} \cdot \frac{\omega_0^2}{s^2 + \frac{\omega_0}{Q_F} \cdot s + \omega_0^2}$$

Donde ω_0 es la frecuencia de corte, K_{LP} la ganancia a frecuencia cero o *ganancia DC* y Q_F el factor Q del filtro².

9.3.2. Filtros HP:

$$H(s) = K_{HP} \cdot \frac{s}{s + \omega_0}$$

$$H(s) = K_{HP} \cdot \frac{s^2}{s^2 + \frac{\omega_0}{Q_F} \cdot s + \omega_0^2}$$

Donde ω_0 es la frecuencia de corte, K_{HP} la ganancia a frecuencia infinita y Q_F el factor Q del filtro.

9.3.3. Filtros BP:

$$H(s) = K_{BP} \cdot \frac{\omega_0}{Q_F} \cdot \frac{s}{s^2 + \frac{\omega_0}{Q_F} \cdot s + \omega_0^2}$$

Donde ω_0 es la frecuencia central del filtro tal que, siguiendo las definiciones de Fig. 9.8, $\omega_0 = \sqrt{\omega_{P1} \cdot \omega_{P2}}$, $Q_F = \frac{\omega_0}{\omega_{P2} - \omega_{P1}}$ y K_{BP} la ganancia en la frecuencia central.

9.3.4. Filtros BR:

$$H(s) = K_{BR} \cdot \frac{s^2 + \omega_0^2}{s^2 + \frac{\omega_0}{Q_F} \cdot s + \omega_0^2}$$

² Recordemos que el factor de calidad de un filtro, Q , es el cociente entre la frecuencia central f_0 y el ancho de banda de la zona de interés, sea de paso o rechazo, Δf . En muchas ocasiones, se define este ancho de banda como aquella zona en la que la ganancia no es inferior a 3 dB respecto a la ganancia máxima.

Donde ω_0 es la frecuencia central del filtro tal que, siguiendo las definiciones de Fig. 9.8, $\omega_0 = \sqrt{\omega_{P1} \cdot \omega_{P2}}$, $Q_F = \frac{\omega_0}{\omega_{P2} - \omega_{P1}}$ y K_{BR} la ganancia a baja y alta frecuencia. En este caso, se han seguido las definiciones de Fig. 9.9.

9.3.5. Filtros AP:

$$H(s) = K_{AP} \cdot \frac{s - \omega_0}{s + \omega_0}$$

$$H(s) = K_{AP} \cdot \frac{s^2 - \frac{\omega_0}{Q_F} \cdot s + \omega_0^2}{s^2 + \frac{\omega_0}{Q_F} \cdot s + \omega_0^2}$$

Donde ω_0 es la frecuencia en la que se produce un cambio de fase de 90° , K_{AP} la ganancia del filtro, que es constante, y Q_F el factor de calidad.

9.4. Normalización y escalado

Todas las funciones mencionadas en el apartado anterior se caracterizan por la presencia ubicua de un parámetro, llamado ω_0 , asociado a las frecuencias características del filtro.

En general, los filtros suelen normalizarse mediante el cambio de variable $s' = \frac{s}{\omega_0}$. De este modo, la frecuencia característica tiene valor $\omega'_0 = 1$ y las funciones adquieren una forma más sencilla. Así, las ecuaciones asociadas al filtro LP serían:

$$H(s) = K_{LP} \cdot \frac{1}{s + 1}$$

$$H(s) = K_{LP} \cdot \frac{1}{s^2 + \frac{1}{Q_F} \cdot s + 1}$$

Por otra parte, es costumbre realizar un escalado de la ganancia de tal modo que el máximo de ganancia sea 1. Así, en las ecuaciones anteriores, donde el máximo se alcanza en $s = 0$, habría que eliminar las constantes K_{LP} .

En general, todas las características de los filtros se escalarán a 1 (0 dB) antes de la obtención de la función de transferencia. Debe tenerse en cuenta que este proceso es reversible de manera inmediata volviendo a multiplicar la función de transferencia por el factor eliminado.

9.5. Filtros LP de orden superior a 2 basados en funciones matemáticas especiales

Las funciones descritas en los apartados anteriores permiten diseñar filtros de todo tipo. Sin embargo, por comodidad, nos centraremos en la creación de filtros LP pues, como veremos más

adelante, todo filtro lleva asociado un filtro LP con características similares realizando unas transformaciones especiales sobre la variable s (Apartado 9.6).

Por otro lado, podríamos estar interesados en diseñar filtros con características especiales. Por ejemplo, quizás necesitamos un filtro en el que la ganancia sea constante en un determinado rango de frecuencias sin importarnos demasiado el desfase que se introduzca. O bien al revés. Para conseguirlo, existen funciones matemáticas con características especiales que dotan a los filtros de propiedades bastante interesantes para el diseñador.

Estos filtros son los filtros de Butterworth, de Bessel y de Chebyshev. No son los únicos tipos pero sí los más populares.

A partir de ahora, se sobreentiende que todos los filtros han sido escalados y normalizados en la frecuencia.

9.5.1. Filtros LP de Butterworth

Son filtros que se caracterizan por un valor de ganancia muy constante en la zona pasante del filtro y cuyo valor es:

$$|H(\omega)|^2 = \frac{1}{1 + \omega^{2N}} \quad (9.3)$$

Siendo ω la frecuencia normalizada y N el orden del filtro. Estos filtros se caracterizan por un descenso monotónico, con un máximo en $\omega = 0$, y sin presencia de rizado en la ganancia.

Para obtener Eq. 9.1 es necesario sustituir s por $j \cdot \omega$ en funciones racionales de la forma $H_N(s) = 1/D_N(s)$ siendo N el orden del filtro y $D_N(s)$ un polinomio de la tabla en el cuadro 9.1. En Fig. 9.10, se proporcionan los valores de la ganancia de los filtros Butterworth de orden 1 a 5.

N u orden de filtros	$D_N(s)$
1	$s + 1$
2	$s^2 + \sqrt{2} \cdot s + 1$
2	$(s + 1) \cdot (s^2 + s + 1)$
4	$(s^2 + 1,84776 \cdot s + 1) \cdot (s^2 + 0,76537 \cdot s + 1)$
5	$(s + 1) (s^2 + 1,61803 \cdot s + 1) \cdot (s^2 + 0,61803 \cdot s + 1)$

Cuadro 9.1: Denominadores de los filtros de Butterworth hasta orden 5.

¿Cómo podemos saber de qué orden nos interesa el filtro Butterworth? En el caso de los filtros LP con unas especificaciones conocidas y reflejadas en Fig. 9.6, el orden del filtro debe ser tal que:

$$N > \frac{\log_{10} \left(\frac{10^{0,1 \cdot A_{MIN}} - 1}{10^{0,1 \cdot A_{MAX}} - 1} \right)}{2 \cdot \log_{10} \left(\frac{\omega_S}{\omega_P} \right)} \quad (9.4)$$

Donde A_{MIN} y A_{MAX} están expresados en dB. Recordemos que, en los casos prácticos, las frecuencias están normalizadas y, por tanto, $\omega_P = 1$.

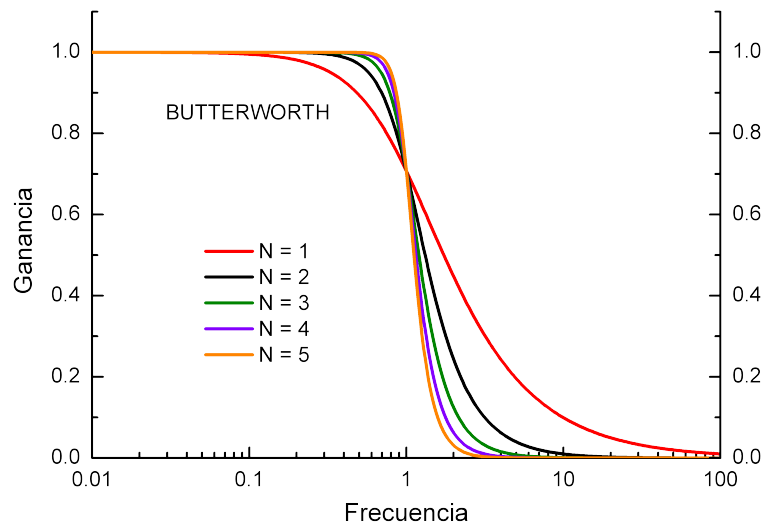


Figura 9.10: Ganancia de un filtro LP Butterworth

9.5.2. Filtros LP de Bessel

Son filtros caracterizados por un óptimo comportamiento en la fase en detrimento de un ritmo de caída peor al sobrepasar la frecuencia de corte. Son muy útiles cuando se desea que las componentes de la señal por debajo de la frecuencia de corte no lleguen desfasadas entre sí.

Por otro lado, su respuesta temporal a la función escalón o umbral no presenta sobredisparos. La construcción de estos filtros en el dominio de Laplace normalizado es bastante sencilla pues se obtienen directamente a partir de la expresión:

$$H_N(s) = \frac{D_N(0)}{D_N(s)} \quad (9.5)$$

siendo $D_N(s)$ el polinomio inverso de Bessel de grado N cuya expresión general se encuentra en el cuadro 9.2. $D_N(0)$ se introduce para escalar la función de transferencia. Fig. 9.11 muestra la ganancia de estas funciones de transferencia.

N u orden de filtros	$D_N(s)$
0	1
1	$s + 1$
2	$s^2 + s + 3$
3	$s^3 + 6 \cdot s^2 + 15 \cdot s + 15$
4	$s^4 + 10 \cdot s^3 + 45 \cdot s^2 + 105 \cdot s + 105$
N	$(2N - 1) \cdot D_N(s) + s^2 \cdot D_{N-2}(s)$

Cuadro 9.2: Polinomios inversos de Bessel de grado N.

En general, se necesita un factor muy elevado de N para obtener una ganancia entre entrada y salida suficientemente abrupta. No se ha encontrado en la literatura ninguna relación sencilla entre A_{MAX} , A_{MIN} , ω_S y ω_P con el grado mínimo del filtro por lo que se debe recurrir a un método de tanteo para realizar la estimación.

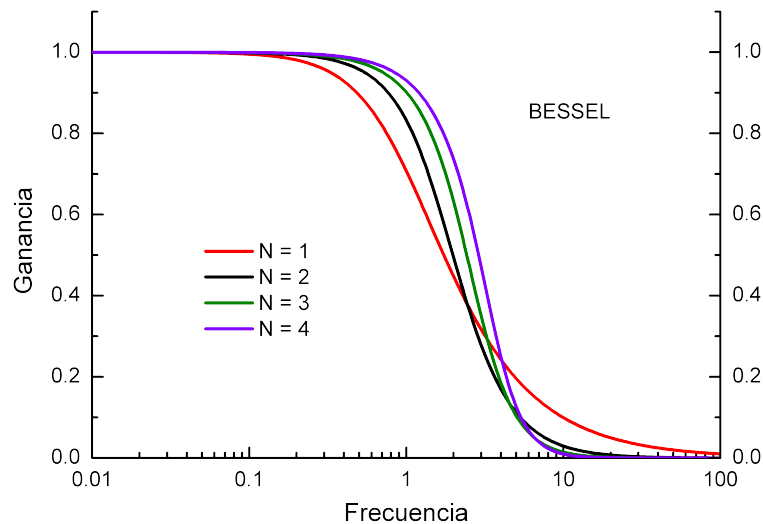


Figura 9.11: Ganancia de un filtro LP Bessel

N u orden de filtros	$T_N(x)$
0	1
1	x
2	$2 \cdot x^2 - 1$
3	$4 \cdot x^3 - 3 \cdot x$
4	$8 \cdot x^4 - 8 \cdot x^2 + 1$
N	$T_{N+1} = 2 \cdot x \cdot T_N - T_{N-1}$

Cuadro 9.3: Polinomios de Chebyshev de grado N.

9.5.3. Filtros LP de Chebyshev

Un inconveniente de los filtros Butterworth y Bessel es que la caída a partir de la frecuencia de corte es bastante lenta. Para casos en los que se necesite una caída más abrupta en la ganancia con filtros de orden más bajo, es necesario recurrir a los filtros de Chebyshev, que tienen los inconvenientes de un rizado en la función ganancia en la banda pasante y de un mal comportamiento de fase.

Estos filtros utilizan las características de los polinomios de Chebyshev para alcanzar propiedades óptimas en el dominio de la ganancia. Los polinomios de Chebyshev tienen la propiedad de que, en el intervalo $[-1, 1]$, su valor absoluto es menor que 1. Asimismo, el valor absoluto del polinomio crece rápidamente una vez que estamos fuera de dicho intervalo. Por otra parte, el polinomio de Chebyshev de grado N tiene $(N-1)$ máximos y/o mínimos en el intervalo $[-1, 1]$. Los polinomios de Chebyshev se encuentran en el cuadro 9.3.

En estas circunstancias, el filtro de Chebyshev se define como aquél que tiene la siguiente función de transferencia:

$$|H_N(\omega)|^2 = \frac{1}{1 + \varepsilon^2 T_N^2(\omega)} \quad (9.6)$$

Siendo ω la frecuencia normalizada y ε el factor de rizado que se define como $\sqrt{\frac{K_{MAX}}{K_{MIN}} - 1}$

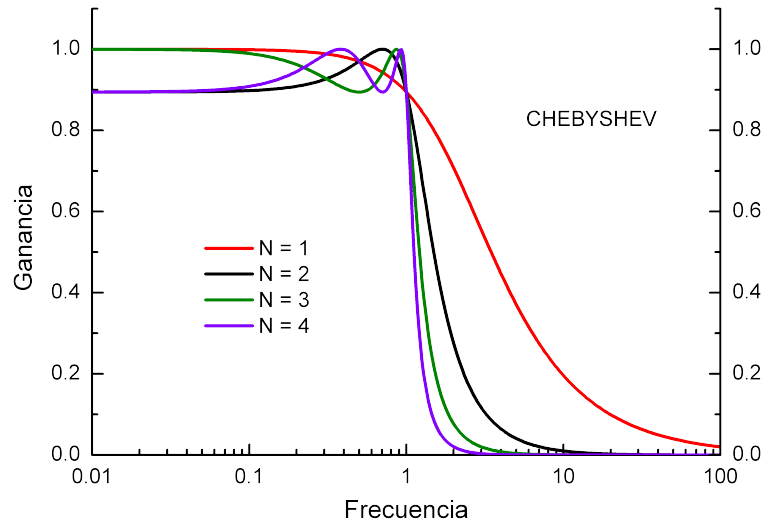


Figura 9.12: Ganancia de un filtro LP Chebyshev. Se supuso $\varepsilon = 0,2$. Al estar definido el polinomio de Chebyshev para valores de frecuencia positivos y estar elevado al cuadrado, aparecen N máximos y mínimos por debajo de la frecuencia unidad.

donde K_{MAX} es la ganancia máxima permitida (1 en un filtro escalado) y K_{MIN} la ganancia mínima permitida dentro de la banda de paso, definida para frecuencias por debajo de la frecuencia de corte. No deben expresarse en decibelios sino en unidades naturales. Como es habitual trabajar con filtros escalados, es más sencillo tomar $K_{MAX} = 1$ y $K_{MIN} = 10^{-0,1 \cdot A_{MAX}} \gg 10^{-0,1 \cdot A_{MIN}}$.

En estas condiciones, el orden mínimo necesario para cumplir los requerimientos de un filtro LP tipo Chebyshev se calcula como:

$$N > \frac{\cosh^{-1} \left(\frac{10^{0,1 \cdot A_{MIN}} - 1}{10^{0,1 \cdot A_{MAX}} - 1} \right)}{\cosh^{-1} \left(\frac{\omega_S}{\omega_P} \right)} \quad (9.7)$$

Recordemos que las ganancias están expresadas en dB. ¿Cómo se determina la función de transferencia que necesitamos en el dominio de Laplace normalizado? En primer lugar, determinaremos $|H_N(\omega)|^2$ con el método propuesto en Eq. 9.6. A continuación, propondremos una función de la forma

$$H_N(s) = \frac{A}{s^N + \alpha_{N-1} \cdot s^{N-1} + \alpha_{N-2} \cdot s^{N-2} + \dots + \alpha_1 \cdot s^1 + \alpha_0}$$

y haremos el cambio $s = j \cdot \omega$. Separaremos parte real e imaginaria del denominador y obtendremos el cuadrado del módulo teórico de la función compleja. A continuación, igualaremos con la expresión obtenida de Eq. 9.6. Como cada término en ω es igual en cada miembro, obtendremos un sistema de ecuaciones que habrá que resolver.

En Fig. 9.12 se detalla la ganancia de distintos filtros de Chebyshev con grado creciente. Obsérvese el rizado, el número de mínimos y máximos y la caída abrupta de la ganancia en torno a la frecuencia de corte.

9.5.4. Otros filtros LP de características especiales

Los filtros descritos en los apartados anteriores no son los únicos aunque sí los más populares. Existen otras familias de filtros con denominación propia:

1. **Filtros LP Legendre:** Usan los polinomios de Legendre para crear la función de transferencia. Parecidos a los filtros de Butterworth aunque con caída de ganancia más abrupta.
2. **Filtro LP elíptico o Cauer:** Su construcción es similar a los de Chebyshev aunque se utiliza la función elíptica racional. Caídas extraordinariamente abruptas aunque con un pésimo comportamiento en el desfase. Presenta rizado tanto en la banda de paso como en la de rechazo.
3. **Filtro LP Chebyshev inverso:** También llamados Chebyshev II aceptando que los filtros descritos en el apartado 9.5.3 son de tipo Chebyshev I. Se obtiene reemplazando en Eq. 9.6 la expresión $\varepsilon^2 \cdot T_N^2(\omega)$ por $\frac{1}{\varepsilon^2 \cdot T_N^2(\omega)}$. De este modo, los roles de la banda de paso y de rechazo se intercambian de tal manera que la banda de paso no tiene rizado y sí la de rechazo. No son muy utilizados pues, en general, requieren más componentes que el tipo I.

9.6. Diseño de filtros distintos HP, BP y BR a partir del filtro equivalente LP

En el apartado anterior, se aprendió a crear un filtro LP que cumpliera las siguientes especificaciones:

1. Entre las frecuencias $s = 0$ y $s = j \cdot \omega_P$, que tras la normalización se convierten en $s = 0$ y $s = 1$, la ganancia máxima normalizada es 1 (0 dB) y la mínima permitida es $-A_{MAX}$. Este rango de frecuencias se llama “banda de paso”.
2. A partir de una frecuencia $s = j \cdot \omega_S$, que se normaliza a $s = j \cdot \frac{\omega_S}{\omega_P}$, la “banda de rechazo” es tal que la máxima ganancia permitida por el filtro es $-A_{MIN}$.

Con estas premisas, es posible obtener una función $H(s)$ que debe ser implementada con la circuitería apropiada optimizando la estabilidad de la ganancia en la banda de paso (Butterworth), la fase (Bessel) o la caída abrupta en la zona intermedia (Chebyshev) (Apartado 9.7).

Por otra parte, se puede encontrar fácilmente un filtro HP, BP o BR con especificaciones de ganancia similares al filtro LP por medio de transformaciones matemáticas sencillas que veremos a continuación.

Finalmente, téngase en cuenta que los filtros AP se tratan de distinto modo puesto que la ganancia es la misma a cualquier frecuencia. Estos filtros se diseñan directamente a partir de las ecuaciones descritas en el apartado 9.3.

9.6.1. Creación de filtro HP a partir de un LP equivalente

Supongamos que se desea construir un filtro HP con las condiciones siguientes:

- Se mantendrá la zona de altas frecuencias de tal modo que, a partir de una frecuencia ω_P , la ganancia del filtro es superior a $-A_{MAX}$, siendo 0 dB la ganancia máxima encontrada.
- Se rechazará la zona de bajas frecuencias con lo que, por debajo de una frecuencia $s = j \cdot \omega_S$, la ganancia del filtro es inferior a $-A_{MIN}$, expresada en decibelios.

Para crearlo, usaremos un filtro LP equivalente por medio de las siguientes reglas:

1. Creamos las características de un filtro LP tal que A_{MAX} y A_{MIN} sean los del filtro HP pero la frecuencia límite de la banda de paso es $\omega_{EP} = \frac{1}{\omega_P}$ y la de la banda de rechazo, $\omega_{ES} = \frac{1}{\omega_S}$.
2. Normalizamos el filtro respecto a la ganancia $s = \omega_{EP}$.
3. Creamos la función de transferencia apropiada del tipo que se adapte mejor a nuestros deseos.
4. Realizamos el cambio de la variable s por s^{-1} en dicha función y reordenamos la función racional. Por ejemplo, si tenemos la función

$$H(s) = \frac{1}{s^2 + s + 2}$$

crearíamos la nueva función

$$H_{HP}(s) = \frac{1}{s^{-2} + s^{-1} + 2} = \frac{s^2}{2 \cdot s^2 + s + 1}$$

5. Esta función sería la del filtro HP buscado en el dominio de Laplace normalizado con respecto a la frecuencia ω_P .

De esta manera, se obtendría la función equivalente. En el caso de los filtros BP y BR, el procedimiento es algo más complejo pero el método es, básicamente, el mismo.

9.6.2. Creación de filtro BP a partir de un LP equivalente

En este caso, las condiciones del filtro son las siguientes:

- Entre dos frecuencias $s = \omega_{P1}$ y $s = \omega_{P2}$, la ganancia está situada entre 0 dB y $-A_{MAX}$.
- Para todas las frecuencias menores de $s = \omega_{S1}$ y mayores que $s = \omega_{S2}$, la ganancia es inferior a $-A_{MIN}$.
- Cualquier otra frecuencia tiene una ganancia entre $-A_{MAX}$ y $-A_{MIN}$.

El primer paso que se debe hacer es convertir el filtro en simétrico pues es necesario que se cumpla que $\omega_{P1} \cdot \omega_{P2} = \omega_{S1} \cdot \omega_{S2}$. Si esto no fuera así, hay que endurecer o suavizar las exigencias al filtro para que esto se cumpla.

A continuación, definimos un filtro LP con las condiciones siguientes:

1. Las ganancias $-A_{MAX}$ y $-A_{MIN}$ conservan su función en las bandas de paso y rechazo.
2. La banda de paso tiene como límite superior la frecuencia $\omega_{EP} = \sqrt{\omega_{P1} \cdot \omega_{P2}} = \sqrt{\omega_{S1} \cdot \omega_{S2}}$ y la de rechazo como límite inferior $\omega_{ES} = \omega_{EP} \cdot \frac{\omega_{S1} - \omega_{S2}}{\omega_{P1} - \omega_{P2}}$
3. Se normaliza el filtro LP y se obtiene la función de transferencia $H_E(s)$ con estas especificaciones.
4. Se realiza el cambio de la variable s por $\frac{s^2+1}{B_{BP} \cdot s}$ donde $B_{BP} = \frac{\omega_{P2} - \omega_{P1}}{\omega_{EP}}$
5. Se desnormaliza el filtro BP obtenido sabiendo que la frecuencia de normalización es ω_{EP} .

Debe tenerse en cuenta un hecho importante: El orden de un filtro BP es el doble del filtro LP simétrico por lo que se necesitaría el doble de elementos reactivos para construirlo.

9.6.3. Creación de filtro BR a partir de un LP equivalente

El procedimiento es muy parecido al del filtro BP teniendo en cuenta que se definen cuatro frecuencias características, $\omega_{P1} < \omega_{S1} < \omega_{S2} < \omega_{P2}$ y dos límites de ganancia, $-A_{MAX}$ para frecuencias menores que ω_{P1} y mayores que ω_{P2} , y $-A_{MIN}$ para frecuencias situadas entre ω_{S1} y ω_{S2} (Fig. 9.9). Debe notarse que los subíndices se distribuyen de una manera algo distinta a la del caso anterior.

En primer lugar, se simetrizan los valores de las frecuencias haciendo que $\omega_{P1} \cdot \omega_{P2} = \omega_{S1} \cdot \omega_{S2}$. Si fuera necesario, endurecer o suavizar las especificaciones del filtro.

A continuación, se sigue este procedimiento:

1. Las ganancias $-A_{MAX}$ y $-A_{MIN}$ conservan su función en las bandas de paso y de rechazo en la creación del filtro LP.
2. La banda de paso del filtro LP tiene como límite superior la frecuencia $\omega_{EP} = \sqrt{\omega_{P1} \cdot \omega_{P2}} = \sqrt{\omega_{S1} \cdot \omega_{S2}}$ y la de rechazo como límite inferior $\omega_{ES} = \omega_{EP} \cdot \frac{\omega_{P1} - \omega_{P2}}{\omega_{S1} - \omega_{S2}}$
3. Se normaliza el filtro LP y se obtiene la función de transferencia $H_E(s)$ con estas especificaciones.
4. Se realiza el cambio de la variable s por $\frac{B_{BR} \cdot s}{s^2+1}$ donde $B_{BR} = \frac{\omega_{P2} - \omega_{P1}}{\omega_{EP}}$.

Se desnormaliza el filtro BR obtenido sabiendo que la frecuencia de normalización es ω_{EP} . Como en el caso anterior, el orden del filtro se dobla respecto al equivalente LP simétrico.

9.7. Implementación física de filtros

En los apartados anteriores, se aprendió a crear una función de transferencia $H(s)$ con una serie de características deseadas relacionadas con la ganancia en las bandas de paso y de rechazo y lo abrupto de la zona de transición entre ambas bandas.

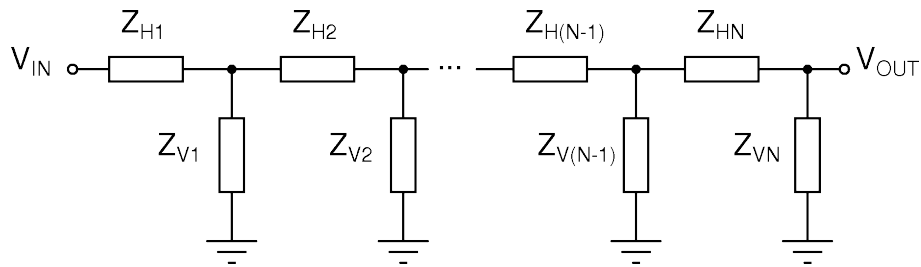


Figura 9.13: Filtro pasivo en escalera.

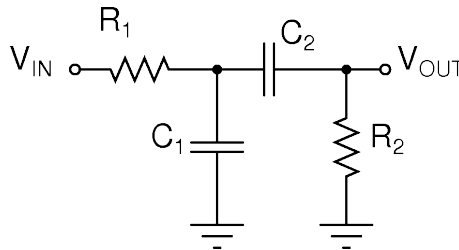


Figura 9.14: Filtro RC en escalera con un cero y dos polos.

El paso siguiente consiste en diseñar un circuito que cumpla estas especificaciones. Para ello, existen dos modos: *Filtros pasivos* y *filtros activos*. Comencemos por los primeros.

9.7.1. Filtros pasivos. Red RC en escalera

Un método inmediato para crear filtros consiste en el uso de redes RLC. Un ejemplo típico de ello es la red en escalera, cuya forma general es la de Fig. 9.13.

Aunque nada impide utilizar cualquier elemento reactivo en esta red, es costumbre evitar el uso de inducciones pues su tolerancia es mucho mayor que las de las resistencias o capacidades. Además, su volumen es grande y no pueden insertarse en circuitos integrados. En consecuencia, la red anterior se convierte en una red RC en escalera.

Esta red tiene las siguientes características generales. En primer lugar, todo par K de elementos de la red, Z_{VK} y Z_{HK} suelen ser resistencia y condensador. En esta estructura, hay tantos polos como condensadores existan en la red. Por el contrario, aparecerá un cero por cada condensador que se encuentre en posición horizontal. Pongamos como ejemplo la red RC de Fig. 9.14.

Hay dos condensadores y uno de ellos está en posición horizontal por lo que la función de transferencia tiene un cero y dos polos. Analizando el circuito, se llega a la siguiente conclusión:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{1}{R_1 \cdot C_1} \cdot \frac{s}{s^2 + \left(\frac{1}{R_1 \cdot C_1} + \frac{1}{R_2 \cdot C_1} + \frac{1}{R_2 \cdot C_2} \right) \cdot s + \frac{1}{R_1 \cdot C_1 \cdot R_2 \cdot C_2}} \quad (9.8)$$

Lo cual nos permite identificar esta función como típica de un filtro paso de banda, con frecuencia central en $\omega_0 = \sqrt{\frac{1}{R_1 \cdot C_1 \cdot R_2 \cdot C_2}}$ y factor Q calculable a partir de $\left(\frac{1}{R_1 \cdot C_1} + \frac{1}{R_2 \cdot C_1} + \frac{1}{R_2 \cdot C_2} \right)$. De este modo, podríamos elegir adecuadamente los valores de estos elementos para conseguir la forma deseada.

Lamentablemente, estos circuitos presentan una serie de desventajas. Enumerémoslas a continuación:

1. *Ganancia inferior a 1*. Al carecer de elementos activos, la ganancia nunca es superior a 1 sea cual sea la frecuencia de trabajo.
2. *Impedancia de entrada baja*. En algunos casos, estos elementos ofrecen una impedancia de entrada muy baja y dependiente de la frecuencia de trabajo.
3. *Impedancia de salida alta*. Análogamente, la impedancia de salida de este circuito es del orden de la resistencia más cercana al nudo de salida.
4. *Factor Q*. En general, con estos filtros no se suele conseguir un factor Q apropiado.

Esto nos lleva a pensar en estrategias alternativas basadas en filtros activos que incluyen amplificadores operacionales. Sin embargo, debe recordarse que los filtros pasivos tienen otras ventajas. En primer lugar, son sencillos de construir por lo que pueden utilizarse en circunstancias donde nos podamos permitir un atenuación razonable en la banda de paso. Por otra parte, los filtros activos tienen una frecuencia de trabajo limitada por el amplificador operacional. Por ello, los filtros pasivos continúan utilizándose en aplicaciones de radiofrecuencia. Para frecuencias superiores deben utilizarse circuitos de microondas.

9.7.2. Filtros activos. Configuraciones generales.

Los filtros activos se caracterizan por la presencia de uno o varios amplificadores operacionales. Éstos están realimentados casi exclusivamente con resistencias y capacidades, evitándose el uso de elementos inductivos cuya tolerancia es muy grande y que impiden la construcción en masa de filtros sea factible. Existen configuraciones básicas que ayudan a crear funciones como las descritas en el Apartado 9.3 con ventajas e inconvenientes adicionales. En estos apuntes, se tratarán las siguientes configuraciones:

- Configuraciones inversoras y no inversoras
- Configuraciones Sallen-Key
- Configuraciones realimentadas por bucle múltiple
- Configuraciones de immitancia generalizada

No son las únicas configuraciones posibles pero sí las más populares. Estas otras configuraciones serían, por ejemplo, la de *offset* nulo, la configuración de *Twin-T*, la configuración de variables de estado, la configuración *Bi-quad*, etc. Se remite al estudiante a textos especializados para conocerlas.

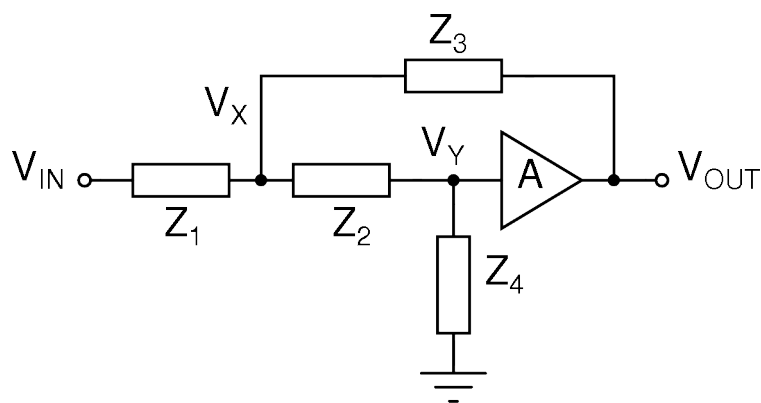


Figura 9.15: Filtro Sallen-Key generalizado.

9.7.2.1. Configuraciones de polo simple

Estas configuraciones están basadas en las configuraciones inversora y no inversora de los amplificadores operacionales. Básicamente, se limitan a añadir uno o dos elementos capacitivos para generar polos y ceros en la tensión de salida.

Un ejemplo sencillo sería un amplificador no inversor con ganancia $1 + K$ colocado tras la salida de una red RC en escalera. Son circuitos extremadamente sencillos de concebir. Sin embargo, su principal problema radica en el gran número de componentes necesarios ya que, en general, necesitan más elementos que otras configuraciones que veremos a continuación.

Por otra parte, es necesario que siempre haya un camino de realimentación resistivo conectado a la salida del amplificador operacional. Además, las características del filtro son muy sensibles a la variación de los valores de los elementos pasivos.

9.7.2.2. Configuraciones de Sallen-Key

Esta red es extraordinariamente popular para conseguir filtros activos con muy pocos componentes. Su esquema básico es el mostrado en Fig. 9.15. En esta estructura, Z_i son o bien resistencias, o bien capacidades y A es un amplificador no inversor con ganancia $A = 1 + K$ o simplemente $A = 1$ si es un seguidor de tensión. Operando con este circuito, se puede deducir que:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{A}{\frac{Z_1 + Z_2}{Z_4} + (1 - A) \cdot \frac{Z_1}{Z_3} + 1 + \frac{Z_1 \cdot Z_2}{Z_3 \cdot Z_4}} \quad (9.9)$$

Seleccionando adecuadamente los valores de Z_i y A se puede generar cualquier función que se precie con uno o dos polos y ceros. Este tipo de filtros se suelen utilizar para filtros LP y HP.

La principal ventaja de esta configuración es que, con 4 o 6 elementos se consiguen funciones de transferencia bastante buenas. Además, suelen tener una elevada impedancia de entrada y los valores de las resistencias y condensadores suelen ser del mismo orden de magnitud.

Los inconvenientes de esta topología son los siguientes: En primer lugar, suelen ser filtros muy sensibles a las variaciones de los valores de las resistencias y condensadores. Por otra parte, solo la frecuencia central del filtro y el factor Q_F es fácilmente ajustable pues la ganancia del filtro depende

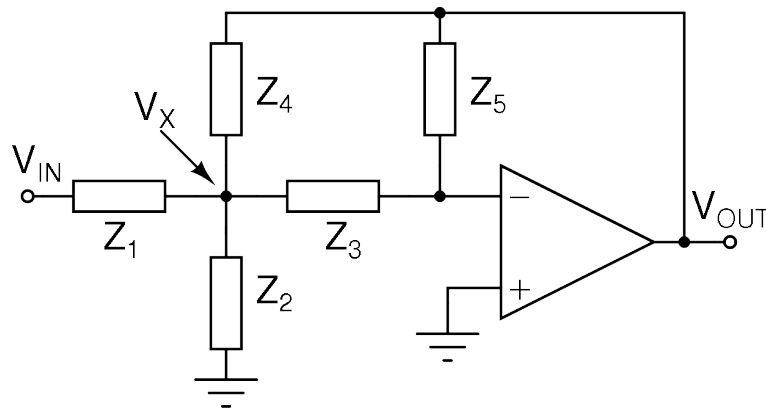


Figura 9.16: Filtro generalizado con realimentación de bucle múltiple.

de ambos valores.

9.7.2.3. Configuraciones realimentadas con bucle múltiple

La estructura general de esta configuración se muestra en Fig. 9.16. En este circuito, puede demostrarse que la ganancia es:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{Z_4 \cdot Z_5}{Z_3 \cdot Z_4 + Z_1 \cdot Z_4 + Z_1 \cdot Z_3 + Z_1 \cdot Z_5} \quad (9.10)$$

Estos circuitos son útiles para crear filtros LP, HP, BP y, con leves modificaciones, BR. La principal ventaja de estas estructuras es la escasa sensibilidad del filtro a las variaciones de las resistencias y condensadores aunque, por desgracia, es necesario utilizar resistencias y condensadores de valores muy distintos.

9.7.2.4. Configuraciones de immitancia generalizada

Immitancia es un concepto utilizado en electrónica para agrupar los conceptos de IMpedancia y adMITANCIA. Carece de sentido físico y es solo una abreviatura. En general, estos circuitos se caracterizan por lo siguiente:

- Dos amplificadores operacionales
- Las entradas inversoras de los operacionales están cortocircuitadas
- La salida de uno de los amplificadores se bifurca teniendo una rama un condensador y otra una resistencia que atacan las entradas del otro amplificador
- La salida del amplificador 2, que suele ser la del propio filtro, realimenta la salida del amplificador 1.

En general, esta familia de configuraciones permite crear cualquier tipo de filtro (LP, HP, BP, BR y AP). Otras ventajas son la posibilidad de ajuste de los parámetros del filtro, la baja sensibilidad a la

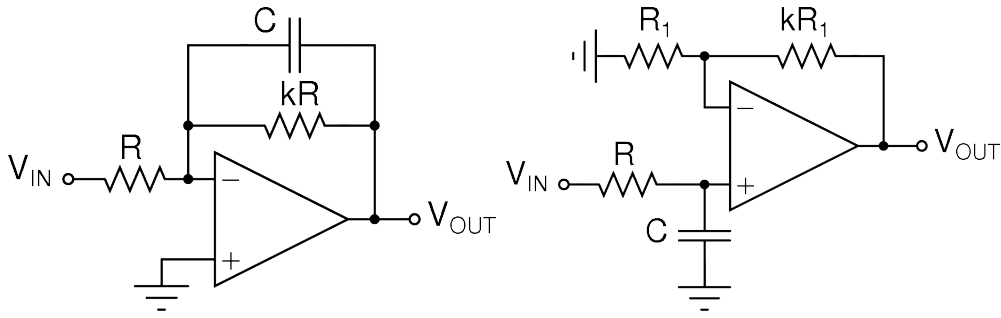


Figura 9.17: Filtros LP reales con un único polo basados en configuraciones inversoras y no inversoras de un amplificador operacional.

variación de los componentes, los altos valores de Q_F obtenibles, etc. Como inconveniente principal se tiene que, lamentablemente, necesita dos amplificadores operacionales y al menos 7 elementos pasivos.

9.7.3. Filtros activos LP

Como se dijo anteriormente, es posible construir filtros LP con cualquiera de las cuatro configuraciones mostradas en el apartado anterior. Examinemos algunas de ellas en los siguientes apartados.

9.7.3.1. Filtros LP con configuraciones inversoras y no inversoras

Figs. 9.17 muestran unos circuitos LP en los que la existencia de un condensador crea un filtro LP con un único polo. Obsérvese que siempre hay un camino de realimentación resistivo entre la salida y el terminal inversor. En ambos casos, aparece un polo en $\omega_P = 1/RC$ y una ganancia para bajas frecuencias de valor $G = -K$ en el primer caso y $G = 1 + K$ en el segundo.

Téngase en cuenta que este último caso no es sino una continuación de los filtros RC pasivos en escalera. Así, se podría añadir un amplificador no inversor a cualquier circuito similar a los de Fig. 9.13 y Fig. 9.14 y crear un filtro activo. Dada su simplicidad, no se seguirán estudiando en los apuntes los filtros con configuración no inversora.

9.7.3.2. Filtro LP de Sallen-Key

Esta configuración permite hacer un filtro LP haciendo Z_1 y Z_2 resistencias y Z_3 y Z_4 capacidades en Fig. 9.15. Por otra parte, haremos el amplificador no inversor de ganancia $1 + K$ (Fig. 9.18). En esta estructura, puede observarse que:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{1}{R_1 \cdot R_2 \cdot C_3 \cdot C_4} \cdot \frac{1 + K}{s^2 + \left(\frac{1}{R_1 C_3} + \frac{1}{R_2 C_3} - \frac{K}{R_2 C_4} \right) \cdot s + \frac{1}{R_1 R_2 C_3 C_4}} \quad (9.11)$$

En consecuencia, la frecuencia de corte es $\omega_0^2 = \frac{1}{R_1 R_2 C_3 C_4}$ con ganancia en DC $1 + K$, y factor de calidad Q_F del filtro ajustable si variamos K . Debe tenerse en cuenta que, si K es muy alto, el circuito podría tener polos con parte real positiva e inestabilizarse.

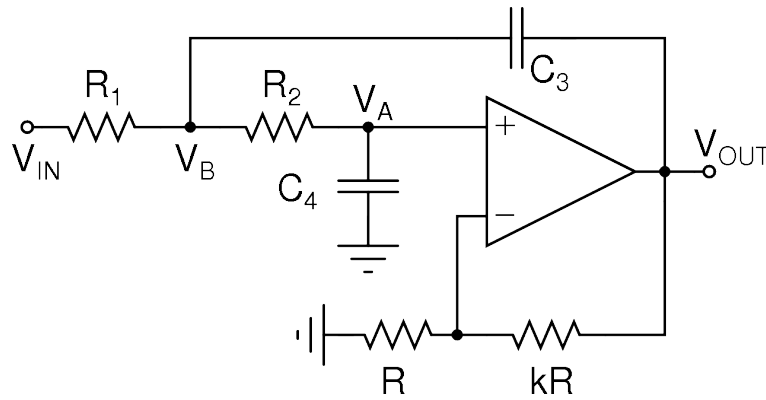


Figura 9.18: Filtros LP Sallen-Key.

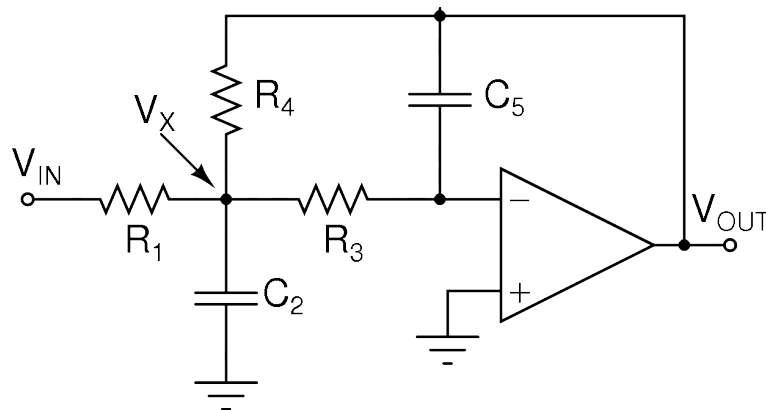


Figura 9.19: Filtros LP con configuración de bucles de realimentación múltiples.

9.7.3.3. Filtro LP con configuración de bucles de realimentación múltiples

En este caso, haremos resistivas las impedancias Z_1 , Z_3 y Z_4 y capacitivas las impedancias Z_2 y Z_5 del modelo general (Fig. 9.16). En este caso, puede verse que el circuito se convierte en el de Fig. 9.19, siendo la función de transferencia la siguiente:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = -\frac{1}{R_1 \cdot R_3 \cdot C_2 \cdot C_5} \cdot \frac{1}{s^2 + \left(\frac{1}{R_1 C_2} + \frac{1}{R_3 C_2} + \frac{1}{R_4 C_2} \right) \cdot s + \frac{1}{R_3 R_4 C_2 C_5}} \quad (9.12)$$

En este caso, la frecuencia del polo es $\omega_0^2 = \frac{1}{R_3 R_4 C_2 C_5}$ y la ganancia en continua es $-R_4/R_1$. El filtro es siempre estable y el factor Q_F se modifica variando R_1 .

9.7.3.4. Filtro LP con configuración de immitancia generalizada

Un circuito típico es el mostrado en Fig. 9.20. En este circuito, el valor de la función de transferencia es:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{1}{R_3 \cdot R_7 \cdot C_1 \cdot C_4} \cdot \frac{1 + \frac{R_6}{R_2}}{s^2 + \frac{1}{R_1 C_1} \cdot s + \frac{R_6}{R_2 R_3 R_7 C_1 C_4}} \quad (9.13)$$

Con lo que la frecuencia del polo es $\omega_0^2 = \frac{R_6}{R_2 R_3 R_7 C_1 C_4}$ y la ganancia en continua es $1 + R_2/R_6$.

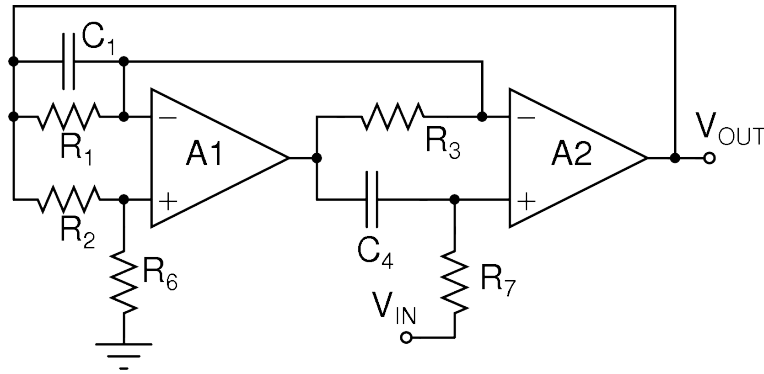


Figura 9.20: Filtros LP con configuración de immitancia generalizada.

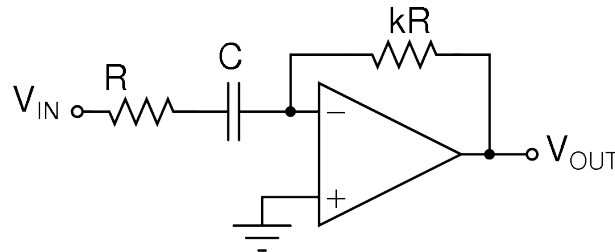


Figura 9.21: Filtros HP basado en configuración inversora.

Estos filtros son estables y el factor de calidad se modifica variando R_1 .

9.7.4. Filtros activos HP

Los filtros HP pueden construirse con cualquiera de las cuatro configuraciones propuestas.

9.7.4.1. Filtros HP con configuraciones inversoras

Construir un filtro HP en esta configuración es relativamente sencillo. Así, basta con recolocar la resistencia R y el condensador C de Fig. 9.17 y obtendríamos el circuito buscado (Fig. 9.21).

9.7.4.2. Filtro HP de Sallen-Key

Esta configuración permite construir un filtro HP haciendo Z_1 y Z_2 capacidades y Z_3 y Z_4 resistencias en Fig. 9.15. En otras palabras, exactamente al revés que en el filtro LP de Fig. 9.18. Haremos el amplificador no inversor de ganancia $A = 1 + K$ (Fig. 9.22).

En esta estructura, puede observarse que:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = (1 + K) \cdot \frac{s^2}{s^2 + \left(\frac{1}{R_4 C_1} + \frac{1}{R_4 C_2} - \frac{K}{R_4 C_1} \right) \cdot s + \frac{1}{C_1 C_2 R_3 R_4}} \quad (9.14)$$

En consecuencia, la frecuencia de corte es $\omega_0^2 = \frac{1}{C_1 C_2 R_3 R_4}$ con ganancia en DC $1 + K$ y factor de calidad Q_F del filtro ajustable. Como en el caso del filtro LP, un excesivo valor de K podría desestabilizar el sistema.

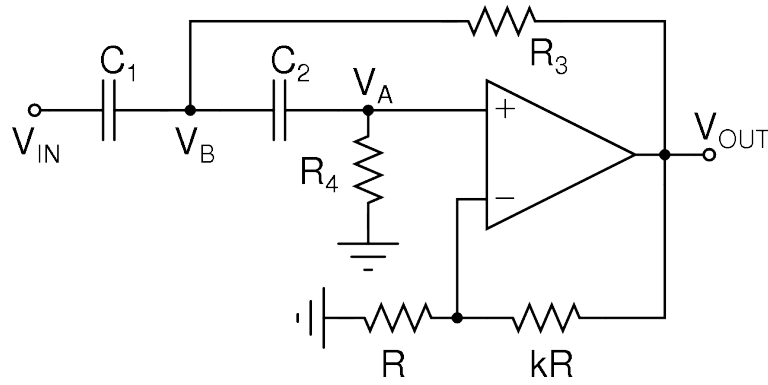


Figura 9.22: Filtros HP basado Sallen-Key.

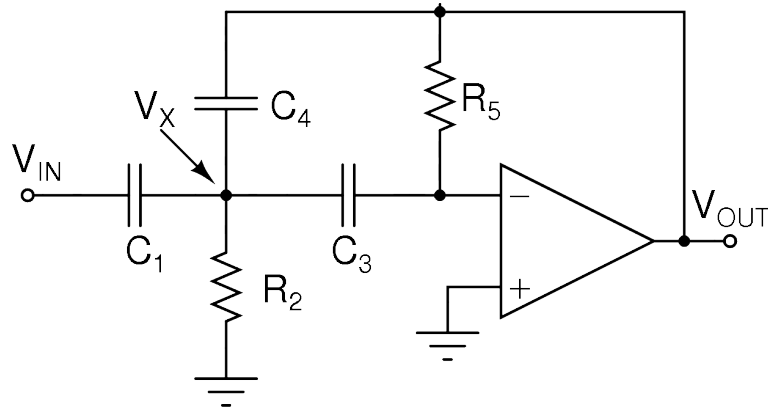


Figura 9.23: Filtros HP con configuración de bucles de realimentación múltiples.

9.7.4.3. Filtro HP con configuración de bucles de realimentación múltiples

Intercambiaremos las posiciones y condensadores del filtro LP de Fig. 9.19. Así, el circuito adquiere la forma de Fig. 9.23. Siendo la función de transferencia la siguiente:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = -\frac{C_1}{C_4} \cdot \frac{s^2}{s^2 + \left(\frac{1}{C_3} + \frac{1}{C_4} + \frac{C_1}{C_4 C_3}\right) \cdot s + \frac{1}{R_2 R_5 C_4 C_3}} \quad (9.15)$$

En este caso, la frecuencia del polo es $\omega_0^2 = \frac{1}{R_2 R_5 C_4 C_3}$ y la ganancia en continua es $-C_1/C_4$.

9.7.4.4. Filtro HP con configuración de immitancia generalizada

Un circuito típico es el mostrado en Fig. 9.24. En este circuito, el valor de la función de transferencia es:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \left(1 + \frac{R_2}{R_6}\right) \cdot \frac{s^2}{s^2 + \frac{1}{R_8 C_7} \cdot s + \frac{R_2}{R_1 R_4 R_6 C_3 C_7}} \quad (9.16)$$

Con lo que la frecuencia del polo es $\omega_0^2 = \frac{R_2}{R_1 R_4 R_6 C_3 C_7}$ y la ganancia en continua es $1 + R_2/R_6$. El factor Q_F del filtro se ajusta variando R_8 .

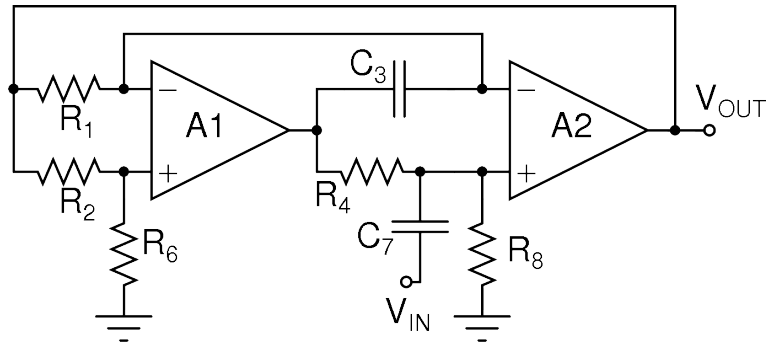


Figura 9.24: Filtros HP con configuración de immitancia generalizada.

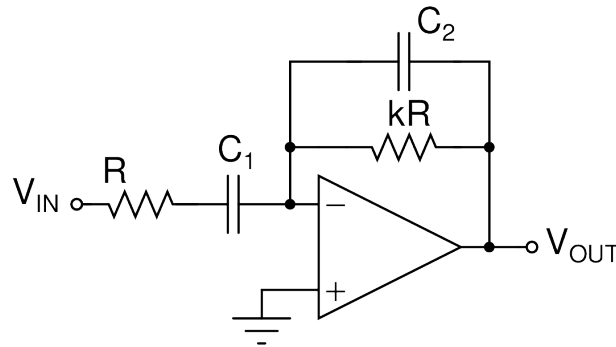


Figura 9.25: Filtros BP basados en amplificador operacional inversor.

9.7.5. Filtros activos BP

Los filtros BP se construyen con las cuatro configuraciones propuestas salvo la Sallen-Key.

9.7.5.1. Filtros BP con configuraciones inversoras y no inversoras

Es posible construir filtros de estas características con dos condensadores que combinan las propiedades pasa-baja y pasa-alta. El dispositivo más sencillo de construir es el circuito inversor ya que necesita solo cuatro elementos pasivos (Fig. 9.25). La función de transferencia de este filtro es:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = -\frac{1}{R \cdot C_2} \cdot \frac{s}{(s + 1/RC_1) \cdot (s + 1/kRC_2)} \quad (9.17)$$

Vemos que los polos que delimitan la banda de paso son $1/RC_1$ y $1/kRC_2$. La ganancia de esta banda es $-k$ si ambos polos están separados por más de una década en la frecuencia. Sin embargo, si estuvieran muy juntos, la ganancia se aproximaría a $-C_1/C_2$.

9.7.5.2. Filtro BP con configuración de bucles de realimentación múltiples

Para conseguir estos filtros, es necesario reemplazar Z_1 , Z_2 y Z_3 por resistencias y Z_4 y Z_5 por capacidades en Fig. 9.16. Así, el sistema se convierte en el de Fig. 9.26. A partir de esta estructura, se puede deducir que la ganancia es:

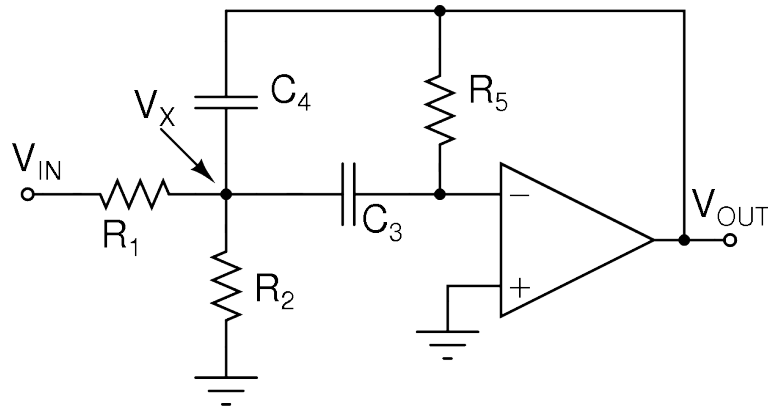


Figura 9.26: Filtros BP con configuración de bucles de realimentación múltiples.

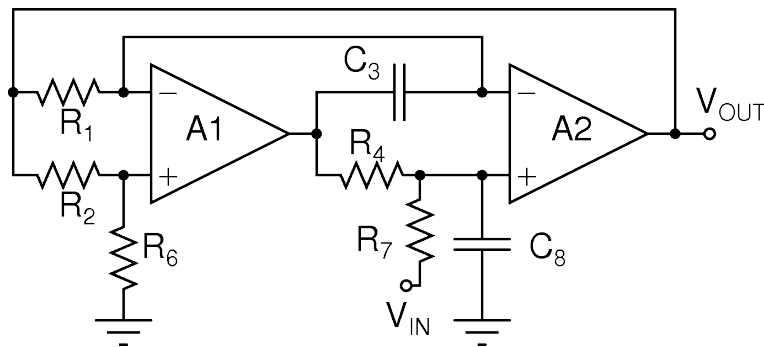


Figura 9.27: Filtros BR con configuración de immitancia generalizada.

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = -\frac{1}{R_1 C_4} \cdot \frac{s}{s^2 + \left(\frac{1}{C_3} + \frac{1}{C_4}\right) \cdot \frac{1}{R_5} \cdot s + \left(\frac{1}{R_1} + \frac{1}{R_2}\right) \cdot \frac{1}{R_5 C_3 C_4}} \quad (9.18)$$

Con lo que la frecuencia central del filtro se establece en $\omega_0^2 = \left(\frac{1}{R_1} + \frac{1}{R_2}\right) \cdot \frac{1}{R_5 C_3 C_4}$ y el parámetro Q_F se calcula a partir de los condensadores y R_5 .

9.7.5.3. Filtro BP con configuración de immitancia generalizada

En este caso, la forma que adopta el filtro es la de Fig. 9.27, siendo la ganancia del filtro:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{1}{R_7 C_8} \cdot \left(1 + \frac{R_2}{R_6}\right) \cdot \frac{s}{s^2 + \frac{1}{R_7 C_8} \cdot s + \frac{R_2}{R_1 R_4 R_6 C_3 C_8}} \quad (9.19)$$

Con lo que $\omega_0^2 = \frac{R_2}{R_1 R_4 R_6 C_3 C_8}$.

9.7.6. Filtros activos BR

Es posible onstruir filtros rechazo de banda utilizando versiones modificadas de los filtros BP. En muchos casos, el fundamento es restar a la señal original la función de transferencia del filtro BP. Veamos dos configuraciones que consiguen esto.

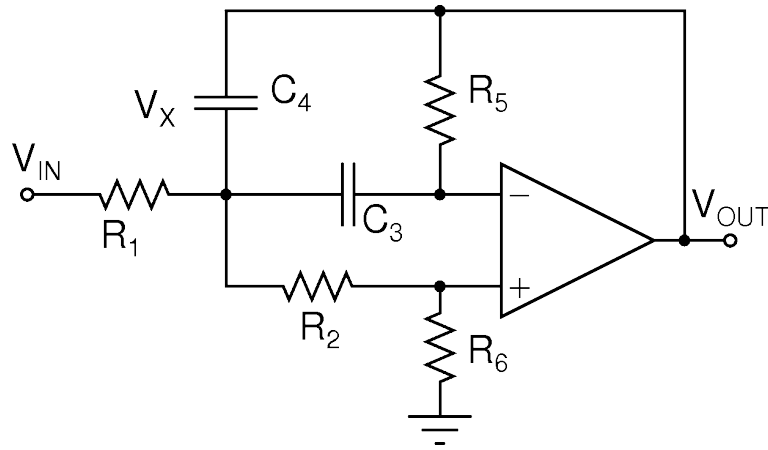


Figura 9.28: Filtros BR con configuración de bucles de realimentación múltiples.

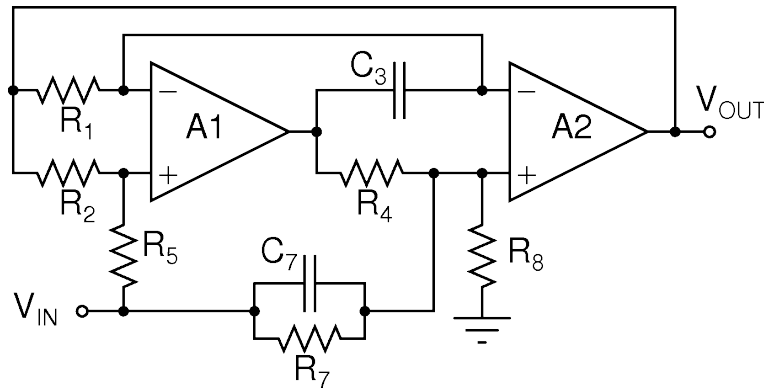


Figura 9.29: Filtros BR con configuración de immitancia generalizada.

9.7.6.1. Filtro BR basado en configuración de realimentación por bucles múltiples

El circuito propuesto incorpora un par de nuevos elementos (Fig. 9.28). En este filtro, la función de transferencia es:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{R_6}{R_6 + R_2} \cdot \frac{s^2 + \left(\frac{1}{R_5 C_4} + \frac{1}{R_5 C_3} - \frac{R_2}{R_6} \cdot \frac{1}{R_1 C_4} \right) \cdot s + \frac{1}{R_1 R_5 C_4 C_3}}{s^2 + \left(\frac{1}{R_5 C_4} + \frac{1}{R_5 C_3} \right) \cdot s + \frac{1}{R_1 R_5 C_4 C_3}} \quad (9.20)$$

Con lo que la frecuencia central del filtro es $\omega_0^2 = \frac{1}{R_1 R_5 C_4 C_3}$.

9.7.6.2. Filtro BR basado en configuración de immitancia generalizada

En este caso, la forma que adopta el filtro es la de Fig. 9.29. cuya ganancia es:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{s^2 + \frac{R_2}{C_7} \cdot \left(\frac{1}{R_2 R_7} - \frac{1}{R_5 R_8} \right) \cdot s + \frac{R_2}{R_1 R_4 R_5 C_3 C_7}}{s^2 + \frac{1}{C_7} \left(\frac{1}{R_7} - \frac{1}{R_8} \right) \cdot s + \frac{R_2}{R_1 R_4 R_5 C_3 C_7}} \quad (9.21)$$

Por lo que la frecuencia central de rechazo es $\omega_0^2 = \frac{R_2}{R_1 R_4 R_5 C_3 C_7}$.

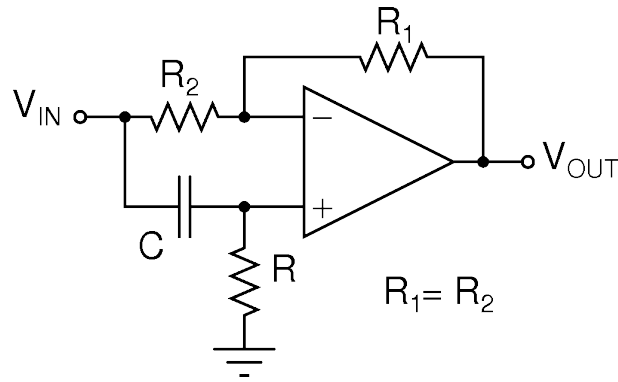


Figura 9.30: Filtros AP sencillo.

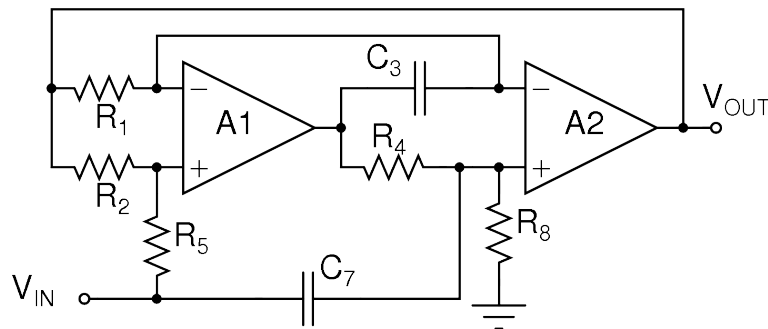


Figura 9.31: Filtros AP de segundo orden con configuración de immitancia.

9.7.7. Filtros activos AP

Para concluir este tema, se proponen dos filtros que pueden funcionar como pasa-todo con una inversión de fase para altas y bajas frecuencias. Uno de ellos es el mostrado en Fig. 9.30. La función de transferencia asociada a este circuito es:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{s - \frac{1}{RC}}{s + \frac{1}{RC}} \quad (9.22)$$

Esta función siempre tiene una ganancia igual a 1. Sin embargo, a bajas frecuencias es inversora pero a altas frecuencias no inversora. La transición se produce en $s = \frac{1}{RC}$.

Para implementar filtros de segundo orden con factor de calidad Q_F optimizable, debe recurrirse a una configuración de immitancia generalizada como la propuesta en Fig. 9.31. En este circuito, la función ganancia es fácil de calcular como:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{s^2 - \frac{R_2}{R_5 R_8 C_7} s + \frac{R_2}{R_1 R_4 R_5 C_3 C_7}}{s^2 + \frac{1}{R_8 C_7} s + \frac{R_2}{R_1 R_4 R_5 C_3 C_7}} \quad (9.23)$$

Que se convierte en un filtro AP si hacemos $R_2 = R_5$ y se transformaría en:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{s^2 - \frac{1}{R_8 C_7} s + \frac{R_2}{R_1 R_4 R_5 C_3 C_7}}{s^2 + \frac{1}{R_8 C_7} s + \frac{R_2}{R_1 R_4 R_5 C_3 C_7}} \quad (9.24)$$

Con esta estructura, finaliza el capítulo dedicado al diseño de filtros activos. Debe tenerse en

cuenta que, si se consulta la literatura, puede encontrarse mucha más información sobre el asunto: Nuevas estructuras, funciones, etc.

Recuérdese también que estos circuitos no son válidos para frecuencias muy altas debido a las características del amplificador operacional. Por otro lado, hay que intentar evitar que el filtro entre en oscilación por medio de las técnicas que se describen en capítulo correspondiente a osciladores.

Capítulo 10

OSCILADORES

Un **oscilador** es un circuito en el que se genera una señal de salida periódica de modo espontáneo pues solo cuenta con las alimentaciones y tierra como entradas. El oscilador produce generalmente una señal de salida sinusoidal o una señal cuadrada. Todos los osciladores tienen una **frecuencia característica de trabajo**, que depende de los valores de los componentes del circuito (resistencias, condensadores, ...) y que, en algunos casos, es controlable desde el exterior por medio de una tensión aplicada (VCOs).

En los osciladores sinusoidales, pueden aparecer armónicos de orden superior que distorsionan la señal de salida. En los osciladores cuadráticos, es interesante conocer el *duty cycle*, que es el cociente entre el tiempo en que la señal está en alta y el periodo. Idealmente, debe ser un 50 %.

Aparte de su forma, los osciladores se clasifican en **osciladores lineales y de relajación**. Los *osciladores lineales* se caracterizan por utilizar redes RC o RLC para construir bloques con una determinada función de transferencia con una frecuencia de resonancia característica. Es por ello que estos osciladores están intimamente ligados con los filtros lineales tratados en el tema anterior. En cambio, *los osciladores de relajación* emplean circuitos inestables, que no pueden alcanzar un punto de equilibrio estable, y que pasan de un estado a otro al transcurrir un tiempo que depende de los componentes del circuito.

10.1. Osciladores lineales

Los osciladores lineales se caracterizan por poseer un bloque con una determinada función de transferencia, $A(s)$, y cuya salida se reinyecta en la entrada a través de un bloque amplificador de ganancia $\beta(s)$. De este modo, se crea un anillo como el mostrado en Fig. 10.1.

10.1.1. Criterio de Barkhausen

En un circuito como el de Fig. 10.1, la condición necesaria y suficiente para que la oscilación se mantenga a una frecuencia ω_0 es que la señal de salida, una vez transformada por ambos bloques, emerja exactamente igual a como salió. En otras palabras,

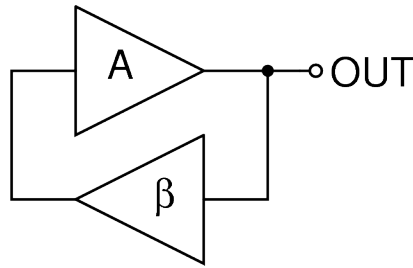


Figura 10.1: Estructura realimentada en anillo sin entrada.

$$A(j\omega_0) \cdot \beta(j\omega_0) = 1 \quad (10.1)$$

Puesto que tratamos con números complejos:

$$|A(j\omega_0) \cdot \beta(j\omega_0)| = 1$$

$$\text{phase}(A(j\omega_0) \cdot \beta(j\omega_0)) = 0 \quad (10.2)$$

La primera condición implica que toda señal que entra en el amplificador A recorre el anillo sin amplificarse ni atenuarse y la segunda que vuelve al origen sin que se haya producido un desfase. Sin embargo, la primera condición no es excluyente. Así, en caso de que la ganancia total sea mayor que 1, la señal se irá amplificando hasta que el sistema se sature. En ese caso, se alcanzará la estabilidad aunque la señal estará fuertemente deformada al alcanzarse la saturación en la salida. La salida será entonces una señal sinusoidal truncada.

Generalmente, la red de amplificación $\beta(s)$ no suele depender de la frecuencia pues sus polos y ceros se suelen hallar muy lejos de la frecuencia de resonancia. En consecuencia, $\beta(s) \equiv \beta > 0$ si la red es no inversora y $\beta(s) \equiv -\beta < 0$ si es inversora. Por ello, el bloque $A(s)$ tiene desfase 0 o bien desfase π . En el primer caso, el bloque de amplificación debe ser no inversor y, en el segundo, inversor.

10.1.2. Ejemplos de osciladores lineales típicos

10.1.2.1. Oscilador de deriva de fase

Un *oscilador de deriva o cambio de fase* consiste en una red que desfasa 180° y cuya salida se redirige a la entrada por medio de un amplificador con ganancia negativa. El método más utilizado para crear la red de cambio de fase es un circuito RC en escalera (Fig. 10.2).

Cada par RC puede desfasar hasta 90° la señal de entrada. Por tanto, la colocación de tres pares RC garantiza que la señal V_B se encuentre desfasada entre 0° y 270° con respecto a V_A dependiendo del valor de la frecuencia de trabajo. En consecuencia, podemos garantizar que existe una frecuencia donde aparece inversión de fase (180°). Así, es posible demostrar que, si utilizamos una frecuencia

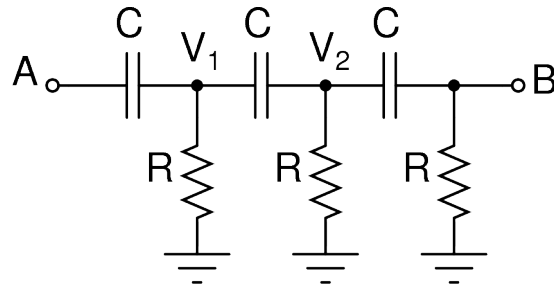


Figura 10.2: Red RC en escalera con desfase de 0 a 270°.

normalizada¹ $u = RC \cdot s = s/\omega_0$, siendo $\omega_0 = 1/RC$ la frecuencia característica del circuito RC, la entrada y la salida se relacionan según:

$$\frac{V_B(u)}{V_A(u)} = \frac{u^3}{u^3 + 6 \cdot u^2 + 5 \cdot u + 1} \quad (10.3)$$

Ahora, pasemos del dominio de Laplace normalizado al dominio de Fourier normalizado haciendo $u = j \cdot \Omega$, con lo que la ecuación anterior se transforma en:

$$\frac{V_B(\Omega)}{V_A(\Omega)} = -\frac{j \cdot \Omega^3}{(1 - 6 \cdot \Omega^2) + j \cdot (5 \cdot \Omega - \Omega^3)} \quad (10.4)$$

Podemos ver que el numerador es un número puramente complejo. Por tanto, como para conseguir la oscilación es necesario que el cociente entre la salida y la entrada de la red sea un número real, la parte real del denominador debe anularse:

$$1 - 6 \cdot \Omega_R^2 = 0 \Rightarrow \Omega_R = \frac{1}{\sqrt{6}} \Rightarrow \omega_R = \frac{\omega_0}{\sqrt{6}} \quad (10.5)$$

Siendo ω_R la frecuencia de resonancia de la red. ¿Cuál es entonces la ganancia de esta red? Utilicemos Eq. 10.4 sabiendo que la parte real del denominador es nula:

$$\frac{V_B(\Omega_R)}{V_A(\Omega_R)} = -\frac{j \cdot \Omega_R^3}{(1 - 6 \cdot \Omega_R^2) + j \cdot (5 \cdot \Omega_R - \Omega_R^3)} = \frac{\Omega_R^2}{5 - \Omega_R^2} = -\frac{1}{6} \cdot \frac{1}{5 - \frac{1}{6}} = -\frac{1}{29} \quad (10.6)$$

En consecuencia, la red de realimentación debe tener una ganancia mínima de -29 para conseguir que aparezca la oscilación. Este bloque de ganancia puede conseguirse de dos maneras: Uno, utilizando un amplificador inversor basado en un amplificador operacional o bien un amplificador de pequeña señal en emisor/fuente común.

Una solución aparentemente sencilla sería colocar un amplificador inversor con entrada en B y salida en A (Fig. 10.3). Sin embargo, existe el problema de que la impedancia de entrada de estos amplificadores es relativamente baja por lo que cargarían la red RC afectando a la frecuencia teórica de oscilación.

Una solución más elegante a este problema consiste en montar el circuito de Fig. 10.4. En esta estructura, la resistencia R , que originalmente estaba entre el nudo B y tierra, se conecta

¹Recordemos que algo similar se estudió en el escalado y normalizado de los filtros lineales.

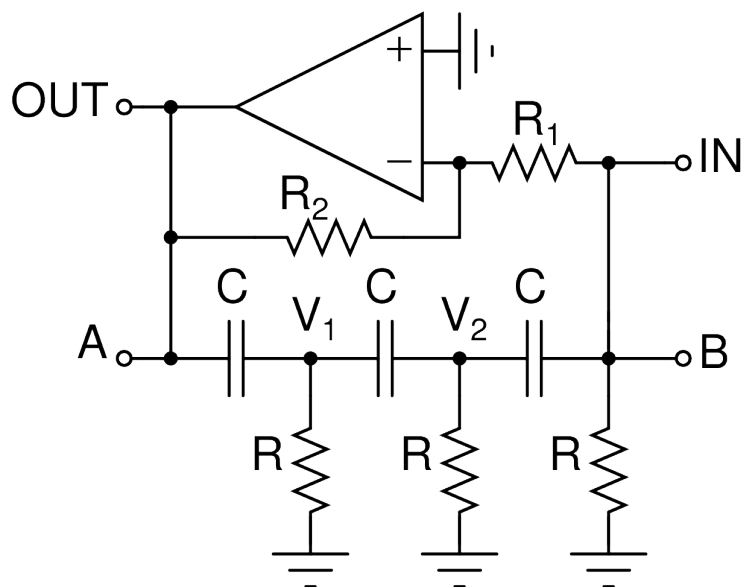


Figura 10.3: Oscilador basado en red de cambio de fase con amplificador operacional. Lamentablemente, la resistencia real que se ve desde el nudo B es $(R//R_1)$ al existir una tierra virtual. La función de transferencia mostrada en Eq. 10.3 no es válida.

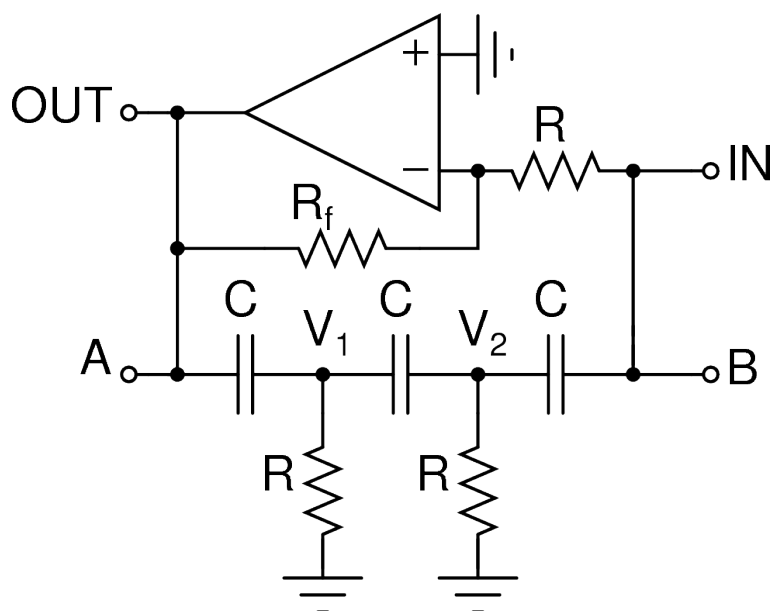


Figura 10.4: Oscilador basado en red de cambio de fase con amplificador operacional. En este caso, los resultados son válidos.

ahora a la tierra virtual creada por el amplificador. En consecuencia, las ecuaciones desarrolladas anteriormente siguen siendo válidas. Por otra parte, podemos identificar B con la entrada IN del amplificador inversor y A con la salida OUT . Haciendo $R_f = 29 \cdot R$, se consiguen las condiciones para que aparezca la oscilación.

Los problemas asociados a esta solución son sencillos de entender. En primer lugar, el amplificador operacional suele requerir alimentaciones bipolares relativamente elevadas por lo que no es factible su uso cuando se deben usar tensiones de alimentación bajas y unipolares. Por otra parte, el propio amplificador operacional tiene limitaciones en frecuencia, sobre todo cuando trabaja con ganancias tan elevadas. Por ello, esta estructura solo es válida para conseguir oscilaciones del orden del kHz.

Para solventar estos problemas, puede utilizarse una red amplificadora en emisor común. Dado que estas redes amplifican la pequeña señal, basta que los nudos de tierra mostrados en Fig. 10.2 correspondan a una tierra en pequeña señal: Es decir, basta que sea una tensión constante como las de las fuentes de alimentación. Asimismo, a semejanza del circuito mostrado en Fig. 10.4, pueden utilizarse las resistencias y condensadores de la red básica para polarizar el elemento.

El circuito mostrado en Fig. 10.5 funcionaría como oscilador. Esta red presenta una serie de características particulares.

1. En primer lugar, se utiliza la resistencia $(R_1 // R_2)$ como resistencia final de la red de cambio de fase. Eso provoca que el valor de la frecuencia de resonancia discrepe algo de la de Eq. 10.5. Asimismo, se usa un condensador C como capacidad de bloqueo en la base del NPN, que es la entrada del amplificador.
2. La resistencia de colector se ha hecho igual a R por simplicidad.
3. Sabemos que la ganancia del amplificador es muy alta, pero no se sabe su valor exacto.
4. La tensión de salida oscila entre las dos tensiones de alimentación al pasar el transistor a corte y saturación.

10.1.2.2. Oscilador de Puente de Wien

La idea original de este oscilador fue propuesta por el físico austríaco Wien, conocido por sus aportaciones a la teoría del cuerpo negro, allá por 1891, mucho antes de que surgiera la idea del amplificador operacional (1947).

Este oscilador utiliza una red sin inversión de fase por lo que es posible utilizar un amplificador operacional en configuración no inversora, con impedancia de entrada elevada, para producir la realimentación. La red RC utilizada consiste en un par RC serie junto con un par RC paralelo (Fig. 10.6). Esta red se trata de manera similar a un divisor de tensiones llegándose a la conclusión de que:

$$\frac{V_A - V_B}{R + Z_C} = \frac{V_B}{R} + \frac{V_B}{Z_C}$$

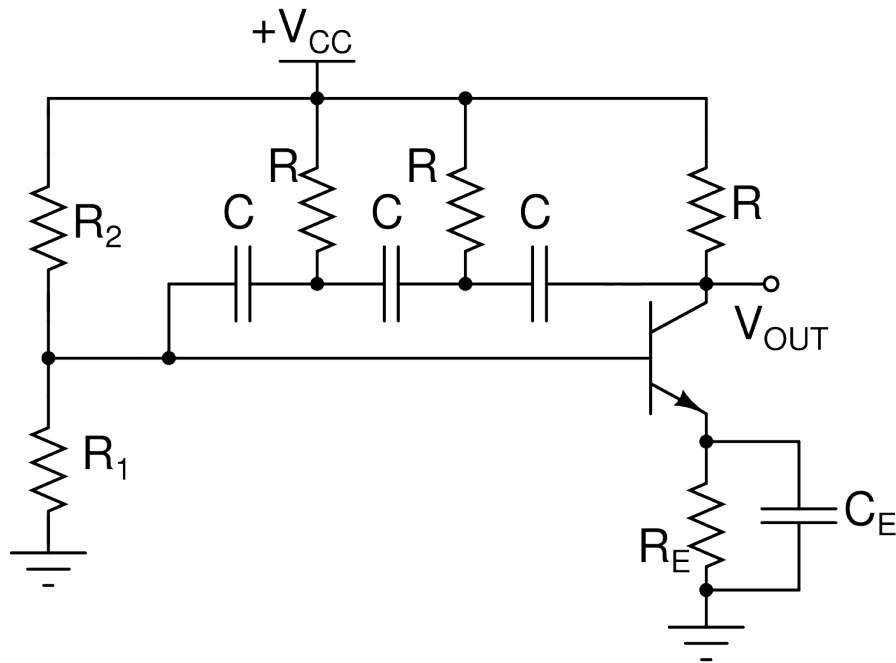


Figura 10.5: Oscilador basado en red de cambio de fase con transistor NPN en configuración de emisor común.

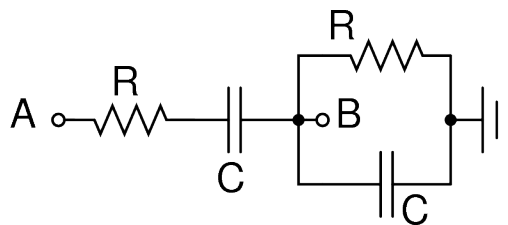


Figura 10.6: Red RC asociada al puente de Wien.

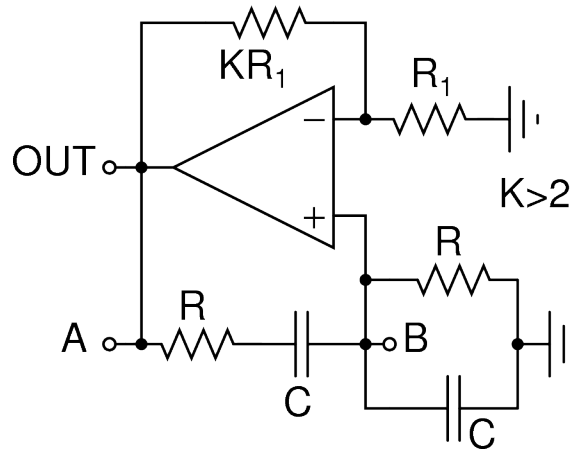


Figura 10.7: Oscilador con puente de Wien.

Siendo Z_C la impedancia del condensador en el dominio de Laplace, $Z_C = 1/Cs$. Si reemplazamos Z_C por su valor y pasamos al dominio de Laplace normalizado realizando el cambio de variables $u = s/\omega_0$, siendo $\omega_0 = 1/RC$, se obtiene la siguiente relación entre V_A y V_B :

$$\frac{V_B(u)}{V_A(u)} = \frac{u}{u^2 + 3u + 1} \quad (10.7)$$

Pasamos ahora al dominio de Fourier normalizado con el cambio $u = j\Omega$:

$$\frac{V_B(\Omega)}{V_A(\Omega)} = \frac{j\Omega}{(1 - \Omega^2) + 3j\Omega} \quad (10.8)$$

Como el numerador es puramente imaginario, el denominador debe serlo también para que se produzca la oscilación. En consecuencia:

$$1 - \Omega_R^2 = 0 \Rightarrow \Omega_R = 1 \Rightarrow \omega_R = \omega_0 \quad (10.9)$$

Por tanto, la frecuencia de resonancia es, directamente, $1/RC$. Sin embargo, a esta frecuencia la señal es atenuada un factor:

$$\frac{V_B(\Omega_R)}{V_A(\Omega_R)} = \frac{j\Omega_R}{(1 - \Omega_R^2) + 3j\Omega_R} = \frac{j\Omega_R}{3j\Omega_R} = \frac{1}{3} \quad (10.10)$$

Por lo que la red de realimentación debe tener una ganancia mínima de 3 para que el sistema entre en oscilación. Un ejemplo típico de red que consigue esto se muestra en Fig. 10.7. A diferencia del inversor de fase, la ganancia del amplificador no es muy grande por lo que pueden obtenerse frecuencias más altas ya que los polos propios del amplificador no se alejan demasiado del producto ganancia-ancho de banda. Por otra parte, no interesa construir este circuito con transistores discretos ya que serían necesarios dos inversores con emisor/fuente común en cadena para conseguir una ganancia positiva.

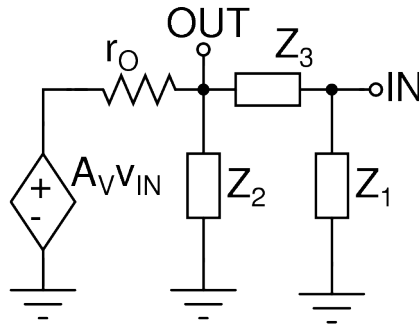


Figura 10.8: Red para construcción de filtros de Harley y Colpitts.

10.1.2.3. Osciladores de Hartley y Colpitts

Tanto el oscilador de deriva de fase como el de puente de Wien son particularmente adecuados para trabajar en el margen de audiofrecuencia (< 20 kHz). Sin embargo, en radiofrecuencia suelen usarse bobinas y circuitos resonantes LC en construcción de osciladores. A semejanza de los amplificadores con desplazamiento de fase, la amplificación se consigue con una configuración en emisor/fuente común. Dado que esta etapa desfasa 180° , que es un amplificador inversor, la red desfasadora debería desfasar también otros 180° .

Una forma bastante usada es la representada en Fig. 10.8 donde se supone un amplificador de ganancia A_V , de impedancia de salida r_O y de impedancia de entrada infinita (para simplificar los cálculos). Si llamamos V_{OUT} a la salida del amplificador:

$$\begin{aligned} \frac{A_V \cdot V_{IN} - V_{OUT}}{r_O} &= \frac{V_{OUT}}{Z_2} + \frac{V_{OUT}}{Z_1 + Z_3} \Rightarrow \\ \Rightarrow V_{OUT} &= A_V \cdot \frac{Z_2 // (Z_3 + Z_1)}{Z_2 // (Z_3 + Z_1) + r_O} \cdot V_{IN} \end{aligned}$$

Asimismo:

$$V_{IN} = V_{OUT} \cdot \frac{Z_1}{Z_1 + Z_3}$$

Con lo que estas ecuaciones conducen a:

$$\Rightarrow V_{OUT} = A_V \cdot \frac{Z_2 // (Z_3 + Z_1)}{Z_2 // (Z_3 + Z_1) + r_O} \cdot \frac{Z_1}{Z_1 + Z_3} \cdot V_{OUT} \quad (10.11)$$

Si existe oscilación, se puede extrapolar el criterio de Barkhausen a esta estructura suponiendo simplemente que:

$$A_V \cdot \frac{Z_2 // (Z_3 + Z_1)}{Z_2 // (Z_3 + Z_1) + r_O} \cdot \frac{Z_1}{Z_1 + Z_3} = 1 \quad (10.12)$$

O, lo que es lo mismo: Si este coeficiente no es igual a 1, la solución de la ecuación es $V_{OUT} = 0$. Si existe una señal de salida distinta de 0, podemos dividir Eq. 10.11 por V_{OUT} para obtener Eq.

10.12. Operando, esta ecuación se puede reducir a:

$$\frac{A_V \cdot Z_1 \cdot Z_2}{r_O \cdot (Z_1 + Z_2 + Z_3) + Z_2 \cdot (Z_1 + Z_3)} = 1 \quad (10.13)$$

Supongamos ahora que las impedancias son puramente complejas. Es decir, $Z_N = j \cdot X_N$, siendo $X_N = L \cdot \omega$ si es una bobina y $X_N = 1/C \cdot \omega$ si es un condensador. Por tanto:

$$-\frac{A_V \cdot X_1 \cdot X_2}{j \cdot r_O \cdot (X_1 + X_2 + X_3) - X_2 \cdot (X_1 + X_3)} = 1 \quad (10.14)$$

La condición de oscilación se produce cuando esta relación se cumple. Esto solo es posible cuando la parte imaginaria del denominador desaparece. En otras palabras:

$$X_1 + X_2 + X_3 = 0 \quad (10.15)$$

Es fácil ver que los tres elementos no pueden tener el mismo signo. Por tanto, debe haber un condensador y dos bobinas o viceversa. Sin embargo, ¿cómo debería hacerse la distribución de papeles? Busquemos nuevas condiciones. Para ello, combinemos Eq. 10.15 y 10.14:

$$\frac{A_V \cdot X_1 \cdot X_2}{X_2 \cdot (X_1 + X_3)} = 1 \quad (10.16)$$

Eq. 10.15 se puede expresar como $X_1 + X_3 = -X_2$ por lo que:

$$-\frac{A_V \cdot X_1}{X_2} = 1 \quad (10.17)$$

Si A_V es desfasador su valor será negativo (solución más sencilla puesto que implica sólo un paso amplificador) por lo que X_1 y X_2 deben ser del mismo signo (o bien 2 capacidades o 2 inductancias). Otra consecuencia es que, como $X_1 + X_2 + X_3 = 0$, X_3 debe tener el signo contrario a las anteriores.

La solución con 2 condensadores y una inductancia se conoce como “*oscilador de Colpitts*” (C_1 , C_2 y L_3) y con 2 inductancias y un condensador “*oscilador de Hartley*” (L_1 , L_2 y C_3). En este último caso, hay que tener cuidado con la presencia de la inductancia mutua entre las bobinas pues *estarían funcionando como un transformador!*

Figs. 10.9 y 10.10 muestran dos implementaciones de las estructuras oscilantes empleando como amplificador un bloque con emisor común. En ellas, se deben insertar capacidades adicionales de bloqueo (C_B en Fig. 10.9, C_B , C_C en Fig. 10.10).

A primera vista, puede estimarse la frecuencia de resonancia de los circuitos por medio de Eq. 10.15. Así, en un oscilador Colpitts:

$$X_1 + X_2 + X_3 = -\frac{1}{C\omega_R} - \frac{1}{C\omega_R} + L\omega_R = 0 \Rightarrow \omega_R = \frac{\sqrt{2}}{\sqrt{LC}} \quad (10.18)$$

y en un oscilador Hartley:

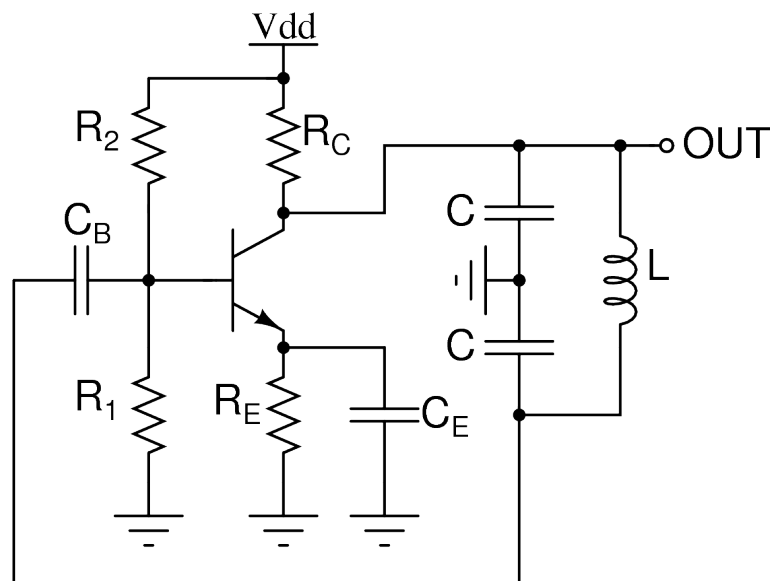


Figura 10.9: Oscilador Colpitts.

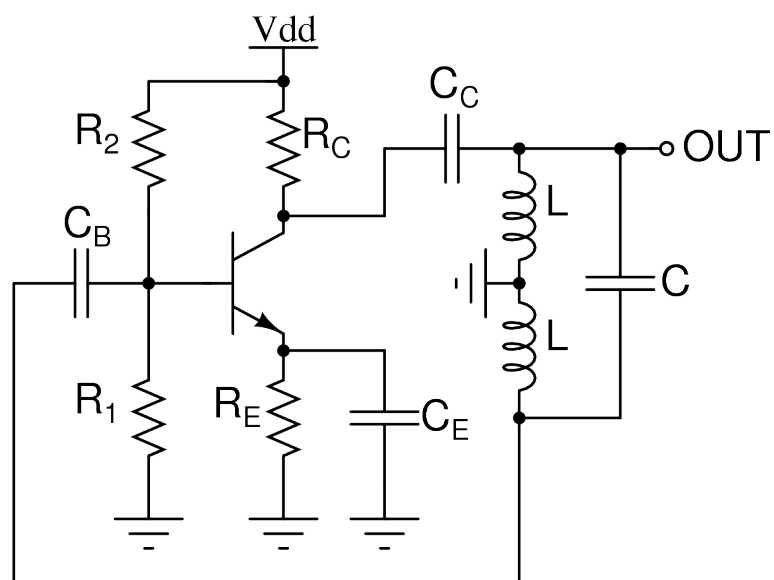


Figura 10.10: Oscilador Hartley.

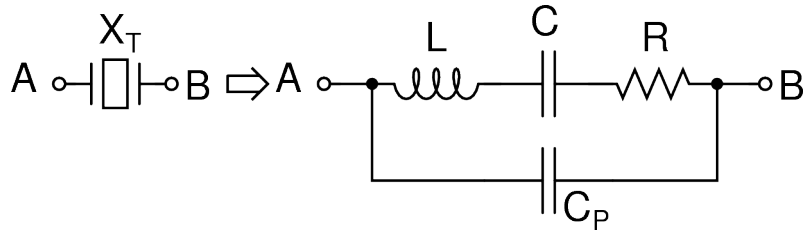


Figura 10.11: Modelo equivalente de un cristal de cuarzo.

$$X_1 + X_2 + X_3 = L \cdot \omega_R + L \cdot \omega_R - \frac{1}{C \omega_R} = 0 \Rightarrow \omega_R = \frac{1}{\sqrt{2LC}} \quad (10.19)$$

Sin embargo, la realidad es diferente. El análisis de los osciladores Hartley y Colpitts es bastante más complicado debido al efecto de carga de la impedancia de entrada del transistor (así como $(R1//R2)$). Como estos osciladores se usan en alta frecuencia es necesario el uso del modelo en π completo (con C_μ), lo que implica que la impedancia de entrada no es totalmente resistiva.

10.1.2.4. El cristal de cuarzo. Oscilador de Pierce

El efecto piezoeléctrico es un fenómeno físico que consiste en la aparición de carga eléctrica entre los extremos de un cristal (generalmente de cuarzo, pero también turmalina, topacio, azúcar de caña,...) al aplicar presión en sus extremos. Se puede demostrar que un cristal de cuarzo puede modelarse como muestra Fig. 10.11. En esta figura, el condensador C_P es un parásito que se incluye para dar cuenta de la capacidad existente entre los electrodos. Por otra parte, la resistencia R puede ser despreciada en comparación con los otros elementos.

La impedancia de esta red es:

$$Z_X = \left(jL\omega + \frac{1}{j\omega C} \right) // \frac{1}{j\omega C_P} = -j \cdot \frac{1 - LC\omega^2}{\omega \cdot (C + C_P) - \omega^2 \cdot LC \cdot C_P} \quad (10.20)$$

Se ha despreciado el efecto de la resistencia parásita, R . Dividamos ahora los dos términos por $L \cdot C_P$:

$$Z_X = \frac{j}{\omega \cdot C_P} \cdot \frac{\omega^2 - \omega_S^2}{\omega^2 - \omega_P^2} \quad (10.21)$$

siendo $\omega_S = 1/\sqrt{LC}$ y $\omega_P = \sqrt{\frac{1}{L} \cdot \left(\frac{1}{C} + \frac{1}{C_P} \right)} = \frac{1}{\sqrt{LC_{SERIE}}}$ siendo C_{SERIE} el equivalente de las dos capacidades en serie. En general, $C_P \gg C$ lo que implica que $\omega_S \lesssim \omega_P$ con lo que se localiza en este punto la frecuencia de resonancia y, por tanto, la de oscilación del cristal.

Pongamos un caso real: Para un cristal de 90 kHz, se sabe que $L = 137H$, $R = 15k\Omega$, $C = 0,0235pF$ y $C_P = 3,5pF$. De acuerdo con estos valores, $\omega_S = 88,70kHz$ y $\omega_P = 88,99kHz$. Al realizar una simulación numérica, se obtienen los resultados mostrados en Fig. 10.12.

Como puede verse, todo cristal posee una frecuencia de resonancia característica. Este hecho puede ser utilizado para construir osciladores bastante estables en el rango de las radiofrecuencias

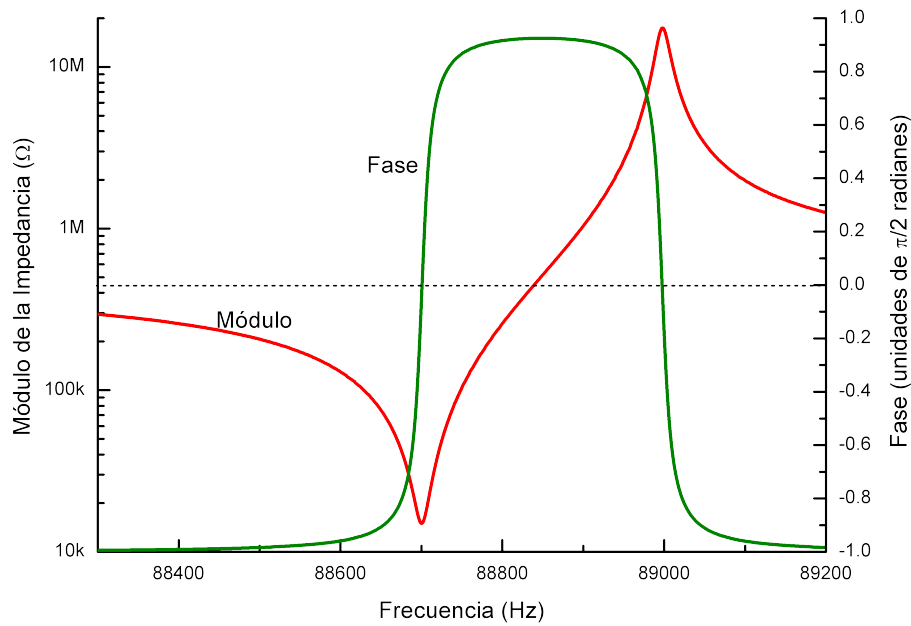


Figura 10.12: Impedancia del cristal de cuarzo.

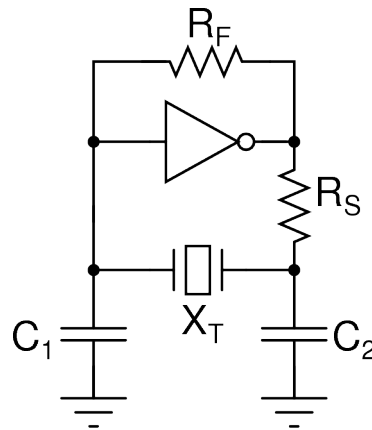


Figura 10.13: Oscilador de Pierce generalizado.

como, por ejemplo, el llamado “*oscilador de Pierce*”, cuya estructura general se encuentra en Fig. 10.13.

En esta estructura, C_1 y C_2 se añaden para aumentar el valor efectivo de C_P y transformar el cristal en una sencilla red LC serie. Los valores de estas capacidades son normalmente especificados por el fabricante del cristal. Por otra parte, si $C_1 = C_2$ se consigue un desfase de 180° entre los extremos del cristal haciendo posible la oscilación. La función de la resistencia R_F consiste en mantener el amplificador inversor en zona lineal y evitar que vaya a saturación.

En el caso de que el amplificador inversor sea un circuito inversor en emisor común, se obtiene el esquema de Fig. 10.14. El modelo equivalente de esta estructura es muy parecido al oscilador Colpitts, con dos capacidades y una inductancia. Otras versiones de este oscilador hacen uso de inversores CMOS, como la que se muestra en Fig. 10.15. Estructuras similares a ésta se utilizan para crear los relojes de los microprocesadores, generalmente conectando a la salida un inversor Schmitt

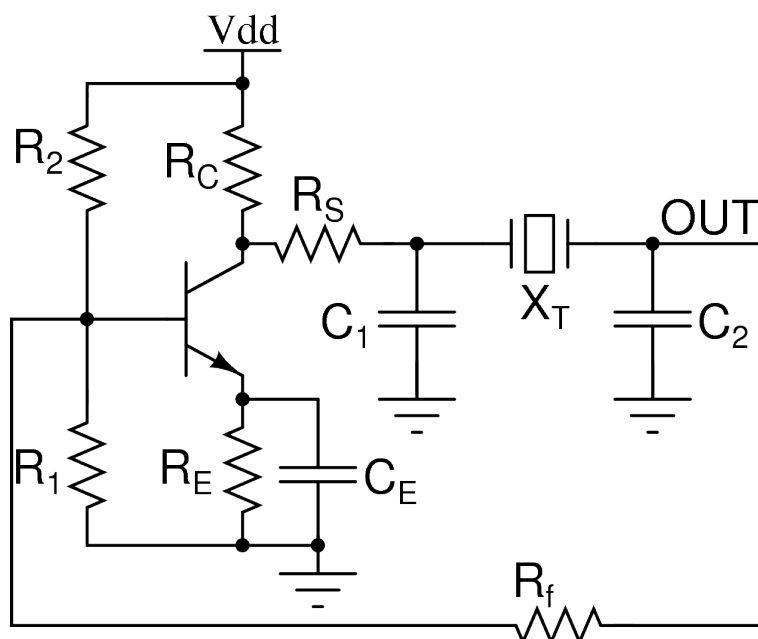


Figura 10.14: Oscilador de Pierce con emisor común.

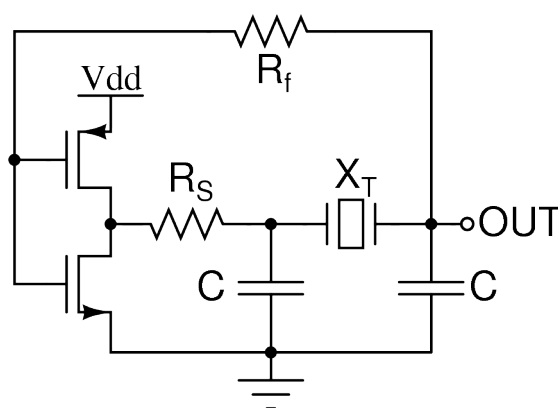


Figura 10.15: Oscilador de Pierce con inversor CMOS.

con el objeto de “endurecer” los niveles lógicos de salida.

10.1.3. Influencias de las no idealidades de los amplificadores operacionales en las características de los osciladores

En el apartado anterior, se estudiaron diversos ejemplos de osciladores, tanto para audiofrecuencia como para radiofrecuencia. Los primeros contaban en su interior con amplificadores operacionales que se supusieron ideales. Ahora, supongamos que no lo son y veamos cómo se ve afectada la oscilación. El estudio se centrará en el puente de Wien por la simplicidad de las ecuaciones derivada de su red RC de realimentación. Sin embargo, puede ser aplicado a cualquier otro diseño.

10.1.3.1. Slew rate

Se ha diseñado un oscilador con una frecuencia de resonancia ω_R . En general, supongamos que la amplitud de las oscilaciones es igual a la tensión de saturación, que identificaremos con V_{CC} . Por tanto, la salida del oscilador sería:

$$V_{OUT}(t) = V_{CC} \cdot \sin(\omega_R t)$$

Sin embargo, de acuerdo con la limitación de *slew rate*, SR , se debe verificar que:

$$\frac{dV_{OUT}}{dt} = V_{CC} \cdot \omega_R \cdot \cos(\omega_R t) < SR \quad (10.22)$$

El máximo valor de la pendiente es $\omega_R \cdot V_{CC}$. En consecuencia, la elección de un valor de ω_R demasiado alto puede violar la limitación de *slew rate*. La principal consecuencia de ello es que la señal de salida se distorsiona, acercándose a una señal pseudotriangular de pendiente similar al *slew rate* y frecuencia igual a la de oscilación. Además, su amplitud decrecerá al no tener tiempo de llegar al valor de la tensión de alimentación.

10.1.3.2. Producto ganancia-ancho de banda

Otra influencia característica de los amplificadores operacionales consiste en la influencia del producto ganancia-ancho de banda, f_U . Recordemos que el sistema formado por un amplificador operacional en configuración no inversora con ganancia $(1+K)$ puede modelarse a partir del modelo del polo único:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{1+K}{1 + \frac{s}{\omega_q}} \quad (10.23)$$

siendo $\omega_q = \frac{A_0 \cdot \omega_P}{1+K} = \frac{2\pi \cdot f_U}{1+K}$. Por ejemplo, el amplificador operacional uA741 tiene una frecuencia de ganancia unidad de 1 MHz que, en una configuración no inversora, con ganancia mínima de 3, se reduce a 333 kHz.

Recordando la relación entre V_A y V_B en el puente de Wien, el criterio de Barkhausen se convierte en:

$$A \cdot \beta = 1 \Rightarrow \frac{1+K}{1 + \frac{\omega_R}{\omega_q} \cdot u} \cdot \frac{u}{u^2 + 3u + 1} = 1 \quad (10.24)$$

La relación mostrada por Eq. 10.24 se ha pasado al dominio de Laplace normalizado, con $s = u \cdot \omega_R$, siendo ω_R la frecuencia teórica de resonancia. Si denomino $\alpha = \omega_R / \omega_q$:

$$(1+K) \cdot u = \alpha \cdot u^3 + (1+3\alpha) \cdot u^2 + (3+\alpha) \cdot u + 1 \quad (10.25)$$

Pasando al dominio de Fourier normalizado con $u = j \cdot \Omega$:

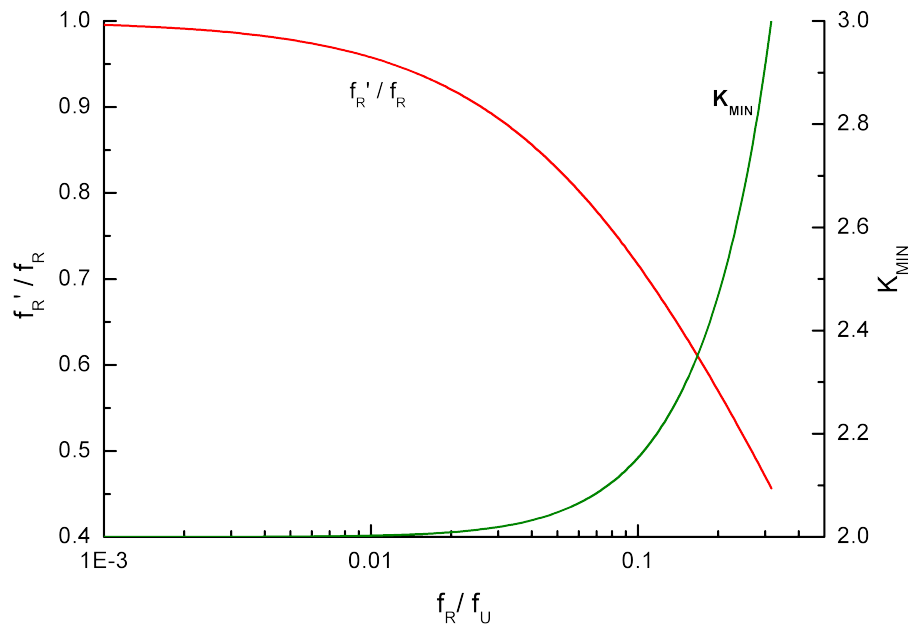


Figura 10.16: Relación entre la ganancia mínima y la frecuencia de oscilación real en un puente de Wien con amplificador operacional con polo único.

$$j \cdot (1 + K) \cdot \Omega = [1 - (1 + 3\alpha) \cdot \Omega^2] + j \cdot (3 + \alpha - \alpha \cdot \Omega^2) \cdot \Omega \quad (10.26)$$

Nos aparece una aparente contradicción pues la nueva frecuencia de oscilación podría calcularse de dos maneras distintas, una por cada parte del segundo miembro. Sin embargo, esto no es en realidad así pues recordemos que α depende en última medida de $(1 + K)$ de modo que, en realidad, aparece un sistema de ecuaciones no lineales que relaciona K y Ω . En primera aproximación, centrémonos en la parte real del enunciado y tomémosla como una aproximación de la frecuencia real de oscilación:

$$1 - (1 + 3\alpha) \cdot \Omega^2 = 0 \Rightarrow \Omega = \frac{1}{\sqrt{1 + 3\alpha}} \quad (10.27)$$

En consecuencia, la frecuencia de oscilación real será:

$$\omega_R^* \simeq \frac{\omega_R}{\sqrt{1 + 3 \cdot \frac{\omega_R}{\omega_q}}} \quad (10.28)$$

¿Qué nos dice este hecho? En primer lugar, que la frecuencia real de oscilación es menor que la teórica. Fig. 10.16 muestra la resolución numérica del sistema de ecuaciones que permiten averiguar el valor de la frecuencia de oscilación y el valor mínimo de K necesario para inducir la oscilación. Dos hechos son claros. En primer lugar, la frecuencia de oscilación disminuye como se dedujo a partir de Eq. 10.28. Por otra parte, cuando más cerca la frecuencia de oscilación del valor de f_U , mayor debe ser el valor de $(1 + K)$ para arranzcar la oscilación.

Por otra parte, utilizar dos amplificadores distintos en el puente de Wien puede producir variacio-

nes en la frecuencia de oscilación si sus productos ganancia-ancho de banda son distintos. Asimismo, incrementar la ganancia K del puente de Wien favorece la oscilación. Sin embargo, la frecuencia de oscilación disminuye al disminuir ω_q .

10.1.3.3. Distorsión

En todas las discusiones realizadas hasta ahora se ha supuesto que la relación entre la entrada y la salida es perfectamente lineal. Por ejemplo, en el caso del puente de Wien, la relación entre la entrada y la salida era, simplemente, $1 + K$. Sin embargo, podemos recordar de temas anteriores que las etapas que constituyen un amplificador operacional (p. e., la etapa de salida) introducen no linealidades en el circuito. Para dar más generalidad a la relación puramente lineal, podemos suponer que la relación que existe entre la entrada y la salida de un amplificador operacional en configuración no inversora puede ser reescrita como una serie de Taylor con lo que:

$$V_{OUT} = (1 + K) \cdot (V_{OS} + V_{IN} + \alpha \cdot V_{IN}^2 + \beta \cdot V_{IN}^3 + \dots) \quad (10.29)$$

Ecuación que toma en cuenta los efectos de la tensión de *offset*, de las no linealidades, etc. Por otra parte, se supone que la ganancia en lazo abierto es muy elevada para no tener que incluir su efecto y que estamos trabajando a baja frecuencia para descartar los fenómenos descritos en los apartados anteriores.

Supongamos ahora que en la salida existe un tono puro, de la forma $V_{OUT}(t) = A \cdot \text{sen}(\omega \cdot t)$. Por tanto, en la salida de la red RC aparece otro tono, en este caso de valor $V_B(t) = \rho \cdot \text{sen}(\omega \cdot t)$, que no se ha desfasado respecto a la primera señal al encontrarnos en la frecuencia de resonancia. Idealmente, $A = (1 + K) \cdot \rho$. Sin embargo, veamos qué pasa en realidad. Identificamos V_B con V_{IN} y sustituimos en Eq. 10.29:

$$V_{OUT} = (1 + K) \cdot (V_{OS} + \rho \cdot \text{sen}(\omega \cdot t) + \alpha \cdot \rho^2 \cdot \text{sen}^2(\omega \cdot t) + \beta \cdot \rho^3 \cdot \text{sen}^3(\omega \cdot t) + \dots)$$

Recordemos ahora que:

$$\text{sen}^2(\omega t) = \frac{1 - \cos(2 \cdot \omega t)}{2}$$

$$\text{sen}^3(\omega t) = \frac{3}{4} \cdot \text{sen}(\omega t) - \frac{1}{4} \cdot \text{sen}(3 \cdot \omega t) + \dots$$

Reemplazamos y reordenamos:

$$\begin{aligned} V_{OUT} = (1 + K) \cdot \left(\rho + \frac{3}{4} \beta \cdot \rho^3 \right) \cdot \text{sen}(\omega \cdot t) + \\ + (1 + K) \cdot \left(\left(V_{OS} + \frac{1}{2} \alpha \cdot \rho^2 \right) - \frac{1}{2} \alpha \cdot \rho^2 \cdot \cos(2 \omega \cdot t) - \frac{1}{4} \beta \cdot \rho^3 \cdot \text{sen}(3 \omega \cdot t) + \dots \right) \end{aligned} \quad (10.30)$$

Con esto demostramos que la existencia de un tono simple es inconsistente. En consecuencia, no pueden existir tonos puros en un oscilador a causa de la presencia de no idealidades. Las principales consecuencias de las no idealidades son las siguientes:

- Introducción de una tensión DC en la salida asociada a la tensión de *offset* y a las no idealidades de potencia par.
- Aparición de armónicos de la frecuencia fundamental (Distorsión)
- Control de la ganancia del modo fundamental.

En general, la onda existente en la salida del amplificador es menos pura que la que puede aparecer en la entrada del amplificador operacional ya que esta tensión es la primera tras haber sido filtrada por la red RC, con un máximo de ganancia en la frecuencia central.

10.1.3.4. Influencia de las tensiones de saturación

Directamente relacionada con el apartado anterior se encuentra la influencia de las tensiones de saturación. A fin de cuentas, incluso el mejor amplificador de ganancia $(1 + K)$ tiene una tensión de salida que se acaba saturando si la tensión de entrada es muy elevada. Así, si la relación entrada-salida en un amplificador no inversor con tensiones de alimentación finitas es:

$$V_{OUT} = \begin{cases} -V_{CC} & \text{si } V_{IN} < -\frac{V_{CC}}{1+K} \\ (1+K) \cdot V_{IN} & \text{si } |V_{IN}| < \frac{V_{CC}}{1+K} \\ +V_{CC} & \text{si } V_{IN} > \frac{V_{CC}}{1+K} \end{cases} \quad (10.31)$$

Que puede ser interpretado como una relación no lineal. Se ha identificado las tensiones de saturación con las alimentaciones por simplicidad. Imaginemos que, en la entrada del amplificador, que coincide con la salida del filtro, hay un tono fundamental con armónicos de orden superior despreciable:

$$V_{IN}(t) = \rho \cdot \sin(\omega t) + \sum_{k=2}^{\infty} \rho_k \cdot \sin(k\omega t - \varphi_k) \approx \rho \cdot \sin(\omega t) \quad (10.32)$$

Supongamos ahora que la amplitud es tan grande que el amplificador alcanza las tensiones de saturación. En este caso, la salida es una señal periódica muy deformada cuya expresión matemática es:

$$V_{OUT}(t) = \begin{cases} (1+K) \cdot \rho \cdot \text{sen}(\omega t) & \text{si } -T/2 < t < -T/2 + \frac{T}{2\pi} \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right) \\ -V_{CC} & \text{si } -T/2 + \frac{T}{2\pi} \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right) < t < -\frac{T}{2\pi} \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right) \\ (1+K) \cdot \rho \cdot \text{sen}(\omega t) & \text{si } -\frac{T}{2\pi} \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right) < t < \frac{T}{2\pi} \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right) \\ +V_{CC} & \text{si } \frac{T}{2\pi} \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right) < t < T/2 - \frac{T}{2\pi} \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right) \\ (1+K) \cdot \rho \cdot \text{sen}(\omega t) & \text{si } T/2 - \frac{T}{2\pi} \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right) < t < T/2 \end{cases} \quad (10.33)$$

Siendo $T = 2\pi/\omega$ el periodo de la señal. Esta expresión puede descomponerse en series de Fourier, siendo el coeficiente relacionado con el primer armónico:

$$a_1 = \frac{2}{T} \cdot \int_{-T/2}^{T/2} V_{OUT}(t) \cdot \text{sen}(\omega t) \cdot dt$$

Que, dadas la simetría inherente a la función V_{OUT} , se puede simplificar a:

$$a_1 = \frac{8}{T} \cdot \int_0^{T/4} V_{OUT}(t) \cdot \text{sen}(\omega t) \cdot dt$$

Si denomino $\alpha = \frac{T}{2\pi} \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right) = \frac{1}{\omega} \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right)$, la integral anterior se convierte en:

$$\begin{aligned} a_1 &= \frac{8}{T} \cdot \int_0^{T/4} V_{OUT}(t) \cdot \text{sen}(\omega t) \cdot dt = \frac{8}{T} \cdot \left[\int_0^\alpha (1+K) \cdot \rho \cdot \text{sen}^2(\omega t) \cdot dt + \int_\alpha^{T/4} V_{CC} \cdot \text{sen}(\omega t) \cdot dt \right] = \\ &= \frac{8}{T} \cdot \left[(1+K) \cdot \rho \cdot \int_0^\alpha \frac{1-\cos(2\omega t)}{2} \cdot dt + V_{CC} \cdot \int_\alpha^{T/4} \text{sen}(\omega t) \cdot dt \right] = \\ &= \frac{8}{T} \cdot \left[\frac{1}{2} (1+K) \cdot \rho \cdot \left[t - \frac{\text{sen}(2\omega t)}{2\omega} \right]_0^\alpha + V_{CC} \cdot \left[-\frac{\cos(2\omega t)}{\omega} \right]_\alpha^{T/4} \right] = \\ &= \frac{8}{T} \cdot \left[\frac{1}{2} (1+K) \cdot \rho \cdot \left[\alpha - \frac{\text{sen}(2\omega\alpha)}{2\omega} \right] + V_{CC} \cdot \frac{1+\cos(2\omega\alpha)}{\omega} \right] = \\ &= \frac{8}{T} \cdot \left[\frac{1}{2} (1+K) \cdot \rho \cdot \left[\frac{T}{2\pi} \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right) - \frac{T}{4\pi} \cdot \text{sen}\left(2 \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right)\right) \right] + V_{CC} \cdot \frac{1+\cos\left(2 \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right)\right)}{\omega} \right] = \\ &= (1+K) \cdot \rho \cdot \frac{4}{\omega} \cdot \text{asen}\left(\frac{V_{CC}}{1+K}\right) - (1+K) \cdot \rho \cdot \frac{2}{\omega} \cdot \text{sen}\left(2 \cdot \text{asen}\left(\frac{V_{CC}}{1+K}\right)\right) + \frac{4}{\pi} \cdot V_{CC} \cdot \left[1 + \cos\left(2 \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right)\right) \right] \end{aligned}$$

Ocurre que la señal entra en el filtro, donde la señal principal se atenúa (pero no se desfasa ya que estamos en la frecuencia central). Podemos suponer que se atenúa un factor $\frac{1}{1+K_{MIN}}$, siendo $1+K_{MIN}$ la mínima tensión que hay que conseguir para que el sistema comience a oscilar. En este caso, la señal a la salida del filtro es:

$$V_{IN}(t) = \left(\frac{1+K}{1+K_{MIN}} \cdot \rho \cdot \frac{4}{\omega} \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right) - \frac{1+K}{1+K_{MIN}} \cdot \rho \cdot \frac{2}{\omega} \cdot \text{sen}\left(2 \cdot \text{asen}\left(\frac{V_{CC}}{\rho \cdot (1+K)}\right)\right) + \right|$$

$$+\frac{4}{\pi} \cdot \frac{V_{CC}}{1+K_{MIN}} \cdot \left[1 + \cos \left(2 \cdot \text{asen} \left(\frac{V_{CC}}{\rho \cdot (1+K)} \right) \right) \right] \cdot \text{sen}(\omega t) \quad (10.34)$$

Pero, como el sistema está oscilando, podemos suponer que $\omega \approx \omega_R$ y, sobre todo, que esta última expresión es igual a Eq. 10.32. En consecuencia:

$$\begin{aligned} \rho = \frac{1+K}{1+K_{MIN}} \cdot \rho \cdot \frac{4}{\omega_R} \cdot \text{asen} \left(\frac{V_{CC}}{\rho \cdot (1+K)} \right) - \frac{1+K}{1+K_{MIN}} \cdot \rho \cdot \frac{2}{\omega_R} \text{sen} \left(2 \cdot \text{asen} \left(\frac{V_{CC}}{\rho \cdot (1+K)} \right) \right) + \\ + \frac{4}{\pi} \cdot \frac{V_{CC}}{1+K_{MIN}} \cdot \left[1 + \cos \left(2 \cdot \text{asen} \left(\frac{V_{CC}}{\rho \cdot (1+K)} \right) \right) \right] \end{aligned} \quad (10.35)$$

O, lo que es lo mismo:

$$\begin{aligned} \frac{1}{\rho} \cdot \frac{4}{\pi} \cdot \frac{V_{CC}}{1+K_{MIN}} \cdot \left[1 + \cos \left(2 \cdot \text{asen} \left(\frac{V_{CC}}{\rho \cdot (1+K)} \right) \right) \right] = 1 + \frac{1+K}{1+K_{MIN}} \cdot \frac{2}{\omega_R} \text{sen} \left(2 \cdot \text{asen} \left(\frac{V_{CC}}{\rho \cdot (1+K)} \right) \right) \\ - \frac{1+K}{1+K_{MIN}} \cdot \frac{4}{\omega_R} \cdot \text{asen} \left(\frac{V_{CC}}{\rho \cdot (1+K)} \right) \end{aligned} \quad (10.36)$$

Esta es una ecuación fuertemente no lineal pero, en cualquier caso, resoluble. De este modo, se puede de forma prácticamente exacta el valor de la amplitud necesaria para calcular la forma de la señal de salida, tanto a la entrada del amplificador operacional como a su salida.

En algunos casos, se pueden insertar diodos Zener para evitar llegar a la tensión de saturación de los amplificadores operacionales.

10.2. Osciladores de relajación

En el capítulo anterior, se trabajó en una familia de osciladores que, básicamente, consisten en un filtro pasa-banda que selecciona la frecuencia de interés y que es amplificado por otro bloque hasta conseguir una señal estable. Además, existe otra familia de osciladores basada en sistemas digitales que no tienen una salida estable de tal modo que el sistema está continuamente saltando de un estado a otro.

Se define “*circuito monoestable*” como aquel circuito digital cuya salida es estable pero que, al producirse una transición en una entrada específica, la salida pasa a un estado metaestable durante un tiempo conocido antes de volver al estado estable original. En otras palabras, sirven para indicar digitalmente que se ha producido una transición en la señal de entrada. El tiempo característico se controla, en general, por medio de resistencias y condensadores.

En cambio, un “*circuito astable*” es aquel circuito digital que no posee estados estables sino dos estados metaestables. En otras palabras, el circuito no puede estar más de un tiempo determinado en un estado transcurrido el cual se produce una transición de estado seguida por un cambio en el

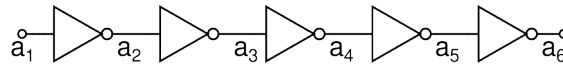


Figura 10.17: Cadena de un número impar de osciladores. En este caso, hay 5.

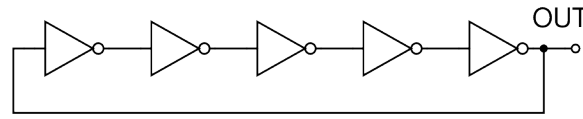


Figura 10.18: Oscilador en anillo con cinco elementos.

valor de la señal de salida.

En este capítulo, veremos algunos ejemplos básicos:

- Oscilador en anillo
- Multivibrador
- Oscilador basado en comparadores regenerativos

10.2.1. Oscilador en anillo

Imaginemos una cadena de inversores lógicos en la que existe un número impar de inversores como se muestra en Fig. 10.17. En esta estructura, si hacemos $a_1 = 1$, se va a cumplir que $a_1 = a_3 = a_5 = 1$ y que $a_2 = a_4 = a_6 = 0$. Imaginemos ahora que conectamos la última salida con la primera (Fig. 10.18). En este caso, el sistema no puede ser estable ya que $a_1 \neq a_6$.

La salida del sistema, que puede ponerse en cualquier lado, estará oscilando siempre entre los niveles lógicos ALTO y BAJO. En general, si cada inversor tiene un retraso t_d , una transición ALTA-BAJA en la salida necesitará un tiempo $n \cdot t_d$ para retornar al punto de partida y producir una nueva transición BAJA-ALTA. Si se repite el proceso, se completa un ciclo de reloj por lo que, en general, se supone que estos osciladores tienen un periodo igual a $2 \cdot n \cdot t_d$. En caso de que el reloj sea excesivamente rápido, pueden incorporarse redes simples RC (Fig. 10.19) que introducen un retraso mayor en las puertas y que nos permite controlar de algún modo el valor del periodo de oscilación.

Este tipo de osciladores son muy populares en circuitos CMOS dada su simplicidad y que no necesita ningún componente exótico.

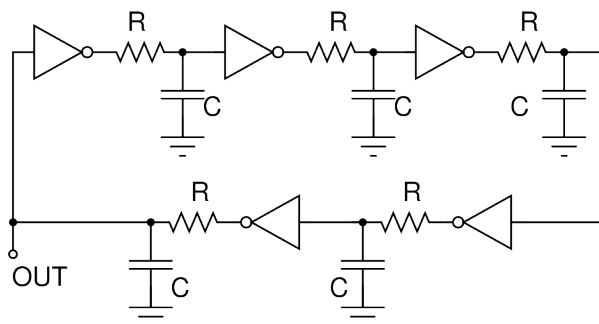


Figura 10.19: Oscilador en anillo con elementos de retraso.

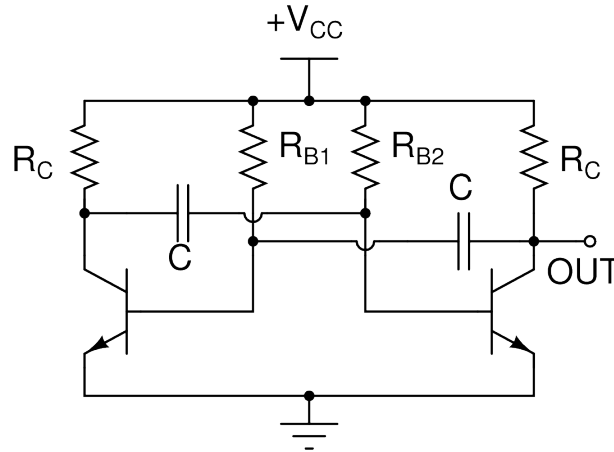


Figura 10.20: Ejemplo de circuito multivibrador.

10.2.2. Oscilador multivibrador

Este oscilador, muy simple, conectados en anillo entre sí por medio de un par de condensadores (Fig. 10.20). Esta estructura es inestable debido a la carga acumulada en los condensadores durante el estado previo. Suponiendo que

$$\frac{R_C}{R_B} > \frac{1}{\beta_F} \cdot \frac{V_{CC} - V_{SAT}}{V_{CC} - V_\gamma}$$

que es la condición necesaria para que los transistores no puedan encontrarse en ZAD y que $V_{CC} \gg V_{SAT}, V_\gamma$, puede demostrarse que el sistema oscila con un periodo:

$$T = \ln(2) \cdot C \cdot (R_{B1} + R_{B2}) \quad (10.37)$$

siendo el *duty cycle*

$$\frac{R_{B1}}{R_{B1} + R_{B2}} \quad (10.38)$$

10.2.3. Oscilador basado en comparador regenerativo

Recordemos que un comparador regenerativo es aquel que tiene un ciclo de histéresis. Imaginemos que disponemos de un comparador con histéresis, en el que la salida del comparador vale bien V_{SATP} bien V_{SATN} , con una tensión de referencia V_{TH} y una anchura del ciclo de histéresis ΔV_{TH} . Por tanto, si la entrada crece se produce una transición de BAJA a ALTA cuando alcance el valor $V_{TH} + \Delta V_{TH}/2$ pero, si la entrada desciende, la transición se produce en $V_{TH} - \Delta V_{TH}/2$. Supongamos ahora que se he colocado en la red de Fig. 10.21.

Imaginemos que, inicialmente, $V_A = 0$ y $V_{TH} > 0$. En consecuencia, la salida del comparador será ALTA e igual a V_{SATP} . Sin embargo, en estas circunstancias, el condensador C comenzará a cargarse a través de la resistencia R . Cuando la tensión del condensador rebase el valor $V_{TP} = V_{TH} + \Delta V_{TH}/2$,

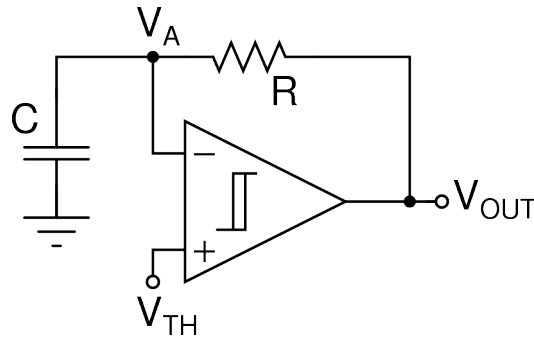


Figura 10.21: Circuito astable basado en comparador regenerativo (Oscilador de relajación).

la tensión de la entrada negativa será mayor y la salida del comparador se convertirá en BAJA (V_{SATP}). En este instante, el condensador comenzará a descargarse y la tensión aplicada en el nodo A descenderá hasta alcanzar el valor $V_{TN} = V_{TH} - \Delta V_{TH}/2$, momento en el que produce de nuevo el cambio.

Imaginemos ahora que la tensión de entrada es $V_{TN} = V_{TH} - \Delta V_{TH}/2$ y que el comparador acaba de pasar a ALTA. El condensador comenzará a cargarse a través de la resistencia R según la ecuación:

$$C \cdot \frac{dV_A}{dt} = \frac{V_{SATP} - V_A}{R} \quad (10.39)$$

Siendo la solución de esta ecuación:

$$V_A(t) = V_{SATP} + (V_A(0) - V_{SATP}) \cdot \exp\left(-\frac{t}{\tau}\right) \quad (10.40)$$

donde $\tau = R \cdot C$ y $V_A(0) = V_{TN}$. Sin embargo, este comportamiento termina cuando V_A rebasa el valor V_{TP} . Esto ocurre una vez que ha transcurrido un tiempo T_1 tal que:

$$T_1 = \tau \cdot \frac{V_{SATP} - V_{TN}}{V_{SATN} - V_{TP}} \quad (10.41)$$

El intervalo siguiente puede estudiarse de una manera similar llegando a la conclusión de que debe transcurrir un tiempo T_2 antes de la vuelta al estado inicial:

$$T_2 = \tau \cdot \ln\left(\frac{V_{SATN} - V_{TP}}{V_{SATP} - V_{TN}}\right) \quad (10.42)$$

Siendo el tiempo total del ciclo, y por tanto del oscilador, $T = T_1 + T_2$. Es costumbre utilizar como comparador regenerativo una báscula de Schmitt y expresar el periodo en función de las resistencias que integran el dispositivo. Así, se encuentran expresiones más sencillas haciendo unas determinadas suposiciones. Por ejemplo, en una báscula de Schmitt con tensión de referencia $V_{REF} = 0$ y con tensiones de saturación simétricas e iguales a las tensiones de alimentación, V_{CC} , se cumple que:

$$V_{TP} = -V_{TN} = \frac{R_2 \cdot V_{CC}}{R_1 + R_2} \quad (10.43)$$

con lo que

$$T_1 = \tau \cdot \ln \left(\frac{V_{SATP} - V_{TN}}{V_{SATN} - V_{TP}} \right) = \tau \cdot \ln \left(\frac{R_1 + 2 \cdot R_2}{R_1} \right) = T_2 \Rightarrow$$

$$\Rightarrow T = T_1 + T_2 = 2 \cdot \tau \cdot \ln \left(\frac{R_1 + 2 \cdot R_2}{R_1} \right) \quad (10.44)$$

Expresión que suele ser encontrada en los libros técnicos. El ciclo de trabajo (*duty cycle*) en estas circunstancias sería 50 % aunque podría ser modificado cambiando el valor de la tensión de referencia, V_{REF} .

Finalmente, la frecuencia máxima de oscilación está limitada por las características dinámicas del comparador. Así, por ejemplo, si utilizamos un amplificador operacional y no un comparador el tiempo mínimo para pasar de un valor de salida a otro está controlado por el *slew rate*. Si se usan comparadores puros, este parámetro no tiene sentido al no haber condensador de estabilización aunque intervienen otros factores distintos. Por ejemplo, en los comparadores con colector abierto, la velocidad de cambio se ve afectada por la rapidez de la carga y descarga de las capacidades parásitas del transistor de salida.

Otro oscilador de relajación típico, basado en comparador regenerativo, es el circuito integrado 555, que utiliza comparadores y un biestable RS para producir una oscilación cuyo periodo es función de un condensador externo C . Por otra parte, muchos microcontroladores permiten controlar la frecuencia del reloj interno con una red RC. En su interior existe simplemente un comparador regenerativo integrado que fuerza la oscilación.

Capítulo 11

CIRCUITOS BASADOS EN AMPLIFICADORES OPERACIONALES Y CAPACIDADES

11.1. Circuitos Sample & Hold (S/H)

Los circuitos Sample & Hold (Abreviadamente, S/H) son ampliamente utilizados en disciplinas relacionadas con el tratamiento de la señal. Desde el punto de vista de esta materia, un circuito S/H es un bloque que selecciona un valor de señal analógica en un determinado instante, marcado por un reloj, y mantiene su valor hasta que el reloj ordena repetir el proceso. Este tipo de estructuras son necesarias antes de realizar una conversión de analógico a digital (A/D), en la elaboración de filtros digitales, etc. Como todo bloque real, los circuitos S/H muestran discrepancias respecto a los modelos ideales en los que están basados y, por ello, se han diseñado distintas arquitecturas que permiten adaptar su modo de trabajo a los requerimientos del diseño.

11.1.1. Diferencias entre circuitos S/H y circuitos Track & Hold (T/H)

Es habitual utilizar en la literatura los términos Sample & Hold (S/H) y Track & Hold (T/H) como si fueran sinónimos. En realidad, estos dos conceptos son ligeramente distintos. Básicamente, un circuito S/H es un circuito T/H ideal. Todo circuito S/H es controlado por una señal digital de reloj, ϕ , que tiene un periodo T . Así, el comportamiento típico consiste en la captura de la señal durante el periodo de reloj ALTO y retención durante el BAJO. En un circuito S/H ideal, el proceso ocurre de manera instantánea tras el flanco de subida del reloj, como se muestra en Fig. 11.1.

Sin embargo, en los circuitos reales esto no ocurre como debiera. En algunos casos, la señal de entrada se transmite directamente a la salida cuando la señal de reloj está en ALTA (Fig. 11.2).

En otros casos, sin embargo, la salida no es idéntica a la entrada sino que, durante el tiempo de establecimiento, la salida se hace igual a una tensión predefinida. Por ejemplo, tierra, como se muestra en Fig. 11.3.

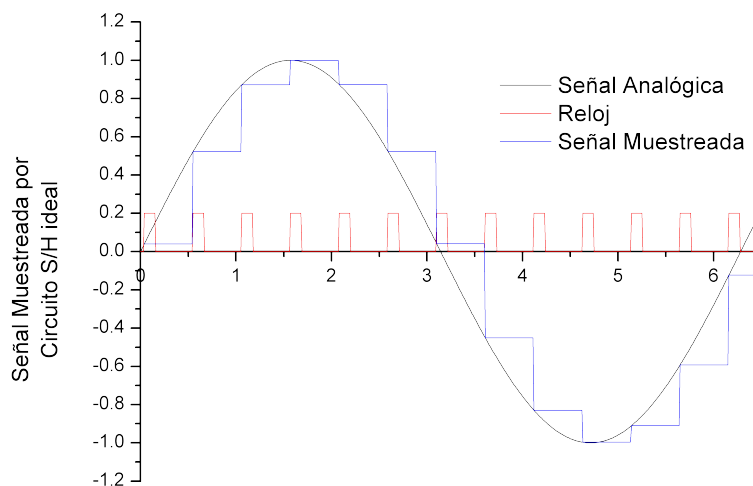


Figura 11.1: Señal analógica muestreada por un circuito S/H ideal.

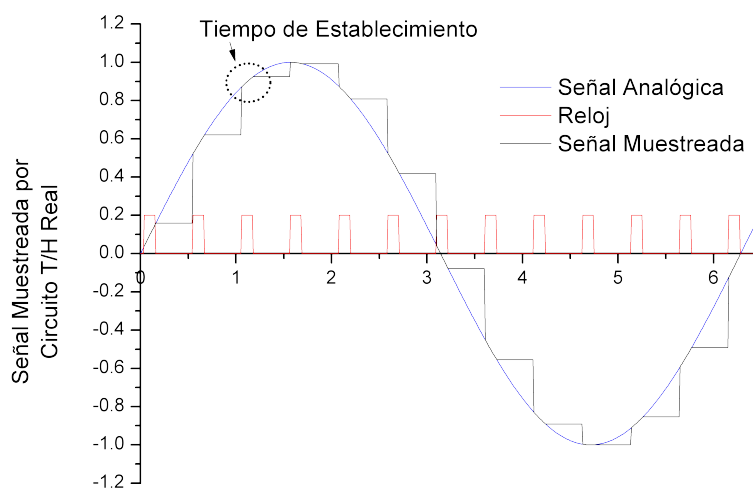


Figura 11.2: Señal analógica muestreada por un circuito S/H real o T/H. Puede apreciarse la necesidad de un tiempo mínimo de establecimiento en el que la salida y la entrada son similares.

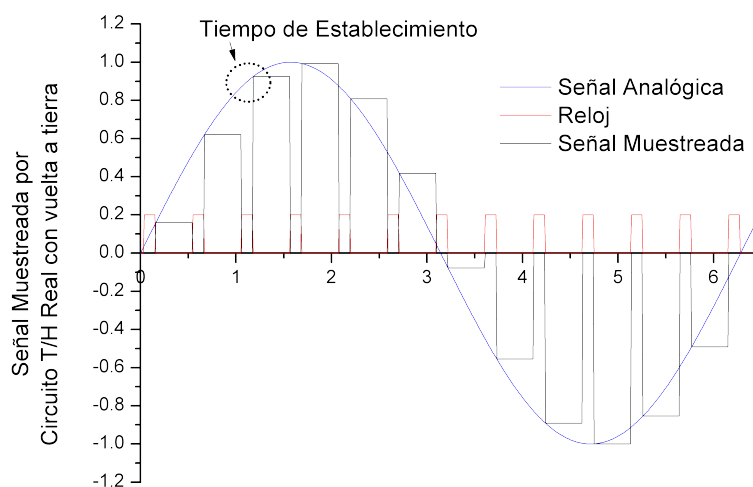


Figura 11.3: Señal analógica muestreada por un circuito T/H real con bajada a tierra cuando el reloj está en ALTA.

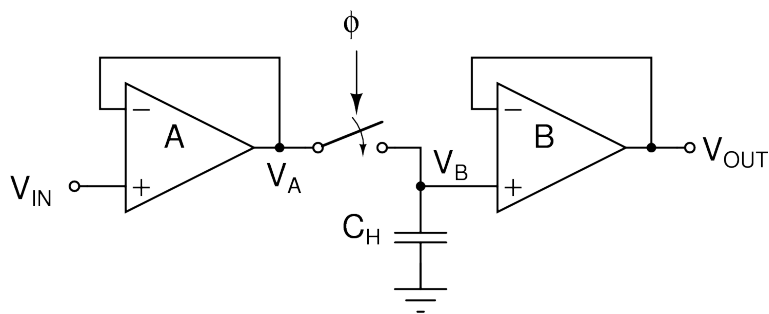


Figura 11.4: Circuito S/H sencillo. ϕ es la señal de reloj.

En cualquier caso, en el diseño analógico los términos S/H y T/H son utilizados indistintamente, siendo en la práctica sinónimos.

11.1.2. Circuito S/H simple

El modo más sencillo de construir un circuito S/H real es el mostrado en Fig. 11.4. El funcionamiento de este dispositivo es extremadamente sencillo. Durante los periodos de reloj con valor ALTO, el conmutador se cierra uniendo la salida del amplificador A con el condensador C_H y la entrada del amplificador B. En otras palabras, hemos colocado dos seguidores de tensión consecutivos de modo que $V_{IN} = V_{OUT}$. Por otra parte, se almacena una carga $Q_H = C_H \cdot V_B = C_H \cdot V_{IN}$ en el condensador C_H .

Cuando el reloj pasa a estado BAJO, el conmutador se abre. Puesto que la carga atrapada en C_H no puede escaparse a ningún sitio ya que éste está conectado a un amplificador con impedancia de entrada idealmente infinita, la tensión V_B permanece constante e igual al valor de V_{IN} en el momento en que se produjo la desactivación del interruptor. En consecuencia, el valor de V_{OUT} también permanece constante consiguiéndose así la retención.

¿Por qué se ponen dos amplificadores? El primer amplificador, A, se utiliza para evitar que el circuito cuya salida se conecta a la entrada del circuito S/H ataque directamente el condensador. Así, se evita que la impedancia del condensador afecte a ese circuito y pueda causar su desestabilización. En circunstancias favorables, A puede ser eliminado. El otro amplificador se coloca para evitar que, si el bloque conectado a V_{OUT} tiene una impedancia de entrada muy baja, el condensador se descargue antes de tiempo. Si existen necesidades de espacio, este amplificador también puede ser eliminado siempre y cuando el circuito que se conecte al condensador tenga una impedancia de entrada adecuada.

Finalmente, hay que recordar que los amplificadores operacionales pueden reemplazarse en tecnologías CMOS por pares diferenciales simples con una ganancia suficientemente alta, tal y como se estudió en temas anteriores.

11.1.3. No idealidades asociadas a un circuito S/H

El circuito de Fig. 11.4 es el circuito S/H más sencillo de realizar cumpliendo unas mínimas especificaciones relativas al aislamiento del condensador. Sin embargo, en él aparecen algunos defectos que son comunes, en mayor o menor grado, al resto de circuitos S/H.

11.1.3.1. Tensión de offset de los amplificadores

Los amplificadores operacionales de Fig. 11.4 se han supuesto ideales cuando en realidad no lo son. Así, tienen una serie de defectos como la tensión de *offset* de la entrada. Supongamos que cada transistor tiene una tensión de offset V_{OSX} y que el conmutador está cerrado. Es fácil ver que, en estas circunstancias, la salida del amplificador es:

$$V_{OUT} = V_{IN} + V_{OSA} + V_{OSB} \quad (11.1)$$

En muchos casos, los amplificadores operacionales se han construido en tecnología CMOS o, al menos, con par diferencial de entrada FET. Recordemos que estos amplificadores se caracterizaban por una tensión de *offset* de varios milivoltios por lo que, al producirse la suma de las tensiones de *offset*, el error en la salida aumenta. Ciertamente, en algunas ocasiones el azar querrá que ambas tensiones de *offset* se compensen. Sin embargo, todo ingeniero debe estar preparado para trabajar en condiciones de peor caso por lo que deben utilizarse técnicas eficientes para mitigar este error. Algunas de ellas se verán en apartados posteriores.

11.1.3.2. Fugas por corrientes de polarización de la entrada

En el circuito de Fig. 11.4, el condensador está conectado a la entrada no inversora del amplificador operacional B . En este terminal habrá una corriente de polarización de la entrada, I_{B-} , que alterará la carga atrapada en el condensador. Así, suponiendo que la $I_{B-} > 0$ cuando la corriente entra y que es negativa cuando sale, durante el semiperiodo de retención se perderá una cantidad de carga igual a:

$$\Delta Q_H = -I_{B-} \cdot \frac{T}{2} \quad (11.2)$$

Siendo T el periodo del reloj que muestrea la señal. Se ha supuesto que el tiempo de retención es la mitad de este periodo aunque esta condición no es obligatoria. En consecuencia, la caída de tensión en el condensador y, por tanto, en la salida sería:

$$\Delta V_{OUT} = \Delta V_B = \frac{\Delta Q_H}{C_H} = -\frac{I_{B-}}{C_H} \cdot \frac{T}{2} \quad (11.3)$$

Esta caída de tensión tiene importancia en diversas circunstancias como, por ejemplo, en la conversión analógico-digital. En general, todo conversor A/D necesita que la tensión por codificar se mantenga estable durante el proceso de conversión. Así, si la variación especificada por la ecuación

anterior supera el margen de error permitido por el conversor A/D durante el proceso de conversión, la salida digital será errónea.

En conclusión, el diseñador debe evitar que esto ocurra eligiendo adecuadamente los valores de T , C_H e I_{B-} .

11.1.3.3. Limitaciones en frecuencia

Todo circuito S/H tiene una serie de limitaciones que impiden que puedan funcionar a cualquier frecuencia de trabajo. Existen dos causas que llevan a esta conclusión:

1. Los amplificadores operacionales son reales y, por tanto, cuentan con un producto ganancia-ancho de banda y *slew rate* finitos.
2. De acuerdo con el teorema de Nyquist, toda señal con una frecuencia característica f solo puede ser regenerada completamente si la frecuencia de muestreo es superior a $2 \cdot f$. De este modo, si se muestrea la señal con un periodo T , la frecuencia de muestreo será $1/T$ y, por tanto, toda señal con frecuencia superior a $1/2T$ no podrá ser regenerada posteriormente. En la práctica, este límite es incluso ligeramente inferior.

11.1.3.4. Efecto pedestal

Origen del efecto pedestal Puede decirse que el fenómeno más característico de los circuitos S/H es el “efecto pedestal” y asociado a las características de construcción de un conmutador real. Hasta ahora, se ha hablado siempre de conmutadores lógicos ideales sin detallar qué encierran en su interior. En la práctica, muchos circuitos utilizan transistores NMOS que pasan de zona lineal a corte en función de la tensión aplicada entre sus extremos, como se muestra en Fig. 11.5.

Aceptemos que la señal de reloj fluctúa entre una tensión $V_L = V_{DD}$ y $V_L = V_{SS}$, $V_{DD} > V_{SS}$. Cuando la tensión de puerta del transistor es alta, se forma un canal de tipo N tras acumularse una cantidad de carga igual a:

$$Q_{CHN} = C_{OX} \cdot W \cdot L \cdot (V_{GS} - V_{TN}) \quad (11.4)$$

Siendo C_{OX} la capacidad del óxido por unidad de superficie, W y L las dimensiones del canal ($W \cdot L$ es el área del condensador de puerta) y V_{TN} la tensión umbral del transistor. Ocurre que, como $V_G = V_{DD}$ y $V_S = V_A = V_B = V_{IN}$, la expresión anterior se convierte en:

$$Q_{CHN} = C_{OX} \cdot W \cdot L \cdot (V_{DD} - V_{IN} - V_{TN}) \quad (11.5)$$

Imaginemos que pasamos al intervalo de retención. El valor de la señal de reloj pasa a ser V_{SS} haciendo que el transistor NMOS entre en zona de corte. Lógicamente, la carga del canal, Q_{CHN} , debe desaparecer y es aquí donde se plantea el problema. Por simplicidad, se supone que la mitad de la carga es atraída por el operacional A , que la drena eficientemente a tierra, y la otra al nudo

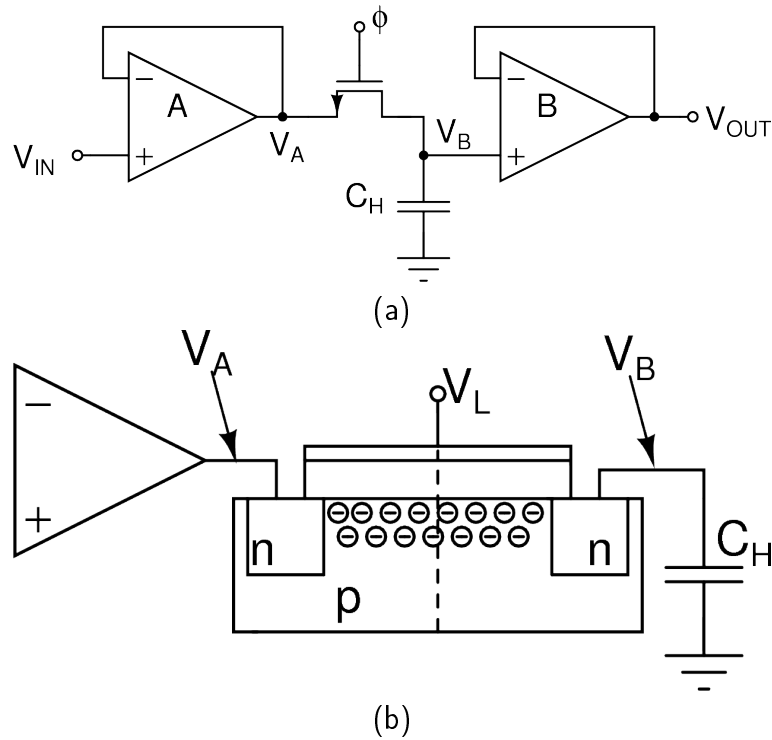


Figura 11.5: Circuito S/H sencillo. El conmutador es un transistor NMOS (a) en el que se ha formado un canal por acumulación de electrones junto al óxido, atraídos por la tensión positiva de la puerta (b).

B. En este nudo, la carga se encuentra con una impedancia elevadísima, que es la impedancia de entrada del amplificador *B*, y un condensador, C_H . En consecuencia, la carga que se produjo en el canal queda atrapada en este condensador produciendo una súbita caída de tensión de valor:

$$\Delta V_{CH} = -\frac{Q_{CHN}}{C_H} = -\frac{1}{2} \cdot \frac{W \cdot L \cdot C_{OX}}{C_H} \cdot (V_{DD} - V_{TN} - V_{IN}) \quad (11.6)$$

Este incremento se traduce en la aparición de un pedestal entre la el último instante del periodo de seguimiento y el valor final almacenado. Se ha puesto un signo negativo pues los portadores que forman el canal son electrones.

Errores transmitidos a la salida En contra de lo que pudiera pensarse, el efecto pedestal no solo implica un error de *offset* en la tensión de salida sino que, además, altera la ganancia del circuito S/H, que es idealmente 1. Si incluimos el efecto pedestal, la tensión de salida del circuito S/H completo es la siguiente:

$$V_{OUT} = V_{IN} + \Delta V_{CH} = \left(1 + \frac{1}{2} \cdot \frac{W \cdot L \cdot C_{OX}}{C_H}\right) \cdot V_{IN} - \frac{1}{2} \cdot \frac{W \cdot L \cdot C_{OX}}{C_H} \cdot (V_{DD} - V_{TN}) \quad (11.7)$$

En conclusión, el efecto pedestal introduce una tensión de *offset* y un error de ganancia.

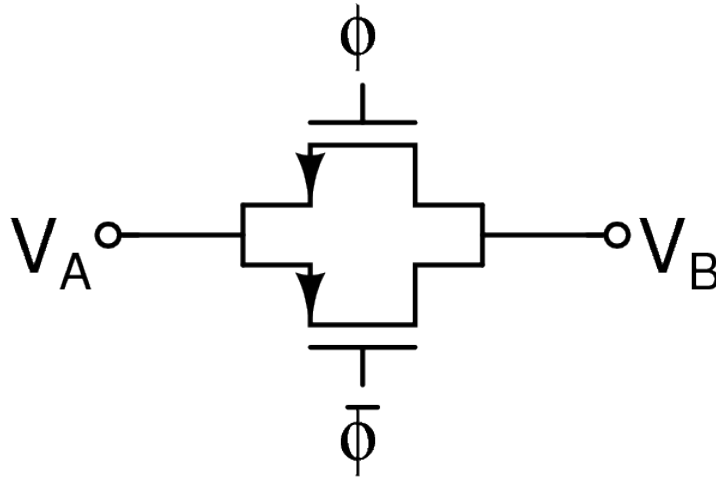


Figura 11.6: Puerta de transmisión mejorada con par NMOS y PMOS.

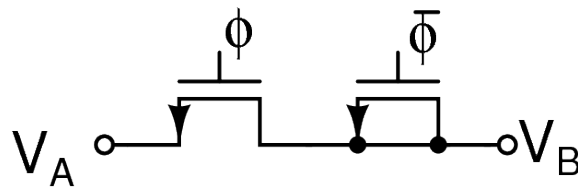


Figura 11.7: Puerta de transmisión mejorada con transistor NMOS y *dummy transistor*.

Eliminación del efecto pedestal Existen varias técnicas para eliminar el efecto pedestal. Unas están basadas en la topología del circuito, como la que se describe en el apartado 11.1.4.3, y otras están basadas en la mejora del conmutador. Veamos estas últimas en este apartado.

Un método muy simple para eliminar el efecto pedestal consiste en construir una puerta de transmisión con un par NMOS y PMOS (Fig. 11.6).

La principal ventaja de esta estructura es que el canal del transistor PMOS está formado por la acumulación de huecos de tal modo que, al destruirse los dos canales, se produciría una cancelación entre ellos. Así, la carga creada en ambos canales sería:

$$\begin{cases} Q_{CHN} = -C_{OX} \cdot W \cdot L \cdot (V_{DD} - V_{IN} - V_{TN}) \\ Q_{CHP} = -C_{OX}^* \cdot W^* \cdot L^* \cdot (V_{IN} - V_{SS} - V_{TP}) \end{cases} \quad (11.8)$$

para conseguir una Idealmente, podrían ajustarse los parámetros cancelación total entre ambos fenómenos. Sin embargo, esto no suele ser un procedimiento fiable. Por otra parte, se debe garantizar un sincronismo tal que ambos transistores pasen a corte de forma simultánea y, en la práctica, esto no suele ser posible.

Otra técnica consiste en utilizar exclusivamente transistores NMOS. En particular, un transistor NMOS de relleno (*dummy transistor*) con sus terminales cortocircuitados (Fig. 11.7).

El segundo transistor tiene la propiedad de que su longitud/anchura es la mitad del primero y principal. Puesto que su señal de control es opuesta a la del NMOS principal, se creará en él el canal

cuando desaparezca en el otro. En otras palabras, los electrones que sobran en el NMOS principal se utilizan para crear el canal en el secundario evitando que lleguen al condensador C_H .

Esta técnica tiene algunos problemas, siendo el principal el ajuste de las longitudes de los transistores. Sin embargo, se pueden obtener reducciones apreciables del efecto pedestal en estos circuitos S/H.

11.1.3.5. Rango de tensiones de entrada

Dado que el conmutador del circuito S/H es, simplemente, uno o varios transistores, se imponen ciertas restricciones en el rango de valores de la señal de entrada y salida. En primer lugar, supongamos que el conmutador es un transistor NMOS cuya tensión de puerta está conectada a un reloj cuyo estado ALTO es V_{DD} y su estado BAJO, V_{SS} . Por ejemplo, en el caso de una lógica compatible TTL, $V_{DD} = 5V$ y $V_{SS} = 0V$. Cuando el reloj esté ALTO, el transistor debe ir a zona lineal independientemente de la tensión de entrada y a zona de corte si el reloj es BAJO. De la primera condición se deduce que:

$$V_{GS} > V_{TN} \rightarrow V_{DD} - V_{IN} > V_{TN} \rightarrow V_{IN} < V_{DD} - V_{TN} \quad (11.9)$$

Puesto que la tensión de fuente es equivalente a la de drenador e igual a $V_A = V_{IN}$. De la segunda condición:

$$V_{GS} < V_{TN} \rightarrow V_{SS} - V_{IN} < V_{TN} \rightarrow V_{IN} > V_{SS} - V_{TN} \quad (11.10)$$

En conclusión, el rango de tensiones de entrada está limitado por los niveles de tensión del reloj lógico. En caso de desear extender el rango de tensiones de entrada, debe escalarse la entrada o bien transformar los niveles lógicos del reloj mediante circuitos especiales llamados cambiadores de nivel (*level shifters*).

11.1.4. Circuitos S/H Mejorados

Los defectos que posee el circuito S/H simple descrito en el apartado 11.1.2 pueden ser eliminados mediante modificaciones de la topología del circuito o agregando nuevos elementos, como resistencias y otros conmutadores. Sin embargo, a veces la mejora de un parámetro conlleva el empeoramiento del otro. Es responsabilidad del diseñador elegir si este intercambio merece la pena.

A continuación, se muestran algunos ejemplos descritos en la literatura. No son los únicos pero valen como muestras de las diversas técnicas que pueden utilizarse para el diseño de estos sistemas.

11.1.4.1. Circuito S/H con realimentación directa hacia la entrada y reducción de *offset*

Una forma muy sencilla de eliminar la tensión de offset del circuito S/H simple consiste en realimentar la entrada del primer amplificador con la salida:

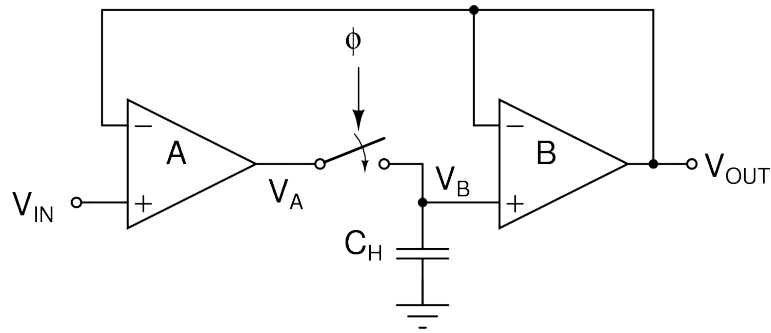


Figura 11.8: Circuito S/H con realimentación directa hacia la entrada del circuito S/H. ϕ es la señal de reloj.

La gran ventaja del anterior circuito es la siguiente. Supongamos en primer lugar que los amplificadores tienen la misma ganancia en lazo abierto, A , y que cada uno tiene una tensión de offset V_{OSX} . Además, el conmutador está cerrado por lo que $V_A = V_B$. Puede deducirse fácilmente que:

$$V_A = A \cdot [(V_{IN} + V_{OSA}) - V_{OUT}] \quad (11.11)$$

$$V_{OUT} = A \cdot [(V_A + V_{OSB}) - V_{OUT}] \quad (11.12)$$

La resolución de este sistema de ecuaciones es sencilla y nos lleva a la siguiente conclusión:

$$V_{OUT} = \frac{1}{1 + A^{-1} + A^{-2}} \cdot (V_{IN} + V_{OSA} + A^{-1} \cdot V_{OSB}) \simeq (1 + A^{-1}) \cdot (V_{IN} + V_{OSA} + A^{-1} \cdot V_{OSB}) \quad (11.13)$$

En consecuencia, la tensión de *offset* correspondiente al segundo amplificador ha quedado prácticamente eliminada.

Esta configuración puede ser útil en tecnologías BICMOS que posibilita el uso de un amplificador de entrada bipolar como A y un FET de alta impedancia de entrada y, en general, de alta tensión de *offset*, en la posición B . De este modo, la estructura propuesta es óptima pues consigue minimizar la tensión de *offset* del sistema al tener el amplificador bipolar un bajo valor de *offset* en tanto que el *offset* del FET desaparece. Por otro lado, como éste tiene una alta impedancia de entrada, se evita la descarga del condensador.

Lógicamente, hay inconvenientes en esta estructura, siendo el principal el empeoramiento del comportamiento en frecuencia. Durante los periodos de mantenimiento, el conmutador se abre haciendo que la salida del amplificador A se encuentre al aire. En consecuencia, no está realimentado y pasa a saturación. Cuando se pase al intervalo de seguimiento de la señal, el amplificador debe pasar a zona lineal antes de que la entrada del circuito S/H llegue a la capacidad y, por tanto, a la salida.

Por otra parte, este tipo de realimentación puede inutilizar el sistema llevándolo a oscilaciones si la realimentación no cumple las condiciones de estabilidad.

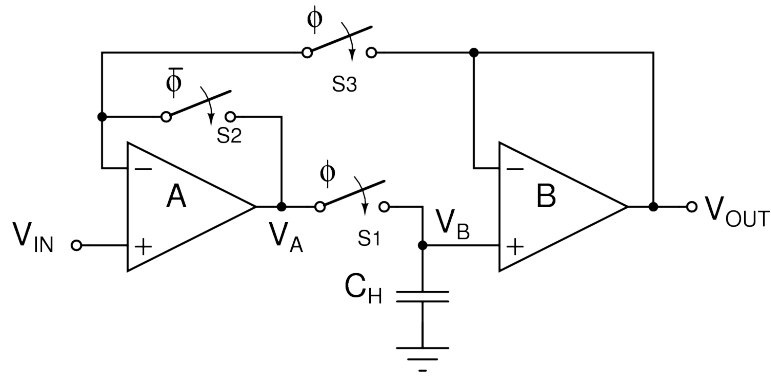


Figura 11.9: Circuito S/H con eliminación de offset y mejor comportamiento en frecuencia. S1 y S3 están controlados por el reloj y S2 por el complementado.

11.1.4.2. Circuitos S/H mejorados con reducción de *offset*

En el apartado anterior, se vio que el mayor problema del circuito S/H con reducción de *offset* era el paso a saturación del amplificador operacional situado en la entrada. Un método sencillo para evitar este problema consiste en el uso de dos conmutadores adicionales y la señal de reloj complementada (Fig. 11.9).

En este circuito, cuando el reloj está ALTO, se entra en el periodo de seguimiento de la señal y S1 y S3 se cierran en tanto que S2 se abre. De este modo, el primer operacional se realimenta directamente desde la salida eliminándose la tensión de *offset* de entrada del amplificador B. Sin embargo, cuando el reloj pasa a BAJO, comienza el periodo de retención y ambos amplificadores se realimentan por separado como seguidores de tensión, garantizando el buen comportamiento en frecuencia del sistema.

¿Se elimina realmente la tensión de offset del sistema? La respuesta es sí. Incluso cuando el amplificador B pasa a comportarse como un seguidor de tensión y suma su tensión de *offset* a la salida, la aportación de ésta continúa siendo nimia. Así, se puede demostrar que, durante el periodo de seguimiento, la tensión en el nudo B es:

$$V_A \simeq V_{IN} + V_{OSA} - (1 - A^{-1} \cdot V_{OSB}) \quad (11.14)$$

Expresión deducida directamente de combinar el valor de V_A y V_{OUT} . Por tanto, cuando el amplificador B se configure como seguidor de tensión, la tensión de salida será:

$$V_{OUT} = V_A + V_{OSB} \simeq V_{IN} + V_{OSA} + A^{-1} \cdot V_{OSB} \quad (11.15)$$

Con lo que se garantiza la eliminación de la tensión de offset del segundo amplificador operacional.

El inconveniente de esta estructura es obvio: Se ha aumentado la complejidad del sistema introduciendo, por ejemplo, una nueva señal de reloj así como otros conmutadores. Sin embargo, debe tenerse en cuenta que esto último no es un defecto muy grave pues cada conmutador consta de uno o dos transistores en tanto que cada amplificador operacional consta de varias decenas. En consecuencia, el aumento relativo del número de transistores no es desproporcionado.

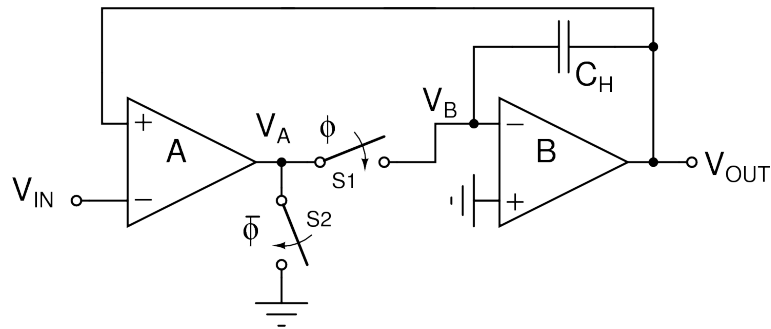


Figura 11.10: Circuito S/H con eliminación de pedestal

11.1.4.3. Circuito S/H con eliminación de efecto pedestal

Ésta es otra configuración parecida a la anterior pero que cuenta con una característica especial (Fig. 11.10). El condensador se encuentra entre el terminal negativo y la salida de modo que la diferencia de tensión en el condensador es $-V_{OUT}$. Este signo negativo implica que, para conseguir estabilizar el sistema con realimentación negativa, se intercambian los roles habituales de las entradas inversoras y no inversoras del amplificador A.

¿A qué se debe la curiosa realimentación a través del terminal positivo? Imaginemos que se aparece una pequeña excitación, p. e. ruido, en V_B durante el periodo de seguimiento. Aceptemos que esta tensión crece. En consecuencia, al estar conectado V_B al terminal inversor, V_{OUT} disminuye. Como V_{OUT} es la entrada no inversora del amplificador A, el incremento inicial de V_B causa un descenso en la salida de A, que no es sino V_B , estabilizando el sistema. Si hubiese entrado por la entrada inversora, la excitación se realimentaría llevando el sistema a saturación.

En este circuito, si suponemos que los amplificadores se encuentran en zona lineal, se puede demostrar con facilidad que, durante el periodo de seguimiento:

$$V_{OUT} = \frac{1}{1 + A^{-2}} \cdot (V_{IN} - V_{OSA} + A^{-1} \cdot V_{OSB}) \quad (11.16)$$

En conclusión se elimina la tensión de *offset* del segundo amplificador, propiedad que se mantendrá durante el periodo de retención.

Sin embargo, la principal ventaja de esta configuración radica en que el conmutador S1 está siempre conectado a la tierra virtual creada por el amplificador B durante el periodo de seguimiento. Por tanto, el error introducido por el efecto pedestal es constante e independiente de la tensión de entrada, y equivalente a una tensión de *offset*, que puede ser fácilmente eliminada.

El mayor problema de este circuito es la velocidad de trabajo. Como en el apartado 11.1.4.1, el amplificador A no es realimentado y, para evitar que vaya a saturación, el conmutador S2 conecta la salida a tierra. De este modo, se evita que el amplificador vaya a saturación a expensas de un incremento en el consumo de corriente debido a esta conexión a tierra, que es un camino de muy baja impedancia a tierra que podría requerir mucha corriente.

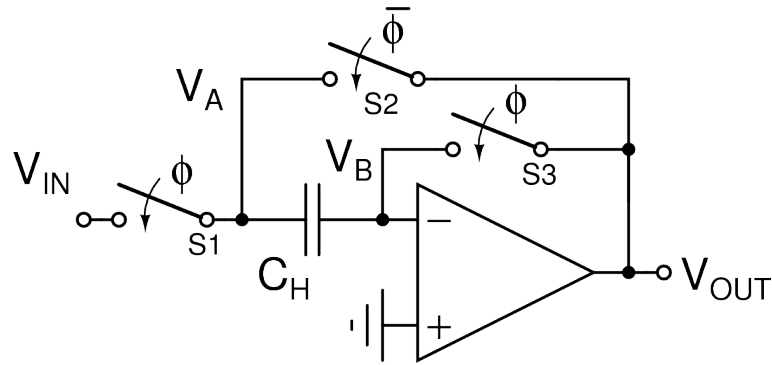


Figura 11.11: Circuito S/H con paso a tierra en periodo de seguimiento.

11.1.4.4. Circuito S/H con paso por tierra en periodo de seguimiento

Para concluir el bloque destinado a los circuitos S/H, vamos a examinar una estructura de características distintas a los estudiados anteriormente (Fig. 11.11).

1. Este circuito cuenta con las siguientes propiedades. Cuando el reloj está ALTO, los conmutadores S1 y S3 se cierran en tanto que S2 se abre. En estas circunstancias, ocurren dos cosas:
 - a) Los nudos B y OUT se cortocircuitan y, como B es una tierra virtual, $V_{OUT} = 0$ durante el intervalo de seguimiento.
 - b) El condensador C_H se carga con una diferencia de tensión V_{IN} .

Sin embargo, cuando el reloj pasa a BAJO, S1 y S3 se abren y S2 se cierra. En estas circunstancias, la tensión de salida V_{OUT} es la del condensador que se había cargado con una tensión V_{IN} durante el periodo de seguimiento. Como conclusión, el lector puede comprobar que el diseño de circuitos S/H es un dominio bastante abierto y sujeto a la innovación. Es posible crear circuitos S/H con ganancia o atenuación, inversores o no inversores, con filtrado simultáneo, etc. También es posible construir circuitos S/H en tecnologías bipolares aunque, en este caso, las técnicas son levemente distintas pues los conmutadores se crean con estructuras de cuatro diodos. Es posible incluir también resistencias en estos sistemas para dotarlos de ganancias distintas de 1. Sin embargo, es más común el uso de capacidades conmutadas, tal y como se mostrará en el siguiente capítulo.

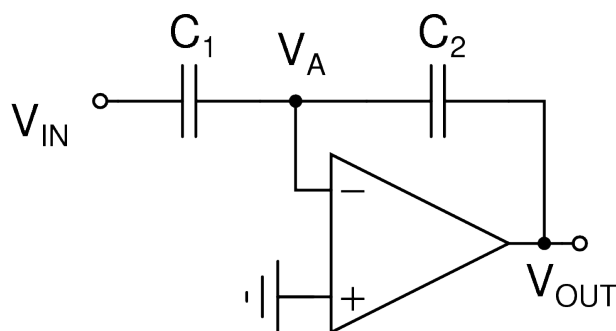


Figura 11.12: Amplificador inversor de carga

11.2. Circuitos basados en la conmutación de capacidades

En la actualidad, gran cantidad de circuitos integrados analógicos construidos en tecnología CMOS utilizan una técnica de diseño basada en el uso exclusivo de capacidades, prescindiendo por completo de resistencias y otros elementos pasivos.

11.2.1. Condensadores frente a resistencias en circuitos integrados

Las resistencias incluidas en circuitos integrados conllevan una serie de inconvenientes durante proceso de fabricación. En primer lugar, las resistencias más fáciles de construir, que son las de resistencias de difusión, presentan tolerancias muy altas. Así, es posible hallar desviaciones del 20-30 % en los valores de diversas resistencias construidas siguiendo los mismos pasos de fabricación. Otras resistencias, como las resistencias de película delgada, son mucho más precisas pero más caras de construir pues requiere el ajustado de su valor por medio de un láser.

Por otra parte, las resistencias ocupan una superficie considerable en la oblea de silicio en comparación con la que ocupan otros dispositivos típicos de la tecnología CMOS.

Por el contrario, los condensadores integrados presentan una tolerancia muy baja. Así, es factible obtener valores del 0.1 % sin encarecer excesivamente el proceso de fabricación. Por otra parte, sus dimensiones son considerablemente más pequeñas que las de las resistencias.

Por todo ello, se utilizan ampliamente técnicas que permiten utilizar estos condensadores como resistencias basadas en la transferencia de carga entre capacidades.

11.2.2. Amplificadores de carga

Una primera opción para evitar el uso de resistencias en circuitos integrados se basa en el concepto de amplificación de carga. Así, bastaría por utilizar condensadores en lugar de resistencias y centrarse en la carga acumulada entre los terminales de los condensadores en lugar de en la corriente.

Por ejemplo, un amplificador de carga muy sencillo es el siguiente:

Aceptemos que el amplificador operacional está en zona lineal. En estas circunstancias, $V_A = 0$

al ser el nudo A una tierra virtual. Eso significa que, en el condensador C_1 se ha almacenado una carga igual a:

$$Q_A = C_1 \cdot (V_{IN} - V_A) = C_1 \cdot V_{IN} \quad (11.17)$$

Recordemos que, en un condensador se entiende que aparece una carga Q_A en un extremo y otra carga $-Q_A$ en el otro. En consecuencia, en el extremo de C_1 próximo al nudo A aparece una carga $-Q_A$.

¿De dónde ha venido esa carga? No existe ningún punto por donde puede entrar o salir corriente (recordemos que el operacional tiene una impedancia infinita) de modo que la única posibilidad es que, simultáneamente, haya aparecido una carga $+Q_A$ en el extremo de C_2 próximo al nudo A . Así, se garantiza la neutralidad eléctrica.

Sin embargo, si aparece una carga $+Q_A$ en C_2 , es obvio que debe aparecer una diferencia de tensión entre los extremos del condensador. Este potencial sería:

$$Q_A = C_2 \cdot (V_A - V_{OUT}) = -C_2 \cdot V_{OUT} \quad (11.18)$$

Igualando términos, se deduce que:

$$V_{OUT} = -\frac{Q_A}{C_2} = -\frac{C_1}{C_2} \cdot V_{IN} \quad (11.19)$$

Obteniéndose de este modo la amplificación. Lamentablemente, esta estructura no funciona siempre puesto que se han despreciado las no idealidades del amplificador. Si estuviéramos estudiando el comportamiento DC, las corrientes de polarización drenarían o aumentarían la carga acumulada en los transistores llevando el sistema a saturación. Para que este tipo de circuitos funcione en modo continuo, es necesario refrescar periódicamente el contenido de los transistores para evitar situaciones como ésta. Todo ello será posible de realizar con las técnicas que se muestran en el siguiente apartado.

11.2.3. Equivalentes resistivos de condensadores conmutados

Es posible realizar falsas resistencias en circuitos integrados mediante técnicas de transferencia periódica de carga entre condensadores en conmutación.

11.2.3.1. Relojes no solapados

Antes de profundizar en este apartado, es necesario indicar que la construcción de equivalentes resistivos de condensadores conmutados requiere relojes complementarios no solapados. En otras palabras, se necesitan dos señales de reloj tales que:

- Si una señal está en ALTA, la otra está en BAJA.

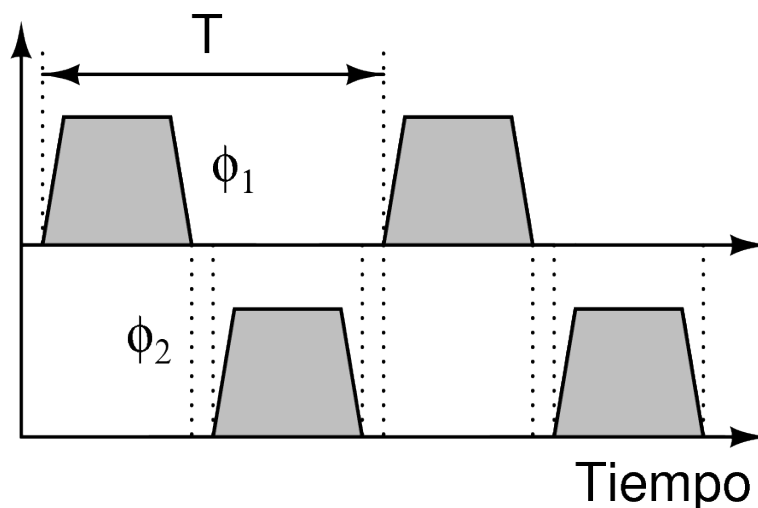


Figura 11.13: Relojes complementarios no solapados (ϕ_1 , ϕ_2). Entre cada dos líneas de puntos, se muestra el intervalo temporal en el que ambos relojes están con salida BAJA.

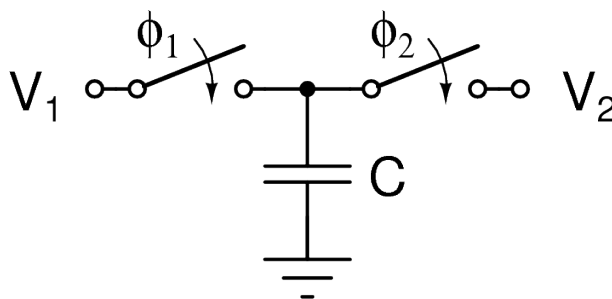


Figura 11.14: Equivalente resistivo paralelo de una resistencia por medio de un condensador.

- Entre los semiperiodos en ALTA de cada señal, existe una zona de transición en la que ambos relojes están en BAJA.

Estas condiciones se imponen para evitar que dos conmutadores puedan estar en conducción simultáneamente y evitar la formación de cortocircuitos. Las dos condiciones anteriores se resumen en Fig. 11.13.

11.2.3.2. Estudio de un equivalente resistivo (paralelo)

Un equivalente resistivo típico es la estructura mostrada en Fig. 11.14.

Esta estructura se denomina equivalente resistivo “*paralelo*”. Supongamos que se inicia el intervalo ALTO de ϕ_1 . En estas circunstancias, el condensador C se conecta directamente a V_1 por lo que acumula una carga igual a:

$$Q_1 = C \cdot V_1 \quad (11.20)$$

Una vez que finalice este semiperiodo, el condensador controlado por ϕ_1 se abre y se cierra ϕ_2 . En estas circunstancias, el condensador se conecta a la tensión V_2 por lo que la carga que se almacena en ese instante en el condensador es:

$$Q_2 = C \cdot V_2 \quad (11.21)$$

En otras palabras, en este intervalo el condensador pierde una carga igual a:

$$\Delta Q = Q_1 - Q_2 = C \cdot (V_1 - V_2) \quad (11.22)$$

Una vez que ϕ_2 pasa a BAJA, ϕ_1 pasa a ALTA y se reinicia el proceso. Téngase en cuenta que todo esto ha ocurrido en un intervalo de duración T , siendo T el periodo de ambos relojes.

¿Qué es lo que ha hecho la red? Puede entenderse que se ha tomado una carga ΔQ de V_1 y que se ha transferido a V_2 en un tiempo T . En otras palabras, se ha producido una corriente eléctrica que, por término medio, es:

$$\bar{I} = \frac{\Delta Q}{T} = \frac{C}{T} \cdot (V_1 - V_2) \quad (11.23)$$

Esta expresión es formalmente similar a la ley de Ohm pues liga una corriente con una diferencia de tensión. Por ello, puede deducirse que la red anterior es equivalente a una resistencia de valor T/C .

En consecuencia, una elección cuidadosa de T y de C nos permitiría modelar cualquier resistencia. Evidentemente, deben cumplirse ciertas condiciones. De ellas, la más importante es que estamos trabajando con circuitos muestreados en los que es aplicable el teorema de Nyquist. Por tanto, T^{-1} debe ser mayor que el doble de la máxima frecuencia de las señales del circuito.

11.2.3.3. Otros equivalentes resistivos de capacidades conmutadas

En el apartado anterior, se realizó un estudio de una red con capacidades conmutadas, llamada “*equivalente paralelo*”. Existen más modelos descritos en la literatura. En el cuadro 11.1 se muestran algunos de los más populares. Para conocer las ventajas y desventajas de cada uno de ellos, se remite al estudiante a la bibliografía de la asignatura y a la parte final de estos apuntes.

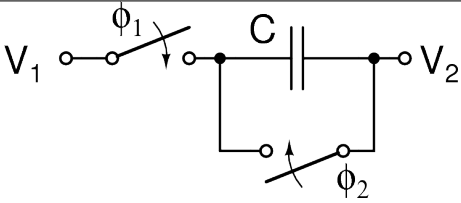
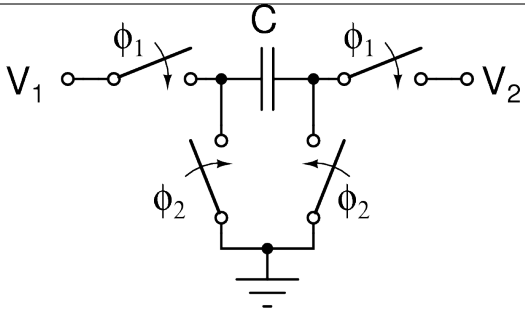
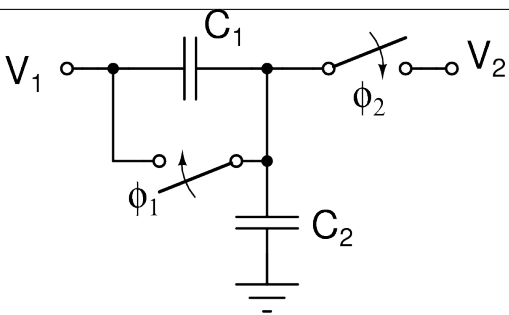
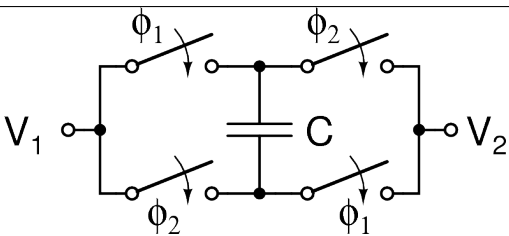
11.2.4. Diseño de un filtro RC con capacidades conmutadas

Con todo lo explicado en el apartado anterior, se va a proceder a obtener circuitos conmutados equivalentes a un circuito integrador formado por un amplificador operacional, un condensador y una resistencia (Fig. 11.15).

En este circuito, puede demostrarse que la ganancia es:

$$G(s) = \frac{V_{OUT}(s)}{V_{IN}(s)} = -\frac{1}{R \cdot C \cdot s} \quad (11.24)$$

Veamos ahora algunos ejemplos de redes de conmutación equivalentes.

Modelo	Construcción	Resistencia equivalente
Serie		$\frac{T}{C}$
Insensible a capacidades parásitas		$\frac{T}{C}$
Serie-paralelo		$\frac{T}{C_1 + C_2}$
Puerta bilineal		$\frac{T}{4 \cdot C}$

Cuadro 11.1: Equivalentes resistivos de algunas redes.

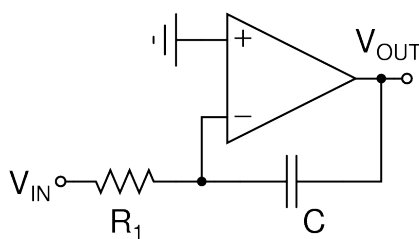


Figura 11.15: Filtro integrador

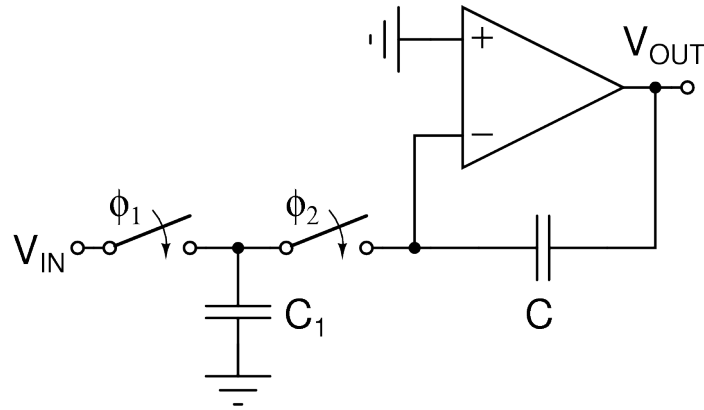


Figura 11.16: Filtro integrador con capacidad de conmutación en paralelo.

11.2.4.1. Integrador con equivalente resistivo paralelo

Primeramente, se reemplazará la resistencia con el equivalente resistivo en paralelo, descrito en el Cuadro 11.1, suponiendo que $\frac{T}{C_1} = R_1$, siendo T el periodo de los relojes y C_1 la capacidad de conmutación. Así, el circuito de Fig. 11.15 se convierte en el de Fig. 11.16.

Supongamos que estamos a punto de llegar al instante $n \cdot T$. En estas circunstancias, se sabe que la tensión en la salida es $V_{OUT}(n \cdot T)$ ya que ésta es la tensión que existe en la salida cuando se activa el periodo n de ϕ_1 , que es el reloj principal. En este instante, ambos conmutadores se encuentran abiertos, tal y como se muestra en Fig. 11.17.

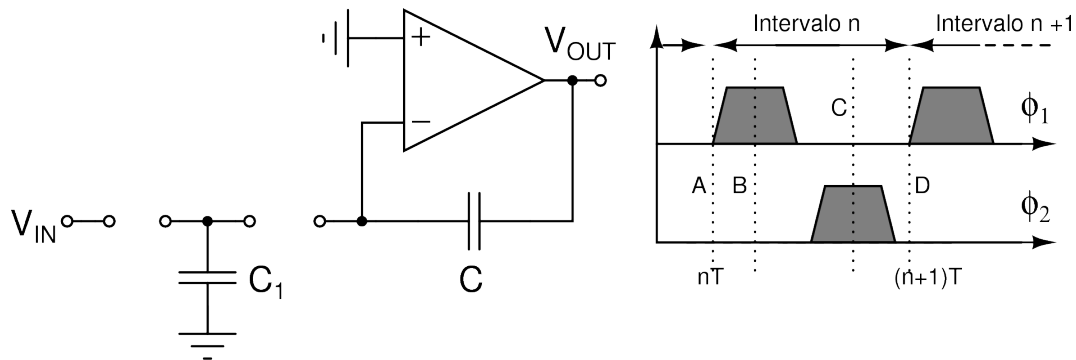


Figura 11.17: Filtro integrador con capacidad en conmutación en paralelo. En el instante A, ambos conmutadores están en paralelo siendo la tensión de salida $V_{OUT}[(n-1) \cdot T]$.

Imaginemos que ahora pasamos al instante B. Estamos ahora metidos de lleno en el periodo n , que es marcado por ϕ_1 , y el conmutador $S1$ se cierra, como muestra Fig. 11.18.

En este momento, se almacena una carga Q_1 en la capacidad C_1 , de valor $Q_1 = C_1 \cdot V_{IN}(nT)$ ya que estamos en el instante nT . Por otra parte, durante este tiempo la salida V_{OUT} no ha cambiado. Como ya estamos en el semiperiodo alto de ϕ_1 , podemos decir que, en estos instantes, la salida es, formalmente, $V_{OUT}(n \cdot T)$.

Imaginemos que entramos en el siguiente subintervalo, en el que se abre $S1$ y se cierra $S2$ (Fig. 11.19).

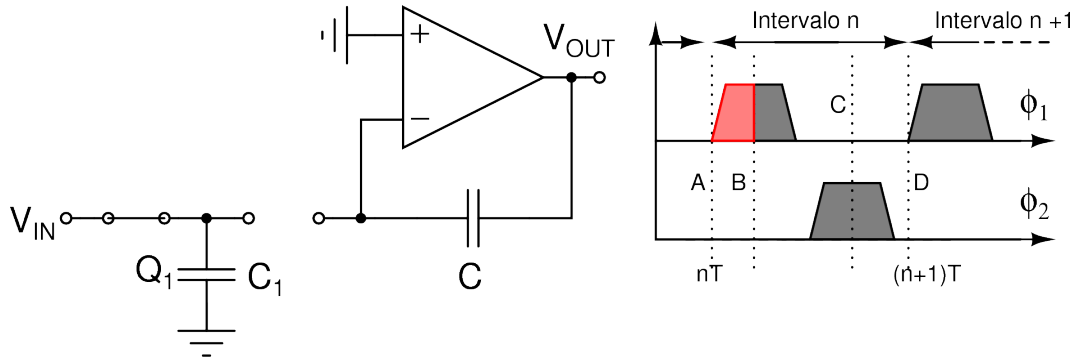


Figura 11.18: Filtro integrador con capacidad en conmutación en paralelo. El sistema se encuentra en el instante B.

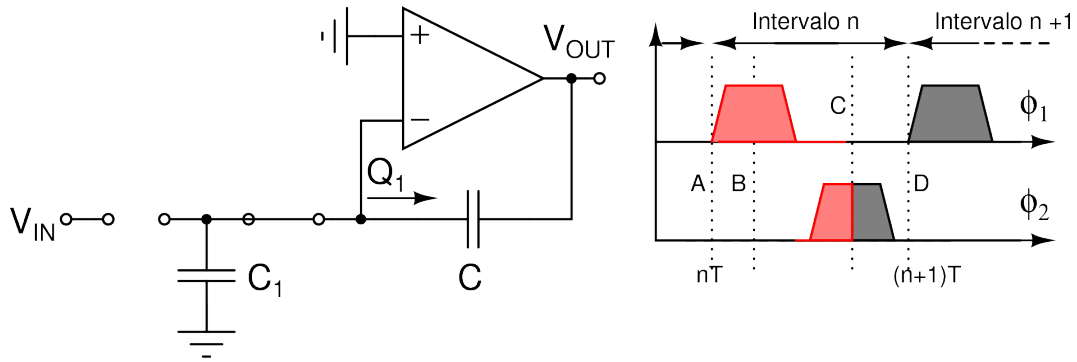


Figura 11.19: Filtro integrador con capacidad en conmutación en paralelo. El sistema se encuentra en el instante C.

En este momento, C_1 se conecta a una tierra virtual por lo que toda la carga Q_1 debe drenarse. Como el único sitio donde puede acumularse es en el condensador C , la carga total que aparece en este condensador es:

$$Q_C = Q_{C,0} + Q_1 = -C \cdot V_{OUT}(nT) + C_1 \cdot V_{IN}(nT) \quad (11.25)$$

Siendo $Q_{C,0}$ la carga almacenada inicialmente en C , que estaba polarizado entre una tierra virtual y la salida en el instante nT . En consecuencia, la tensión de salida es:

$$V_{OUT}(T_C) = -\frac{Q_C}{C} = V_{OUT}(nT) - \frac{C_1}{C} \cdot V_{IN}(nT) \quad (11.26)$$

Sin embargo, el instante C ha llegado demasiado tarde para ser contado en el intervalo n . El reloj ϕ_1 está en baja y no vuelve a activarse hasta el siguiente intervalo. Por tanto, a efectos prácticos no debe entenderse $V_{OUT}(T_C)$ como el intervalo n , sino como el siguiente. Por tanto, la ecuación de diferencias es:

$$V_{OUT}[(n+1) \cdot T] = V_{OUT}(nT) - \frac{C_1}{C} \cdot V_{IN}(nT) \quad (11.27)$$

Ecuación que describe con mayor exactitud el comportamiento del sistema.

11.2.4.2. Integrador con equivalente resistivo insensible a capacidades parásitas

Ahora, vamos a estudiar el equivalente del integrador RC pero utilizando un equivalente resistivo distinto. En particular, elegimos el equivalente resistivo inmune a capacidades parásitas (Cuadro 11.1) con lo que el filtro RC se transforma en Fig. 11.20.

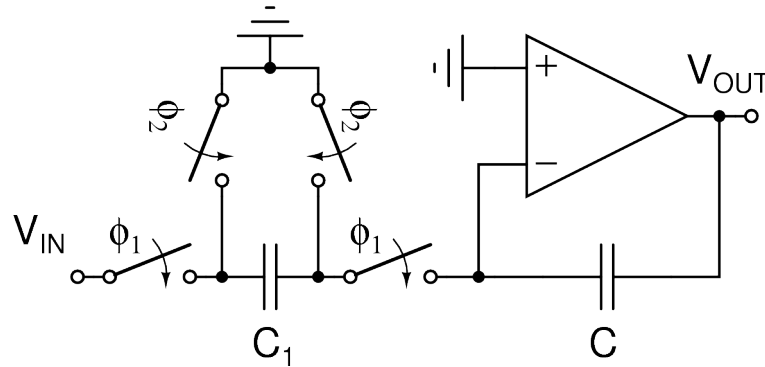


Figura 11.20: Filtro integrador con capacidad en conmutación insensible a capacidades parásitas.

Analicemos la red como en el apartado 11.2.4.1. Imaginemos que nos encontramos en los últimos instantes del intervalo $(n-1)$ y que todos los conmutadores están activados (Fig. 11.21). Evidentemente, la tensión de salida será $V_{OUT}[(n-1) \cdot T]$.

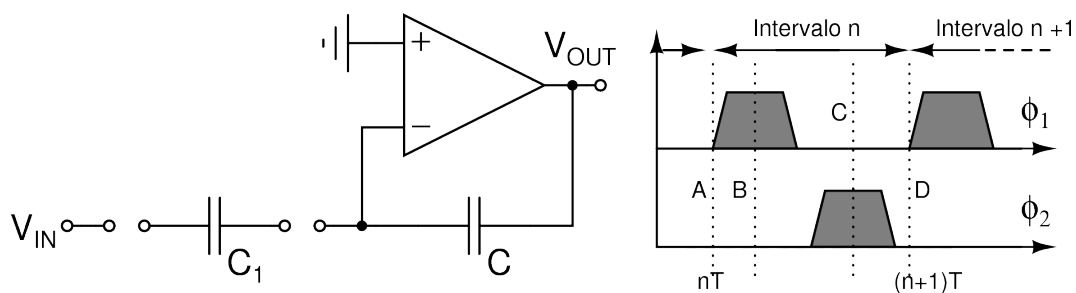


Figura 11.21: Filtro integrador con capacidad en conmutación insensible a capacidades parásitas.

En el instante B, se ha cerrado el circuito según Fig. 11.22.

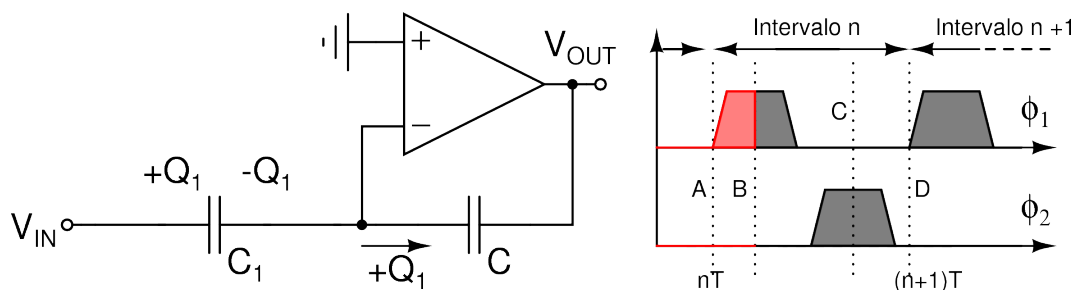


Figura 11.22: Filtro integrador con capacidad en conmutación insensible a capacidades parásitas.

Al aplicar la tensión entre los extremos del condensador C_1 , aparece una carga Q_1 entre sus extremos, de valor:

$$Q_1 = C_1 \cdot V_{IN}(nT) \quad (11.28)$$

Sin embargo, esto implica que en uno de los planos del condensador aparece una carga negativa, $-Q_1$. Como inicialmente hay neutralidad eléctrica, debe existir algún resto de carga $+Q_1$ en algún lugar. Al tener el operacional una impedancia infinita, el único lugar apropiado para almacenarla es C . Por tanto, la cantidad de carga acumulada en este condensador en el instante B es:

$$Q_C = Q_{C,0} + Q_1 = -C \cdot V_{OUT}[(n-1) \cdot T] + C_1 \cdot V_{IN}(nT) \quad (11.29)$$

Fijémonos ahora en un punto dramático: Estamos midiendo la carga en el instante T_B . En este momento, aún está en ALTA el reloj ϕ_1 , que marca el intervalo de trabajo. Por tanto, aún estamos en el intervalo n . En consecuencia:

$$\begin{aligned} Q_C(T_B) &= -C \cdot V_{OUT}(T_B) \equiv -C \cdot V_{OUT}(nT) = \\ &= -C \cdot V_{OUT}[(n-1) \cdot T] + C_1 \cdot V_{IN}(nT) \end{aligned} \quad (11.30)$$

De lo que se deduce que:

$$V_{OUT}(nT) = V_{OUT}[(n-1) \cdot T] - \frac{C_1}{C} \cdot V_{IN}(nT) \quad (11.31)$$

Ecuación muy parecida a Eq. 11.27 salvo que la entrada actúa inmediatamente en la salida y no en el periodo posterior. Esto, como veremos, tiene consecuencias importantes con respecto a la estabilidad una vez que utilicemos la transformación z para describir estos sistemas.

11.2.5. Limitaciones de los circuitos de capacidades conmutadas

Los circuitos de capacidades conmutadas cuentan con muchas ventajas a la hora de ser implementados. Sin embargo, también existen algunas desventajas que deben ser reseñadas:

1. **Frecuencia de Nyquist:** Los circuitos de capacidades conmutadas no son sino una subclase de los circuitos muestreados. Por ello, el teorema de Nyquist es aplicable a estos sistemas para determinar la frecuencia mínima de muestreo y, de este modo, el periodo del reloj.
2. **Limitaciones de los amplificadores operacionales:** Los amplificadores que se usan en los diseños son reales de tal modo que factores como el producto ganancia-ancho de banda o el *slew rate* afectan al comportamiento en frecuencia, las tensiones de *offset* se añaden a la salida, las corrientes de polarización de las entradas pueden descargar los condensadores, etc.
3. **Capacidades parásitas:** Como sabemos, los conmutadores son transistores NMOS en los que existen capacidades parásitas que deben ser tomadas en cuenta. Por otra parte, existe la posibilidad de la influencia del efecto pedestal en la salida.

4. **Realimentación:** En la medida de lo posible, se debe intentar que los amplificadores operacionales tengan cerrado un camino de realimentación para garantizar la estabilidad del sistema. Por otro lado, es muy recomendable realizar diseños en los que las entradas no inversoras de los amplificadores operacionales estén unidas a alguna tensión constante (p. e., tierra).

11.2.6. Uso de la transformada z

Eq. 11.27 y Eq. 11.31 pueden ser reescritas de una manera más elegante prescindiendo del periodo T pues, a fin de cuentas, una vez realizado el diseño, este parámetro es constante. Así, se obtendrían las siguientes ecuaciones:

$$V_{OUT}(n+1) = V_{OUT}(n) - \frac{C_1}{C} \cdot V_{IN}(n) \quad (11.32)$$

$$V_{OUT}(n) = V_{OUT}(n-1) - \frac{C_1}{C} \cdot V_{IN}(n) \quad (11.33)$$

En definitiva, tenemos ecuaciones de diferencias en las que tiene sentido utilizar la transformada z . Así, las ecuaciones anteriores se transforman en:

$$z \cdot V_{OUT}(z) = V_{OUT}(z) - \frac{C_1}{C} \cdot V_{IN}(z) \quad (11.34)$$

$$V_{OUT}(z) = z^{-1} \cdot V_{OUT}(z) - \frac{C_1}{C} \cdot V_{IN}(z) \quad (11.35)$$

Con lo que, el circuito integrador con equivalente en paralelo tendría una función de transferencia de valor:

$$H_{PRL}(z) = \frac{V_{OUT}(z)}{V_{IN}(z)} = -\frac{C_1}{C} \cdot \frac{z^{-1}}{1 - z^{-1}} \quad (11.36)$$

Y el circuito integrador con equivalente inmune a capacidades parásitas:

$$H_{ICP}(z) = \frac{V_{OUT}(z)}{V_{IN}(z)} = -\frac{C_1}{C} \cdot \frac{1}{1 - z^{-1}} \quad (11.37)$$

Hacer esto otorga al diseñador un arma muy poderosa. Así, es posible obtener circuitos con capacidades conmutadas que implementen funciones sencillas, sumadores, etc. de tal manera que sería posible dividir cualquier función en el dominio z en componentes sencillas e implementarlas por bloques. Por ejemplo, si colocáramos los dos integradores estudiados en cascada (La salida de uno ataca la entrada del otro), se podría implementar la función:

$$H_3(z) = \frac{V_{OUT}(z)}{V_{IN}(z)} = \left(\frac{C_1}{C}\right)^2 \cdot \frac{z^{-1}}{(1 - z^{-1})^2} \quad (11.38)$$

En definitiva, se deberían aplicar las mismas técnicas que las de los filtros analógicos. Por otra

parte, la estabilidad de las funciones z es fácil de realizar investigando si los polos y ceros de la función se encuentran dentro del círculo unidad.

Se remite al estudiante a la lectura de libros existentes en la bibliografía para conocer las técnicas más populares para implementar filtros y otros sistemas en el dominio de la transformada z .

11.3. Otros Circuitos basados en amplificadores operacionales y capacidades

En los dos capítulos anteriores se ha procedido al estudio de dos tipos de circuitos basados en el uso de amplificadores operacionales y capacidades: Los circuitos S/H y los circuitos basados en capacidades conmutadas. Sin embargo, no son los únicos circuitos que pueden construirse. Así, es posible la construcción de:

- Circuitos detectores de pico
- Rectificadores de onda completa
- Osciladores controlados por tensión
- Conversores digitales/analógicos (DAC)
- Conversores DC/DC (Fuentes conmutadas)
- Osciladores programables

Es importante reseñar también que existen configuraciones que permiten eliminar la tensión de *offset* de un sistema por medio del uso de capacidades conmutadas. Se remite a la literatura sobre el tema para conocer este asunto en mayor profundidad.

Parte II

Parámetros SPICE

Capítulo 12

El Diodo según SPICE

Para modelar adecuadamente el comportamiento del diodo, el lenguaje de simulación SPICE utiliza alrededor de 25 parámetros dependiendo de cada dialecto en particular. A continuación se explica el significado de los parámetros más generales en relación con la física del dispositivo y las ecuaciones que los ligan. Por sencillez consideraremos una unión N⁺P abrupta, en la cual las trampas están en la energía correspondiente al centro de la banda prohibida y las secciones eficaces de captura para electrones y huecos son iguales. Sin embargo, debe tenerse en cuenta que los parámetros SPICE son válidos para cualquier tipo de diodo, sea Schottky, LED, etc. Simplemente, hay que ajustar de manera apropiada el valor numérico de cada término.

Para usar la misma nomenclatura que SPICE tomamos:

- V_D , o caída de tensión en la unión (a través de la zona de carga espacial, con exclusión de la posible caída en la resistencia serie o en las zonas neutras).
- I_D , o corriente a través del diodo.
- V_J (**VJ**¹), o potencial de contacto de la unión
- V_T , o tensión térmica, es decir $k \cdot T / q$, siendo k la constante de Boltzmann, de valor $1.38 \cdot 10^{-23}$ J/K, y q la carga del electrón, de valor $1.609 \cdot 10^{-19}$ C.

Asimismo, en todo diodo existe una resistencia serie parásita, R_S (**RS**), en la que se produce una pequeña caída de tensión que modifica el valor efectivo de V_D .

12.1. Corrientes en el diodo

La corriente que atraviesa el diodo es:

$$I_D = I_{FWD} - I_{REV} \quad (12.1)$$

¹Todos los términos en negrita y sin subíndices SON parámetros SPICE

donde I_{FWD} modela no solamente la corriente ideal, sino también la de generación-recombinación y la alta inyección. I_{REV} modela los mecanismos de ruptura de la unión. Se supone que I_D es positiva si fluye de la zona P a la N. La expresión de I_{FWD} es:

$$I_{FWD} = K_{INJ}I_{NRM} + K_{GEN}I_{REC} \quad (12.2)$$

donde I_{NRM} modela la corriente ideal del diodo, K_{INJ} modela el fenómeno de alta inyección y el producto I_{NRM} modela tanto la corriente de generación cuando estamos en polarización inversa como la de recombinación cuando estamos en polarización directa. La expresión de I_{NRM} es:

$$I_{NRM} = I_S \left[\exp\left(\frac{V_D}{N \cdot V_T}\right) - 1 \right] \quad (12.3)$$

donde I_S , representado en SPICE como **IS**, es la corriente de saturación ideal del diodo y **N** es el factor de idealidad. Obviamente como estamos tratando con la zona ideal, **N** valdrá *por defecto* 1. Para el caso de unión N⁺P, que estamos tratando, la corriente será:

$$I_S = \frac{qn_i^2 D_n}{L_n N_A} \quad (12.4)$$

El paso a alta inyección se controla a través de K_{INJ} , cuya expresión depende de un parámetro SPICE, **IKF**, y es:

1. Para $I_{KF} > 0$, $K_{INJ} = \sqrt{\frac{I_{KF}}{I_{KF} + I_{NRM}}}$
2. Para $I_{KF} \leq 0$, $K_{INJ} = 1$

donde I_{KF} (**IKF**) es la corriente para la cual se da el cambio entre el régimen ideal y el de alta inyección.

Puede observarse de la fórmula anterior que cuando la corriente I_{NRM} es mucho más pequeña que **IKF** el producto tiende a valer I_{NRM} , mientras que cuando la tensión aplicada es tal que I_{NRM} es mayor que **IKF**, el producto en la ecuación 12.2 tiende a valer:

$$I_{NRM}K_{INJ} = \sqrt{I_S I_{KF}} \exp\left(\frac{V_D}{2V_T}\right) \quad (12.5)$$

Si se comparan estas expresiones con las expresiones físicas para el diodo propuesto se encuentra sin dificultad:

$$I_{KF} = \frac{4 \cdot q \cdot D_n \cdot n_i}{L_n} \quad (12.6)$$

El valor exacto de **IKF** no es sencillo de encontrar experimentalmente puesto que corresponde con el encuentro entre la extrapolación de la zona ideal y de la de alta inyección, que es un valor que no se alcanza experimentalmente ya que, al valor de tensión en que se cambia de régimen, le corresponde una corriente $\frac{I_{KF}}{\sqrt{2}}$, como se puede demostrar con unos sencillos cálculos.

Si **IKF** no se especifica toma valor por defecto infinito con lo que K_{INJ} se hace 1 en todo el rango de corrientes.

Con respecto a las corrientes de generación y recombinación las expresiones de I_{REC} y K_{GEN} son:

$$I_{REC} = I_{SR} \cdot \left[\exp \left(\frac{V_D}{N_R \cdot V_T} \right) - 1 \right] \quad (12.7)$$

$$K_{GEN} = \left[\left(1 - \frac{V_D}{V_J} \right)^2 + 0,005 \right]^{M/2} \quad (12.8)$$

Siendo I_{SR} (**ISR**), N_R (**NR**), V_J (**VJ**) y M (**M**) parámetros que se pueden proporcionar al modelo SPICE. En estas expresiones, **ISR** es la corriente de saturación del mecanismo de recombinación, **NR** es el factor de idealidad de este mecanismo (nominalmente, 2) y **M** es el índice de gradualidad de la unión, que vale 1/2 para uniones abruptas y 1/3 para graduales. Si estamos en polarización inversa, V_D es negativo por lo que la exponencial desaparece y, en el término K_{GEN} , 0.005 es despreciable frente a $\left(1 - \frac{V_D}{V_J} \right)^2$, por lo que el producto queda:

$$I_{FWD} = -I_{SR} \cdot \left(1 - \frac{V_D}{V_J} \right)^M \quad (12.9)$$

Si se recuerda la expresión de la corriente de generación es $J_{GEN} = \frac{q \cdot n_i W}{\tau}$ donde τ era:

$$\tau = \frac{\gamma_n \exp \left(\frac{E_T - E_i}{kT} \right) + \gamma_p \exp \left(\frac{E_i - E_T}{kT} \right)}{\gamma_n \gamma_p N_T} \quad (12.10)$$

expresión que queda reducida a:

$$\tau = \frac{2}{\gamma \cdot N_T} \quad (12.11)$$

si las trampas están en el centro de la banda y las secciones eficaces son iguales para electrones y huecos. Por otra parte, la anchura de la zona espacial es dependiente de la tensión de forma:

$$W = \alpha \cdot (V_J - V_D)^M \quad (12.12)$$

De las anteriores relaciones se deduce inmediatamente que:

$$I_{SR} = \frac{1}{2} \cdot q \cdot n_i \cdot \gamma \cdot N_T \cdot W_0 \quad (12.13)$$

donde W_0 es la anchura de vaciamiento a potencial aplicado nulo.

En polarización directa aparece la exponencial multiplicando a **ISR** y el término K_{GEN} prácticamente se hace igual a 1, puesto que V_D se aproxima a **VJ**. El término constante 0.005 se añade para que esta desaparición sea más efectiva en polarización directa.

El término I_{REV} modela, como ya se ha dicho, la ruptura. Para ello usa dos exponenciales de la forma:

$$I_{REV} = I_{REV,HIGH} + I_{REV,LOW} \quad (12.14)$$

donde

$$I_{REV,HIGH} = I_{BV} \cdot \exp\left(-\frac{V_D + BV}{N_{BV} \cdot V_T}\right) \quad (12.15)$$

$$I_{REV,LOW} = I_{BVL} \cdot \exp\left(-\frac{V_D + BV}{N_{BVL} \cdot V_T}\right) \quad (12.16)$$

En estas expresiones **BV** es el potencial de ruptura, siendo complementado en SPICE con los parámetros **IBV** (I_{BV}), **IBVL** (I_{BVL}), **NBV** (N_{BV}) y **NBVL** (N_{BVL}). Todos los parámetros se entienden como positivos y han de hallarse experimentalmente.

12.2. Capacidades

Como ya conocemos a través de la física del dispositivo, existen dos capacidades diferentes que se modelan por separado, siendo la capacidad total la suma:

$$C_T = C_D + C_J \quad (12.17)$$

donde C_T es la capacidad total, C_D es la capacidad de difusión o de tránsito y C_J es la capacidad de vaciamiento o de unión.

La capacidad de difusión, C_D es, según SPICE:

$$C_D = \tau_T \cdot g_D \quad (12.18)$$

donde τ_T , simbolizado en SPICE como **TT**, es el tiempo característico de acumulación de los portadores en las zonas neutras y g_D es la conductancia del diodo definida como:

$$g_D = \frac{d}{dV_D} (K_{INJ} \cdot I_{NRM} + K_{GEN} \cdot I_{REC}) \quad (12.19)$$

De acuerdo con el modelo de admitancias, la capacidad de difusión C_D (o C_t según SPICE) vale:

$$C_D = g_D \cdot \frac{\tau}{2} \quad (12.20)$$

con lo que la asimilación **TT** = $\tau/2$ es inmediata. Recordemos que esta τ es un tiempo promedio entre los tiempos de vida de los electrones y huecos definido como:

$$\tau = \frac{D_P \cdot p_{n0} \cdot \tau_p \cdot L_n + D_n \cdot n_{p0} \cdot \tau_n \cdot L_p}{D_P \cdot p_{n0} \cdot L_n + D_n \cdot n_{p0} \cdot L_p} \quad (12.21)$$

expresión que, para el caso que estamos analizando, coincide con el tiempo de vida para los electrones

en la zona P.

Con respecto a la capacidad de transición o de unión, SPICE usa dos fórmulas diferentes dependiendo del margen de tensión de polarización. Para ello introduce un parámetro que llama **FC**, de forma que:

- Si $V_D < FC \cdot V_J$, entonces $C_J = C_{J0} \cdot \left(1 - \frac{V_D}{V_J}\right)^M$
- Si $V_D > FC \cdot V_J$, entonces $C_J = C_{J0} \cdot (1 - FC)^{-(1+M)} \left(1 - FC \cdot (1 + M) + M \cdot \frac{V_D}{V_J}\right)$

El valor por defecto de **FC** es 0.5, lo que indica que para la zona de potenciales inversos o incluso ligeramente directos la expresión de la capacidad de transición es la habitual, siendo C_{J0} (**CJO**) la capacidad de unión medida a potencial cero.

12.3. Efectos de la temperatura sobre corrientes y potenciales

En SPICE se puede especificar una temperatura nominal, que será la habitual de funcionamiento para todos los dispositivos y que llamaremos T_{NOM} (**TNOM** en **.OPTIONS**). Sin embargo podemos simular el circuito a otras temperaturas. Llamaremos T a la temperatura como variable (**TEMP** en **.OPTIONS**). Por lo tanto hay que especificar las ecuaciones según las cuales todos las corrientes y tensiones dependen de la temperatura.

12.3.1. Dependencia de las corrientes de saturación

Las corrientes de saturación son los parámetros más fuertemente dependientes de la temperatura y, por tanto los más importantes de modelar correctamente. SPICE usa la siguiente expresión para la dependencia de la corriente de saturación ideal:

$$I_S(T) = I_S \cdot \exp \left[\left(\frac{T}{T_{NOM}} - 1 \right) \cdot \frac{E_G}{N \cdot q \cdot V_T} \right] \cdot \left(\frac{T}{T_{NOM}} \right)^{XTI/N} \quad (12.22)$$

Recordemos que **IS**, **TNOM** y **N** son parámetros SPICE definidos previamente, E_G (**EG**) es el ancho de banda prohibida del semiconductor y **XTI** es el exponente de la dependencia con la temperatura. Valdrá por defecto 3, por las razones que a continuación veremos. Esta expresión es sencilla de deducir si tenemos en cuenta la expresión de la corriente de saturación ideal, mostrada en la ecuación 12.4, en la que:

$$n_i^2 = N_C \cdot N_V \cdot \exp \left(-\frac{E_G}{k \cdot T} \right) \quad (12.23)$$

$$N_C = 2 \cdot \left(\frac{2 \cdot \pi \cdot m_e^* \cdot kT}{h^2} \right)^{3/2} \quad (12.24)$$

$$N_V = 2 \cdot \left(\frac{2 \cdot \pi \cdot m_h^* \cdot kT}{h^2} \right)^{3/2} \quad (12.25)$$

de donde se deduce la expresión de SPICE sin más que operar.

Respecto a la corriente de saturación en la zona dominada por la recombinación la expresión usada es:

$$I_{SR}(T) = I_{SR} \cdot \exp \left[\left(\frac{T}{T_{NOM}} - 1 \right) \cdot \frac{E_G}{N_R \cdot q \cdot V_T} \right] \cdot \left(\frac{T}{T_{NOM}} \right)^{XTI/N_R} \quad (12.26)$$

Puede reconocerse que la expresión es similar a la ecuación 12.22 reemplazando **N** por **NR**. Esta expresión es inmediata si se tiene en cuenta que esta corriente depende de n_i mientras que la anterior (zona ideal) dependía de n_i^2 .

12.3.2. Dependencia de los demás parámetros

La dependencia de **IKF** es mucho más débil que la de las corrientes de saturación. Para el caso de una unión N⁺P, vimos que su expresión estaba recogida en la ecuación 12.6, por lo que las variaciones con la temperatura solamente pueden provenir del coeficiente de difusión a través de la movilidad. SPICE considera suficientemente preciso un ajuste lineal de la forma:

$$I_{KF}(T) = I_{KF} \cdot (1 + T_{IKF} \cdot (T - T_{NOM})) \quad (12.27)$$

siendo, evidentemente, T_{IKF} (**TIKF**) el coeficiente lineal de variación con la temperatura del codo de paso a alta inyección (I_{KF} (**IKF**), T (**TEMP**) y T_{NOM} (**TNOM**) han sido definidos con anterioridad).

Con respecto a la tensión de ruptura (**BV**) la expresión es algo más complicada porque se supone la posibilidad de ajuste lineal y cuadrático:

$$BV(T) = BV \cdot [1 + T_{BV1} \cdot (T - T_{NOM}) + T_{BV2} \cdot (T - T_{NOM})^2] \quad (12.28)$$

Con T_{BV1} (**TBV1**) y T_{BV2} (**TBV2**) dos parámetros térmicos. De la misma forma la resistencia serie (debida a zonas neutras y contactos) es similar a otras resistencias:

$$R_S(T) = R_S \cdot [1 + T_{RS1} \cdot (T - T_{NOM}) + T_{RS2} \cdot (T - T_{NOM})^2] \quad (12.29)$$

siendo R_S (**RS**), T_{RS1} (**TRS1**) y T_{RS2} (**TRS2**) diversos parámetros SPICE.

El potencial de contacto varía con la temperatura de forma distinta a los anteriores:

$$V_J(T) = V_J \cdot \frac{T}{T_{NOM}} - 3 \cdot V_T \cdot \ln \left(\frac{T}{T_{NOM}} \right) - E_G \cdot \frac{T}{T_{NOM}} + E_G(T) \quad (12.30)$$

En esta expresión pueden reconocerse algunos parámetros SPICE como **VJ**, **TNOM**, o **EG**. Otro parámetro adicional es la evolución de **EG** en función de la temperatura, que, en el caso del silicio,

SPICE calcula en eV como:

$$E_G(T) = 1,16 - 0,000702 \cdot \frac{T^2}{T + 1108} \quad (12.31)$$

Otros semiconductores no se han implementado en SPICE. Esta expresión puede deducirse a partir de:

$$V_J = V_T \cdot \ln \left(\frac{N_A \cdot N_D}{n_i^2} \right) \quad (12.32)$$

Finalmente, la variación con la temperatura de la capacidad de transición se expresa como:

$$C_{J0}(T) = C_{j0} \cdot \left(1 + M \cdot \left(0,0004 \cdot (T - T_{NOM}) + \left(1 - \frac{V_J(T)}{V_J} \right) \right) \right) \quad (12.33)$$

La mayor parte de los parámetros incluidos ya se definieron con anterioridad.

12.4. Ruido

El ruido en el diodo proviene por una parte de la resistencia asociada a zonas neutras y contactos (blanco) y el ruido proveniente de la conducción a través de la zona de vaciamiento (*shot* y *flicker*). El ruido de la resistencia se modela como una fuente de corriente alterna que, suponiendo un ancho de banda de 1Hz, tiene una densidad espectral de potencia por unidad de ancho de banda:

$$I_N^2 = \frac{4 \cdot k \cdot T}{R_S} \quad (12.34)$$

R_S es la resistencia parásita, que se modela en SPICE como **RS**. El ruido generado intrínsecamente en el diodo no es blanco como el anterior y su expresión es:

$$I_N^2 = 2 \cdot q \cdot I_D + K_F \cdot \frac{I_D^{A_F}}{f} \quad (12.35)$$

donde K_F (**KF**) y A_F (**AF**) dos parámetros llamados coeficiente y exponente de ruido.

12.5. Ejemplos de diodos reales

A continuación, se muestran los modelos SPICE de algunos diodos sobradamente conocidos y de amplio uso en el diseño electrónico con componentes discretos.

12.5.1. 1N4148

Diodo de silicio de conmutación rápida. Versión proporcionada por Fairchild Semiconductors.

```
.model D1N4148 D(Is=5.84n N=1.94 Rs=.7017 lkf=44.17m Xti=3 Eg=1.11 Cjo=.95p
```

+ M=.55 Vj=.75 Fc=.5 Isr=11.07n Nr=2.088 Bv=100 Ibv=100u Tt=11.07n)

12.5.2. BAT54

Diodo Schottky típico. Versión proporcionada por Fairchild Semiconductors.

.model BAT54 D(Is=31.12n N=1.048 Rs=1.256 Ikf=0 Xti=3 Eg=1.11 Cjo=13.36p M=.3913

+ Vj=.3905 Fc=.5 Isr=2.465u Nr=2 Bv=50 Ibv=10u)

12.5.3. BZX284-6V2

Diodo Zener con tensión de ruptura en torno a 6.2 V. Versión proporcionada por NXP.

.model BZX284-B6V2 D (IS=2.6665E-18 N=.82284 RS=.51617 IKF=11.760E-3

+ CJO=167.78E-12 M=.37745 VJ=.86869 ISR=48.886E-9 BV=6.3329 IBV=.94329

+ TT=121.76E-9)

12.5.4. LXHL-BW02

Diodo LED de GaAs. Versión proporcionada por LTSPICE-IV.

.model LXHL-BW02 D(Is=4.5e-20 Rs=.85 N=2.6 Cjo=1.18n lave=400mA Vpk=5)

Puede apreciarse que aparecen dos parámetros no convencionales propios de este dialecto SPICE (**IAVE**, **VPK**). Ambos están relacionados con la capacidad de disipación del dispositivo.

Chapter 13

El Transistor Bipolar según SPICE

Para modelar adecuadamente el comportamiento del transistor, el programa SPICE proporciona dos niveles. En el primer nivel (**LEVEL = 1**¹), se considera que el transistor tiene solo tres terminales (colector, base y emisor) en tanto que, en el segundo (**LEVEL = 2**), el transistor se considera de cuatro terminales pues se tiene en cuenta el substrato². Así, es posible encontrar definir más capacidades parásitas. La descripción de los transistores, independientemente del nivel, es muy compleja pudiendo ser necesario del orden de 55 parámetros para alcanzar una descripción adecuada. A continuación se explica el significado de cada uno de los parámetros en relación con la física del dispositivo y las ecuaciones que los ligan.

13.1. Modelo básico

El programa usa una modificación del modelo de Ebers y Moll, más adecuada para el cálculo de circuitos. Se considera que, básicamente, un transistor es una fuente de corriente controlada por corriente recogida gráficamente en la Figura 13.1. Las expresiones de I_{BE1} e I_{BC1} son:

$$I_{BE1} = I_S \cdot \left(\exp \left(\frac{V_{BE}}{N_F \cdot V_T} \right) - 1 \right) \quad (13.1)$$

$$I_{BC1} = I_S \cdot \left(\exp \left(\frac{V_{BE}}{N_R \cdot V_T} \right) - 1 \right) \quad (13.2)$$

Donde I_S , N_F y N_R son parámetros SPICE simbolizados como **IS**, **NF** y **NR**. Por otra parte, en la Figura 13.1, aparecen dos nuevos parámetros, β_F y β_R , que se representan en SPICE como **BF** y **BR** respectivamente.

¹Como está siendo habitual, los parámetros SPICE se simbolizan en negrita independientemente de que, en las ecuaciones en que se usen, se encuentren expresados de manera más formal, utilizando, por ejemplo, subíndices.

²Algunos dialectos de SPICE, como NGSPICE o HSPICE, proporcionan modelos más avanzados. Por ejemplo, existe un modelo llamado VBIC (<http://www.designers-guide.org/VBIC/>) que mejora algunos aspectos del modelo habitual (**LEVEL = 4**).

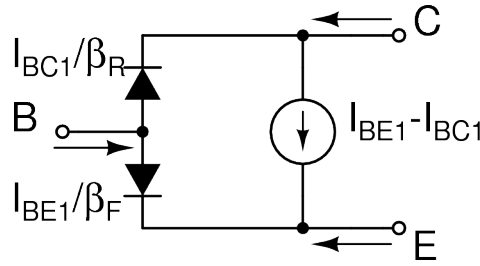


Figura 13.1: Modelo básico SPICE del BJT

De acuerdo con el circuito de la Figura 13.1, las corrientes a través de los terminales³ serán:

$$I_E = -I_S \cdot \left(1 + \frac{1}{\beta_F}\right) \cdot \left(\exp\left(\frac{V_{BE}}{N_F V_T}\right) - 1\right) + I_S \cdot \left(\exp\left(\frac{V_{BC}}{N_R V_T}\right) - 1\right) \quad (13.3)$$

$$I_C = I_S \cdot \left(\exp\left(\frac{V_{BE}}{N_F V_T}\right) - 1\right) - I_S \cdot \left(1 + \frac{1}{\beta_R}\right) \cdot \left(\exp\left(\frac{V_{BC}}{N_R V_T}\right) - 1\right) \quad (13.4)$$

Para tratar de identificar los parámetros SPICE, en relación con el modelo de Ebers y Moll recordemos que estas ecuaciones, para un transistor NPN, eran:

$$I_E = -a_{11} \cdot \left(\exp\left(\frac{V_{BE}}{N_F V_T}\right) - 1\right) + a_{12} \cdot \left(\exp\left(\frac{V_{BC}}{N_R V_T}\right) - 1\right) \quad (13.5)$$

$$I_C = -a_{21} \cdot \left(\exp\left(\frac{V_{BE}}{N_F V_T}\right) - 1\right) + a_{22} \cdot \left(\exp\left(\frac{V_{BC}}{N_R V_T}\right) - 1\right) \quad (13.6)$$

en las cuales se verificaban las relaciones:

$$\begin{aligned} a_{11} &\equiv I_{ES} = \frac{I_{EB0}}{1 - \alpha_F \alpha_R} \\ a_{22} &\equiv I_{CS} = \frac{I_{CB0}}{1 - \alpha_F \alpha_R} \\ a_{21} &= a_{12} = \alpha_R \cdot I_{CS} = \alpha_F \cdot I_{ES} \end{aligned} \quad (13.7)$$

Comparando ambos modelos se llega sin dificultad a las siguientes identificaciones:

$$\begin{aligned} \beta_F &= \frac{\alpha_F}{1 - \alpha_F} = \frac{a_{12}}{a_{11} - a_{12}} \\ \beta_R &= \frac{\alpha_R}{1 - \alpha_R} = \frac{a_{12}}{a_{22} - a_{12}} \\ I_S &= \alpha_R \cdot \frac{I_{CB0}}{1 - \alpha_R \alpha_F} = \alpha_F \cdot \frac{I_{EB0}}{1 - \alpha_R \alpha_F} \end{aligned} \quad (13.8)$$

Es importante tener en cuenta que la corriente I_S no es la corriente de saturación de ninguna unión, sino que se identifica con el coeficiente cruzado de las ecuaciones de Ebers y Moll, es decir con a_{12} o bien a_{21} , ya que ambos tienen igual valor. Por otra parte β_F y β_R no son más que las ganancias directa e inversa respectivamente. Por supuesto, este modelo tiene las mismas limitaciones que el modelo de Ebers y Moll, en el sentido de que no considera las corrientes de recombinación dentro

³Se entiende que todas las corrientes son positivas si entran en el transistor.

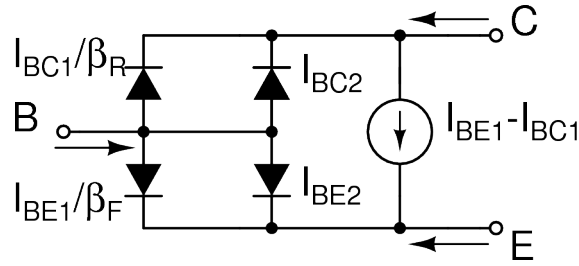


Figura 13.2: Modelo básico SPICE al que se han añadido las corrientes de generación-recombinación.

de las zonas de carga espacial, ni otros efectos no tratados hasta ahora.

13.2. Corrientes de recombinación en las zonas de carga espacial

Para considerar estas corrientes se introducen dos diodos en paralelo con los anteriores, según se representa en la Figura 13.2. La corriente que circula por estos diodos afecta esencialmente a la unión de la base y no se ve reflejada en el generador de corriente dependiente que une colector con emisor. Las expresiones de estas corrientes son:

$$I_{BE2} = I_{SE} \cdot \left(\exp \left(\frac{V_{BE}}{N_E \cdot V_T} \right) - 1 \right) \quad (13.9)$$

$$I_{BC1} = I_{SC} \cdot \left(\exp \left(\frac{V_{BE}}{N_C \cdot V_T} \right) - 1 \right) \quad (13.10)$$

donde las corrientes de saturación I_{SE} e I_{SC} se obtienen de la misma forma que para el diodo y los factores de idealidad N_C y N_E tienen el significado habitual⁴. Estos parámetros se simbolizan en SPICE como **ISE**, **ISC**, **NC** y **NE**. Por tanto, ahora la expresión de la corrientes serán:

$$\begin{aligned} I_B &= \frac{I_{BE1}}{\beta_F} + I_{BE2} + \frac{I_{BC1}}{\beta_R} + I_{BC2} \\ I_C &= -I_{BC2} - \frac{I_{BC1}}{\beta_R} + I_{BE1} - I_{BC1} \\ I_E &= -I_{BC2} - \frac{I_{BE1}}{\beta_F} - I_{BE2} + I_{BC1} \end{aligned} \quad (13.11)$$

videntemente, tanto I_{BE1} como I_{BC1} son las definidas en las ecuaciones 13.1-13.2.

⁴Evidentemente, no deben confundirse estos parámetros con los dopados de colector y emisor.

13.3. Modelado del efecto de alta inyección y del efecto Early

Tanto el efecto de alta inyección como el efecto Early afectan únicamente a la corriente de colector y no a la corriente de base. Para modelar ambos efectos se introduce el término K_{qb} en el generador de corriente que une el colector con el emisor, de forma que ahora la corriente de este generador será $\frac{I_{BE1} - I_{BC1}}{K_{qb}}$. La expresión de K_{qb} es de la forma:

$$K_{qb} = K_{q1} \cdot \frac{1 + (1 - 4 \cdot K_{q2})^{N_K}}{2} \quad (13.12)$$

donde

$$K_{q1} = \frac{1}{1 - \frac{V_{BC}}{V_{AF}} - \frac{V_{BE}}{V_{AR}}} \quad (13.13)$$

$$K_{q2} = \frac{I_{BE1}}{I_{KF}} + \frac{I_{BC1}}{I_{KR}} \quad (13.14)$$

Prestemos un poco de atención a los distintos parámetros. El término K_{q1} modela el efecto Early y el Early inverso (o Late). El parámetro V_{AF} (**VAF**) sería la tensión Early del transistor en zona activa directa, que es definida positiva. De la misma forma se define V_{AR} (**VAR**) como la tensión Early en zona activa inversa. Cuando no se tiene en cuenta el efecto Early **VAF** y **VAR** se hacen infinito (valor por defecto) y K_{q1} toma el valor 1.

El término K_{q2} modela el paso a alta inyección de ambas uniones⁵. El parámetro I_{KF} (**IKF**) representa el punto donde la corriente de colector pasa de tener pendiente 1 a tener pendiente 0.5. El exponente N_K (**NK**) (que tiene un valor por defecto de 0.5) es el responsable del cambio de pendiente en la representación del logaritmo de la corriente de colector frente a la tensión base emisor. I_{KR} (**IKR**) sería el equivalente a I_{KF} en el tercer cuadrante, es decir, en zona activa inversa.

Con estas correcciones, la expresión de la corriente de colector quedaría:

$$I_C = \frac{I_{BE1}}{K_{qb}} - \frac{I_{BC1}}{K_{qb}} - \frac{I_{BC1}}{\beta_R} - I_{BC2} \quad (13.15)$$

Al depender ahora la corriente de colector de la tensión colector emisor, es evidente que no puede considerarse esta corriente de colector como proveniente de una fuente de corriente ideal, sino de una fuente de corriente real; es decir con una determinada impedancia en paralelo.

13.4. Modelado de las resistencias parásitas

Se pueden definir tres resistencias asociadas cada una de ellas a uno de los terminales. Al aparecer estas resistencias, las tensiones de base, colector y emisor medidas en los terminales exteriores no

⁵Este modelado es similar al de la unión PN

son las que deben aparecer en las ecuaciones descritas en apartados anteriores.

13.4.1. Resistencia de base

La resistencia de base es probablemente uno de los elementos más difíciles de simular, siendo esencialmente empíricas las expresiones que a continuación se escriben. Se plantean dos posibles formas de dependencia en función del parámetro I_{RB} (**IRB**), definido como la corriente de base para la cual la resistencia de base cae a la mitad de la resistencia mínima.

Para $I_{RB} = \infty$, la resistencia de base efectiva ($R_{B,EFF}$) es:

$$R_{B,EFF} = R_{BM} + \left(\frac{R_B - R_{BM}}{K_{qb}} \right) \quad (13.16)$$

siendo R_B (**RB**) la resistencia de base a polarización cero y R_{BM} (**RBM**) el valor mínimo de la resistencia de base. Sin embargo, si el valor de I_{RB} no es infinito, se cumple que:

$$R_{B,EFF} = R_{BM} + 3 \cdot (R_B - R_{BM}) \cdot \frac{\tan(x) - x}{x \cdot \tan^2(x)} \quad (13.17)$$

donde

$$x = \frac{\sqrt{1 + \frac{144}{\pi^2} \cdot \frac{I_B}{I_{RB}}} - 1}{\frac{24}{\pi^2} \cdot \sqrt{\frac{I_B}{I_{RB}}}} \quad (13.18)$$

La resistencia de base influye principalmente en la respuesta en frecuencia y no se nota en las características del dispositivo, excepto si alcanza un valor extraordinariamente alto.

13.4.2. Resistencia de emisor y colector

Se simbolizan en SPICE como **RE** y **RC** y se modelan exactamente igual que la resistencia parásita de un diodo.

13.5. Incorporación del sustrato y de la capa epitaxial del colector

Con lo explicado hasta ahora tenemos un modelo de transistor en DC que se correspondería con un transistor discreto. Sin embargo, es posible que el transistor se encuentre en un circuito integrado y tenga que considerarse la influencia del sustrato. Para tenerlo en cuenta tenemos que permitir la posibilidad de que pueda tratarse de un transistor vertical (PNP o NPN) o lateral (LPNP). Para indicar a SPICE la geometría del transistor, se ha de describir por medio del parámetro **SUBS = X**. El valor de X es 1 si la geometría es vertical y -1 si es lateral. La influencia del sustrato aparecerá

en varias capacidades y diodos polarizados en inversa y recordemos que estos parámetros solo están disponibles para el **LEVEL=2** del transistor BJT.

El sustrato afecta principalmente al comportamiento en alta frecuencia del transistor debido a la capacidad parásita entre sustrato y colector (Ver sección

El efecto de la capa epitaxial está simulado mediante la aparición de una fuente de corriente I_{EPI} . Esta zona epitaxial es la responsable de un efecto conocido como cuasi-saturación que se describe más adelante.

13.6. Capacidades

Todas las capacidades, excepto C_{bx} se entienden para el transistor intrínseco, es decir sin resistencias parásitas de colector, emisor y base. C_{bx} es la capacidad entre el colector intrínseco y la base extrínseca.

13.6.1. Capacidad Base-Emisor (C_{BE})

Esta capacidad tiene dos componentes, una de difusión ($C_{D,BE}$) y otra de vaciamiento ($C_{J,BE}$). Así, se cumple que $C_{BE} = C_{D,BE} + Area \cdot C_{J,BE}$, siendo *Area* un parámetro de escala asociado a cada transistor en particular y cuya unidad es el transistor definido en el modelo general.

1. $C_{D,BE}$: Se cumple que $C_{D,BE} = \tau_{F,EFF} \cdot g_{be}$ siendo:

$$\tau_{F,EFF} = \tau_F \cdot \left(1 + XTF \cdot \left(\frac{I_{BE1}}{(I_{BE1} + Area \cdot ITF)^2} \right) \cdot \exp \left(\frac{V_{BC}}{1,44 \cdot V_{TF}} \right) \right) \quad (13.19)$$

$$g_{be} = \frac{\partial I_{BE1}}{\partial V_{BE}} \quad (13.20)$$

Los parámetros requeridos en este cálculo son

- a) τ_F (**TF**): Tiempo de tránsito ideal en la unión base-emisor.
 - b) **XTF**: Coeficiente de dependencia del tiempo de tránsito respecto de la polarización.
 - c) **ITF**: Coeficiente de dependencia del tiempo de tránsito respecto de la corriente de base.
 - d) V_{TF} (**VTF**): Dependencia del tiempo de tránsito respecto de la polarización de la unión base-colector.
2. $C_{J,BE}$: Se pueden dar dos situaciones dependiendo del valor del producto $FC \cdot V_{JE}$, donde **FC** y **VJE** son dos parámetros SPICE definidos en el modelo.

- a) Si $V_{BE} < FC \cdot V_{JE}$:

$$C_{J,BE} = \frac{C_{JE}}{\left(1 - \frac{V_{BE}}{V_{JE}} \right)^{MJE}} \quad (13.21)$$

siendo C_{JE} (**CJE**) la capacidad de la unión con polarización nula, V_{JE} (**VJE**) el potencial de contacto de la unión base-emisor y **MJE** el coeficiente de gradualidad de la unión.

b) Si $V_{BE} > FC \cdot V_{JE}$:

$$C_{J,BE} = C_{JE} \cdot (1 - FC)^{-(1+MJE)} \cdot \left(1 - FC \cdot (1 + MJE) + MJE \cdot \frac{V_{BE}}{V_{JE}} \right) \quad (13.22)$$

13.6.2. Capacidad Base-Colector (C_{BC})

Como la capacidad anterior, tiene dos componentes, una de difusión ($C_{D,BC}$) y otra de vaciamiento ($C_{J,BC}$). Así, se cumple que $C_{BC} = C_{D,BC} + Area \cdot XCJC \cdot C_{J,BC}$, siendo **XCJC** un parámetro que indica qué proporción del área total de colector está conectada a la base más acá de la resistencia parásita. Evidentemente, su valor está comprendido entre 0 y 1.

1. $C_{D,BC}$: Se cumple que $C_{D,BC} = \tau_R \cdot g_{bc}$ siendo τ_R (**TR**) el tiempo de tránsito en la unión Base-Colector:

$$g_{bc} = \frac{\partial I_{BC1}}{\partial V_{BC}} \quad (13.23)$$

2. $C_{J,BC}$: Se pueden dar dos situaciones dependiendo del valor del producto $FC \cdot V_{JC}$, donde **FC** y **VJC** son dos parámetros SPICE definidos en el modelo.

a) Si $V_{BC} < FC \cdot V_{JC}$:

$$C_{J,BC} = \frac{C_{JC}}{\left(1 - \frac{V_{BC}}{V_{JC}} \right)^{MJC}} \quad (13.24)$$

siendo C_{JC} (**CJC**) la capacidad de la unión con polarización nula, V_{JC} (**VJC**) el potencial de contacto de la unión base-colector y **MJC** el coeficiente de gradualidad de la unión.

b) Si $V_{BC} > FC \cdot V_{JC}$:

$$C_{J,BC} = C_{JC} \cdot (1 - FC)^{-(1+MJC)} \cdot \left(1 - FC \cdot (1 + MJC) + MJC \cdot \frac{V_{BC}}{V_{JC}} \right) \quad (13.25)$$

donde el único parámetro no definido previamente es **MJC**, similar en significado a **MJE**.

13.6.3. Capacidad de base externa a colector interno (C_{BX})

La forma tan peculiar que tiene la base de un transistor bipolar conlleva que la capacidad de base entre colector y base se divida en dos partes. Una, descrita en el apartado anterior, y situada en el núcleo del transistor, y otra cerca del terminal de entrada. Ambos condensadores comparten el nudo del colector pero, en la base, están separados por R_B . Su valor es proporcional a la capacidad de unión $C_{J,BC}$, multiplicada por el área del transistor y por un valor $(1 - X_{CJC})$, para completar la capacidad parásita del apartado anterior.

13.6.4. Capacidad de unión del sustrato

Se modela como una unión PN inversamente polarizada comprendida entre el sustrato y el colector, si es un transistor vertical, o la base, si es un transistor PNP lateral. Se simboliza como $C_{T,JS}$ y su valor es $C_{T,JS} = Area \cdot C_{JS,EFF}$. El valor de $C_{JS,EFF}$ depende de la tensión de polarización de la unión sustrato-colector (V_{SC}). Si es negativa, que es la situación normal de trabajo:

$$C_{JS,EFF} = \frac{C_{JS}}{\left(1 - \frac{V_{SC}}{V_{JS}}\right)^{MJS}} \quad (13.26)$$

si esta tensión es positiva, la capacidad de unión se comporta como:

$$C_{JS,EFF} = C_{JS} \cdot \left(1 + \frac{V_{SC}}{V_{JS}}\right). \quad (13.27)$$

En un transistor lateral, es necesario reemplazar V_{SC} por V_{SB} . En estas ecuaciones aparecen dos nuevos parámetros. En primer lugar, C_{JS} (**CJS**), similar al resto de capacidades de unión, V_{JS} (**VJS**), comparable con **VJE** o **VJC** y, finalmente, **MJS**, cuyo paralelo es **MJE** y **MJC**. Puede uno darse cuenta de que esta capacidad es similar a las anteriores pero algo más burda pues, en realidad, se ha supuesto que $FC = 0$ para agilizar los cálculos.

13.7. Efecto de casi-saturación

La región de casi-saturación se produce cuando la unión base-colector está polarizada directamente, mientras que los terminales base-colector externos permanecen polarizados inversamente a causa de las resistencias parásitas. El efecto se modela extendiendo el modelo de Gummel y Poon, añadiendo un nuevo nodo, una fuente de corriente I_{EPI} y dos capacidades controladas, representadas por las cargas Q_O y Q_W . Estos añadidos se incluyen solamente si se especifica el parámetro **RC0** y, para representarlo, se necesitan los parámetros adicionales **V0**, **QC0** y **GAMMA**.

13.8. Variaciones con la temperatura

Recordemos que la temperatura de trabajo se puede definir con la variable **TEMP** en la línea **.OPTIONS** siendo la temperatura nominal la marcada como **TNOM=XXX**. Para el cálculo de los parámetros, es preciso definir también los parámetros E_G (**EG** o ancho de la banda prohibida), **XTB** o coeficiente térmico de la ganancia en corriente, y los parámetros lineales y cuadráticos asociados a las resistencias parásitas (**TRE1**, **TRE2**, **TRB1**, **TRB2**, **TRM1**, **TRM2**, **TRC1**, **TRC2**).

$$I_S(T) = I_S \cdot \exp \left[\left(\frac{T}{T_{NOM}} - 1 \right) \cdot \frac{E_G}{q \cdot V_T} \right] \cdot \left(\frac{T}{T_{NOM}} \right)^{XTI} \quad (13.28)$$

$$I_{SE}(T) = \frac{I_{SE}}{\left(\frac{T}{T_{NOM}}\right)^{XTB}} \cdot \exp\left[\left(\frac{T}{T_{NOM}} - 1\right) \cdot \frac{E_G}{q \cdot N_E V_T}\right] \cdot \left(\frac{T}{T_{NOM}}\right)^{XTI/N_E} \quad (13.29)$$

$$I_{SC}(T) = \frac{I_{SC}}{\left(\frac{T}{T_{NOM}}\right)^{XTB}} \cdot \exp\left[\left(\frac{T}{T_{NOM}} - 1\right) \cdot \frac{E_G}{q \cdot N_C V_T}\right] \cdot \left(\frac{T}{T_{NOM}}\right)^{XTI/N_C} \quad (13.30)$$

$$I_{SS}(T) = \frac{I_{SS}}{\left(\frac{T}{T_{NOM}}\right)^{XTB}} \cdot \exp\left[\left(\frac{T}{T_{NOM}} - 1\right) \cdot \frac{E_G}{q \cdot N_S V_T}\right] \cdot \left(\frac{T}{T_{NOM}}\right)^{XTI/N_S} \quad (13.31)$$

$$\beta_F(T) = \beta_F \cdot \left(\frac{T}{T_{NOM}}\right)^{XTB} \quad (13.32)$$

$$\beta_R(T) = \beta_R \cdot \left(\frac{T}{T_{NOM}}\right)^{XTB} \quad (13.33)$$

$$R_E(T) = R_E \cdot (1 + TRE1 \cdot (T - T_{NOM}) + TRE2 \cdot (T - T_{NOM})^2) \quad (13.34)$$

$$R_B(T) = R_B \cdot (1 + TRB1 \cdot (T - T_{NOM}) + TRB2 \cdot (T - T_{NOM})^2) \quad (13.35)$$

$$R_{BM}(T) = R_{BM} \cdot (1 + TRM1 \cdot (T - T_{NOM}) + TRM2 \cdot (T - T_{NOM})^2) \quad (13.36)$$

$$R_C(T) = R_C \cdot (1 + TRC1 \cdot (T - T_{NOM}) + TRC2 \cdot (T - T_{NOM})^2) \quad (13.37)$$

$$E_G(T) = 1,16 - 0,000702 \cdot \frac{T^2}{1108 + T} \quad (13.38)$$

$$V_{JE}(T) = V_{JE} \cdot \frac{T}{T_{NOM}} - 3 \cdot V_T \cdot \ln\left(\frac{T}{T_{NOM}}\right) - E_G(T_{NOM}) \cdot \frac{T}{T_{NOM}} + E_G(T) \quad (13.39)$$

$$V_{JC}(T) = V_{JC} \cdot \frac{T}{T_{NOM}} - 3 \cdot V_T \cdot \ln\left(\frac{T}{T_{NOM}}\right) - E_G(T_{NOM}) \cdot \frac{T}{T_{NOM}} + E_G(T) \quad (13.40)$$

$$V_{JS}(T) = V_{JS} \cdot \frac{T}{T_{NOM}} - 3 \cdot V_T \cdot \ln\left(\frac{T}{T_{NOM}}\right) - E_G(T_{NOM}) \cdot \frac{T}{T_{NOM}} + E_G(T) \quad (13.41)$$

$$C_{JE}(T) = C_{JE} \cdot \left(1 + M_{JE} \cdot \left(1 - \frac{V_{JE}(T)}{V_{JE}(T_{NOM})} + 0,0004 \cdot (T - T_{NOM})\right)\right) \quad (13.42)$$

$$C_{JC}(T) = C_{JC} \cdot \left(1 + M_{JC} \cdot \left(1 - \frac{V_{JC}(T)}{V_{JC}(T_{NOM})} + 0,0004 \cdot (T - T_{NOM})\right)\right) \quad (13.43)$$

$$C_{JS}(T) = C_{JS} \cdot \left(1 + M_{JS} \cdot \left(1 - \frac{V_{JS}(T)}{V_{JS}(T_{NOM})} + 0,0004 \cdot (T - T_{NOM})\right)\right) \quad (13.44)$$

13.9. Ruido

El ruido se calcula suponiendo un ancho de banda de 1 Hz. Las fuentes de ruido aparecen en las resistencias parásitas (ruido térmico) y en las corrientes de base y colector como ruidos de disparo y centelleo. La densidad espectral de las fuentes de ruido asociadas a las resistencias parásitas son las siguientes:

$$\begin{aligned} I_{RC}^2 &= \frac{4 \cdot k \cdot T}{R_C / Area} \\ I_{RB}^2 &= \frac{4 \cdot k \cdot T}{R_B / Area} \\ I_{RE}^2 &= \frac{4 \cdot k \cdot T}{R_E / Area} \end{aligned} \quad (13.45)$$

Recordando que el valor de R_B se calculó en la sección 13.4.1. Asimismo, las corrientes asociadas a las corrientes de colector y base y cuyo origen es el ruido por disparo/centelleo son las siguientes:

$$\begin{aligned} I_{B,N}^2 &= 2 \cdot q \cdot I_B + K_F \cdot \frac{I_B^{AF}}{f} \\ I_{C,N}^2 &= 2 \cdot q \cdot I_C \end{aligned} \quad (13.46)$$

13.10. Ejemplos de transistores reales

13.10.1. 2N2222A

Transistor NPN extremadamente popular. Se muestra la versión proporcionada por Fairchild Semiconductor.

```
.model PN2222A NPN(Is=14.34f Xti=3 Eg=1.11 Vaf=74.03 Bf=255.9 Ne=1.307
```

```
+ Ise=14.34f Ikf=.2847 Xtb=1.5 Br=6.092 Nc=2 Isc=0 Ikr=0 Rc=1
```

```
+ Cjc=7.306p Mjc=.3416 Vjc=.75 Fc=.5 Cje=22.01p Mje=.377 Vje=.75
```

```
+ Tr=46.91n Tf=411.1p Itf=.6 Vtf=1.7 Xtf=3 Rb=10)
```

13.10.2. 2N2907

Transistor PNP, en versión proporcionada por Fairchild Semiconductor

```
.model PN2907A PNP(Is=650.6E-18 Xti=3 Eg=1.11 Vaf=115.7 Bf=231.7 Ne=1.829
```

```
+ Ise=54.81f Ikf=1.079 Xtb=1.5 Br=3.563 Nc=2 Isc=0 Ikr=0 Rc=.715
```

```
+ Cjc=14.76p Mjc=.5383 Vjc=.75 Fc=.5 Cje=19.82p Mje=.3357 Vje=.75
```

```
+ Tr=111.3n Tf=603.7p Itf=.65 Vtf=5 Xtf=1.7 Rb=10)
```


Capítulo 14

Los Transistores JFET y MESFET según SPICE

El modelo usado por SPICE para el transistor JFET se denomina “Parker-Skellern”¹ y, para el MESFET, un modelo muy parecido llamado “Statz”². Ambos modelos consisten en un transistor intrínseco en serie con dos resistencias parásitas R_S , (**RS**) y R_D (**RD**³). En las ecuaciones descriptivas del transistor que se verán a continuación, los potenciales se refieren al transistor intrínseco, añadiéndose *a posteriori* las resistencias parásitas. Como es habitual, las corrientes se tomarán como positivas si entran en el dispositivo y negativas si salen.

La expresión de las corrientes por los terminales de acuerdo con el modelo de la figura son:

$$I_G = I_{GS} + I_{GD} \quad (14.1)$$

$$I_D = I_{DS} - I_{GD} \quad (14.2)$$

$$I_S = -(I_{DS} + I_{GS}) \quad (14.3)$$

14.1. Corrientes de fugas en la puerta

En un transistor MESFET, se supone que las corrientes de puerta en DC son, directamente, nulas. Sin embargo, en un JFET las corrientes I_{GS} e I_{GD} se modelan como dos diodos. En ambos casos se contemplan los efectos de generación-recombinación en la zona de vaciamiento y la posibilidad

¹Se describe el nivel por defecto de los transistores JFET. Algunas versiones de SPICE pueden implementar un segundo modelo modificado, llamado **LEVEL = 2**, con sustanciales mejoras. Pueden consultarse las características en <http://www.engineering.mq.edu.au/research/groups/cnerf/psfet.pdf>

²Este modelo es relativamente básico y se indica con **LEVEL = 1**. Aunque existen modelos más avanzados como los HFET, no se describirán debido a su inmadurez y poco uso en general.

³Como viene siendo habitual, si un parámetro físico tiene un parámetro SPICE asociado, se pondrá a su lado resaltado en negrita.

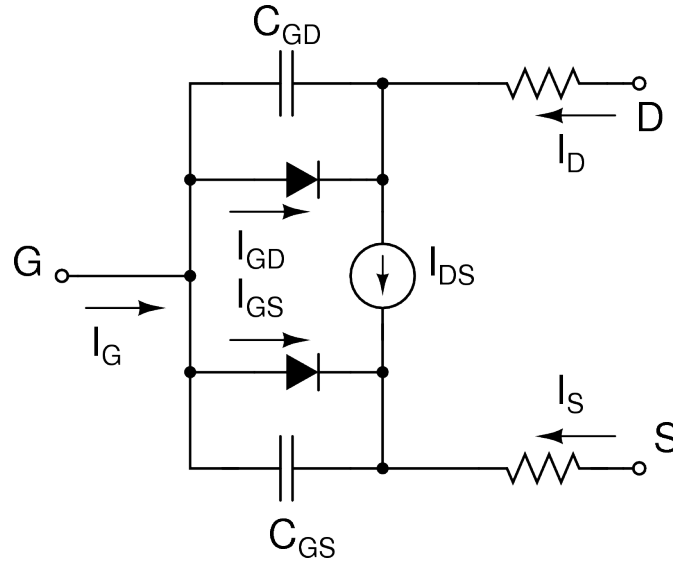


Figura 14.1: Modelo DC de un transistor JFET de canal N.

de ionización por impacto. Según esto:

$$I_{GS} = I_{NRM} + I_{REC} \cdot K_{GEN} + I_{REV} \quad (14.4)$$

donde I_N es la corriente de Shockley, el segundo término el efecto generación-recombinación y el tercero la corriente de avalancha. Las expresiones de los dos primeros términos son:

$$I_{NRM} = I_S \cdot \left(\exp\left(\frac{V_{GS}}{N \cdot V_T}\right) - 1 \right) \quad (14.5)$$

$$I_{REC} = I_{SR} \cdot \left(\exp\left(\frac{V_{GS}}{N_R \cdot V_T}\right) - 1 \right) \quad (14.6)$$

$$K_{GEN} = \left[\left(1 - \frac{V_{GS}}{PB} \right)^2 + 0,005 \right]^{M/2} \quad (14.7)$$

En estas ecuaciones, los parámetros I_S , I_{SR} , N , N_R y PB^4 tienen su equivalente SPICE (**IS**, **ISR**, **N**, **NR** y **PB**). Por defecto, **N** vale 1 y **NR** vale 2.

Para calcular I_{REV} , que es la corriente de ionización por impacto, haremos los siguientes cálculos:

1. Para $0 < V_{GS} - V_{T0} < V_{DS}$, que es la región de saturación directa,

$$I_{REV} = I_{DRAIN} \cdot \alpha \cdot V_{DIF} \cdot \exp\left(-\frac{V_K}{V_{DIF}}\right) \quad (14.8)$$

Para otros casos,

$$I_{REV} = 0 \quad (14.9)$$

En estas expresiones, $V_{DIF} = V_{DS} - (V_{GS} - V_{T0})$. Los parámetros físicos que tienen expresión

⁴Potencial de contacto entre la puerta y el canal

en SPICE son los siguientes:

2. V_{TO} : Se expresa como **VT0** y no es sino la tensión de *pinch-off* del transistor JFET. Se calcula de las características físicas del transistor JFET como:

$$V_{TO} = \frac{qN_D d^2}{2 \cdot \epsilon_{Si}} - PB \quad (14.10)$$

donde N_D es el dopado del canal (supuesto de tipo N y con puerta mucho más dopada) y d su altura.

3. α : Es el coeficiente de ionización por impacto y se simboliza como **ALPHA**.
4. V_K : Tensión a partir de la cual aparece la avalancha (**VK**).

La corriente I_{GD} (corriente de fugas entre puerta y drenador) se obtiene de la misma forma cambiando el terminal de fuente por el de drenador.

14.2. Corriente de drenador a fuente (I_{DS})

14.2.1. Transistor JFET

La corriente de drenador se expresa en función de las tensiones de puerta-fuente y drenador-fuente de acuerdo con el modelo aproximado siguiente:

1. Si $V_{DS} \geq 0$, o modo normal:

- a) Si $V_{GS} - V_{TO} \leq 0$ (región de corte):

$$I_{DS} = 0 \quad (14.11)$$

- b) Si $V_{DS} \leq V_{GS} - V_{TO}$ (región lineal):

$$I_{DS} = \beta \cdot V_{DS} \cdot [2 \cdot (V_{GS} - V_{TO}) - V_{DS}] \cdot (1 + \lambda \cdot V_{DS}) \quad (14.12)$$

- c) Si $V_{GS} - V_{TO} \leq V_{DS}$ (región de saturación):

$$I_{DS} = \beta \cdot (V_{GS} - V_{TO})^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (14.13)$$

2. Para $V_{DS} < 0$, o modo invertido, se deben cambiar la fuente por el drenador en las expresiones anteriores.

Se han introducido dos parámetros nuevos muy importantes. En primer lugar, las ecuaciones tienen un término β , representado en SPICE como **BETA**, que es la transconductancia del transistor

JFET. Otro término es λ , o coeficiente de modulación del canal, que se simboliza en SPICE como **LAMBDA**. El parámetro β tiene unidades de A/V^2 y está relacionado con otro parámetro de los transistores reales, I_{DSS} , a través de la ecuación

$$I_{DSS} = \frac{\beta}{V_{TO}^2} \quad (14.14)$$

Este parámetro está relacionado con la corriente que atraviesa el transistor en saturación ya que la ecuación 14.13 puede convertirse en:

$$I_{DS} = I_{DSS} \cdot \left(1 - \frac{V_{GS}}{V_{TO}}\right)^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (14.15)$$

LAMBDA es un parámetro que se introduce de forma empírica para modelar el acortamiento del canal cuando el transistor está más allá del borde de saturación. Como se sabe la corriente de drenador presenta una pendiente frente a V_{DS} (conductancia del canal), formalmente similar (aunque la razón física es diferente) al efecto Early en un transistor bipolar. Tal como está expresado en las ecuaciones del modelo, **LAMBDA** tiene unidades de V^{-1} y correspondería con la inversa del potencial (en módulo) en el que se cortan las prolongaciones de las características de salida en saturación.

14.2.2. Transistor MESFET

Estos transistores utilizan unos parámetros comunes al JFET pero en un modo más elaborado. Así, siguen vigentes los parámetros V_{TO} (**VTO**), β (**BETA**) y λ (**LAMBDA**), con el mismo significado que en el JFET. En cambio, se deben incorporar dos parámetros nuevos, α (**ALPHA**), o parámetro de la tensión de saturación⁵, y Θ (**B**), relacionado con la forma de la zona dopada. En estas circunstancias,

1. Si $V_{GS} < V_{TO}$, $I_{DS} = 0$.

2. Si $V_{GS} > V_{TO}$,

a) si $0 < V_{DS} < \frac{3}{\alpha}$

$$I_{DS} = \beta \cdot \frac{(V_{GS} - V_{TO})^2}{1 + \Theta \cdot (V_{GS} - V_{TO})} \cdot \left[1 - \left(1 - \frac{\alpha \cdot V_{DS}}{3}\right)^3\right] \cdot (1 + \lambda \cdot V_{DS}) \quad (14.16)$$

b) si $V_{DS} > \frac{3}{\alpha}$

$$I_{DS} = \beta \cdot \frac{(V_{GS} - V_{TO})^2}{1 + \Theta \cdot (V_{GS} - V_{TO})} \cdot (1 + \lambda \cdot V_{DS}) \quad (14.17)$$

⁵Como puede verse, no tiene nada que ver con el parámetro homónimo de los JFET, descrito en la página anterior.

14.3. Capacidades

Básicamente, las capacidades que aparecen en los transistores JFET están asociadas a la unión PN entre la puerta y el canal. En los transistores MESFET, la unión no es PN sino Schottky pero la descripción es similar a la que sigue. Por comodidad, se supone que la capacidad de unión de estos transistores se divide en dos partes que unen la puerta bien con el drenador, bien con la fuente. Obviamente, se sobreentiende que los contactos de la unión están más adentro del transistor que las resistencias parásitas **RD** y **RS**.

A semejanza de las uniones PN, es necesario introducir un parámetro llamado **FC**, de valor por defecto es 1. De este modo

1. Capacidad entre puerta y fuente (C_{GS}).

- a) Para $V_{GS} < FC \cdot PB$,

$$C_{GS} = Area \cdot C_{GS0} \cdot \left(1 - \frac{V_{GS}}{PB}\right)^{-M} \quad (14.18)$$

- b) Para $V_{GS} > FC \cdot PB$,

$$C_{GS} = Area \cdot C_{GS0} \cdot (1 - FC)^{-(1+M)} \cdot \left[1 - FC \cdot (1 + M) + M \cdot \frac{V_{GS}}{PB}\right] \quad (14.19)$$

2. Capacidad entre puerta y drenador (C_{GD}).

- a) Para $V_{GD} < FC \cdot PB$,

$$C_{GD} = Area \cdot C_{GD0} \cdot \left(1 - \frac{V_{GD}}{PB}\right)^{-M} \quad (14.20)$$

- b) Para $V_{GD} > FC \cdot PB$,

$$C_{GD} = Area \cdot C_{GD0} \cdot (1 - FC)^{-(1+M)} \cdot \left[1 - FC \cdot (1 + M) + M \cdot \frac{V_{GD}}{PB}\right] \quad (14.21)$$

En estas ecuaciones aparecen los siguientes parámetros SPICE: En primer lugar, un parámetro llamado **M** cuyo valor depende del carácter abrupto o gradual de la unión PN presente en el JFET. En general, se toma 0.5 como valor por defecto. Asimismo, en los modelos que se pueden construir en SPICE, cada una de las capacidades de unión asociadas a la puerta tiene un valor a potencial de 0 V bien C_{GD0} (**CGD**), bien C_{GS0} (**CGS**). El último factor que aparece es *Area*. Su significado es el siguiente: Si construyéramos un JFET en un circuito integrado, podríamos caracterizarlo mediante una serie de aparatos y obtener sus parámetros SPICE. Sin embargo, podríamos construir un JFET con las mismas características pero con un área diferente. Ello conlleva una variación de estas capacidades. Para solucionarlo, se incorpora un parámetro a cada transistor en la descripción circuital

conteniendo el área relativa del transistor específico respecto al valor por defecto. Es un parámetro similar al de los transistores bipolares y, curiosamente, distinto de los transistores MOSFET, en los que hay que definir la anchura y longitud del canal.

14.4. Efectos de la temperatura

Debe reseñarse que el modelo del MESFET es tan simplificado que no se ha implementado en su descripción un comportamiento con la temperatura. Por ello, este apartado es aplicable solo a los JFET.

En general, los parámetros que dependen de la temperatura son los siguientes:

1. Tensión de *Pinch-off*:

$$V_{T0}(T) = V_{T0} + V_{T0TC} \cdot (T - T_{NOM}) \quad (14.22)$$

donde, lógicamente, T es la temperatura declarada como **TEMP** en **.OPTIONS** y V_{T0TC} (**VT0TC**) la variación de la tensión de *pinch-off* por K.

2. Transconductancia:

$$\beta(T) = \beta \cdot 1,01^{\beta_{TCE} \cdot (T - T_{NOM})} \quad (14.23)$$

siendo β_{TCE} (**BETATCE**) el parámetro característico.

3. Corrientes de saturación inversa y de recombinación de las uniones PN:

$$I_S(T) = I_S \cdot \exp \left[\left(\frac{T}{T_{NOM}} - 1 \right) \cdot \frac{E_G}{N \cdot q \cdot V_T} \right] \cdot \left(\frac{T}{T_{NOM}} \right)^{\frac{XTI}{N}} \quad (14.24)$$

$$I_{SR}(T) = I_{SR} \cdot \exp \left[\left(\frac{T}{T_{NOM}} - 1 \right) \cdot \frac{E_G}{N_R \cdot q \cdot V_T} \right] \cdot \left(\frac{T}{T_{NOM}} \right)^{\frac{XTI}{N_R}} \quad (14.25)$$

Expresiones en las que, aparte de los parámetros ya conocidos, se han incorporado otros parámetros como **XTI**, ya explicados en el tema del diodo. Por otra parte, E_G no es un parámetro definible en el modelo del JFET. Así, su valor es 1.11 eV y no es modificable.

4. Potencial de contacto:

$$PB(T) = PB \cdot \frac{T}{T_{NOM}} - 3 \cdot V_T \cdot \ln \left(\frac{T}{T_{NOM}} \right) - E_G(T_{NOM}) \cdot \frac{T}{T_{NOM}} + E_G(T) \quad (14.26)$$

En este caso, SPICE corrige el ancho de la banda prohibida por medio de la ecuación $E_G(T) = 1,16 - 0,000702 \cdot \frac{T^2}{T+1108}$.

5. Capacidades de contacto a potencial nulo:

$$C_{GX}(T) = C_{GX} \cdot \left[1 + M \cdot \left(1 - \frac{PB(T)}{PB} + 0,0004 \cdot (T - T_{NOM}) \right) \right] \quad (14.27)$$

en la que C_{GX} puede ser tanto C_{GS} como C_{GD} .

Las resistencias parásitas, **RS** y **RD**, no tienen dependencia de la temperatura.

14.5. Ruido

Como muchos dispositivos electrónicos, el ruido en un JFET⁶ o MESFET consta de dos partes. Un ruido blanco asociado a las resistencias parásitas y otro coloreado de disparo y de centelleo o *flicker*. El ruido es calculado asumiendo una anchura espectral de 1 Hz, con las siguientes densidades de potencia espectral de ruido.

1. Ruido térmico asociado a resistencias parásitas:

$$I_S^2 = \frac{4 \cdot k \cdot T}{\frac{R_S}{Area}} \quad (14.28)$$

$$I_D^2 = \frac{4 \cdot k \cdot T}{\frac{R_D}{Area}} \quad (14.29)$$

2. Ruidos de otro tipo:

$$I_D^2 = \frac{2}{3} \cdot g_m \cdot 4 \cdot k \cdot T + K_F \cdot \frac{I_D^{AF}}{f} \quad (14.30)$$

donde $g_m = \frac{\partial I_D}{\partial V_{GS}}$, f es la frecuencia de interés y K_F y AF , simbolizados en SPICE como **KF** y **AF**, los coeficientes del ruido de centelleo.

14.6. Ejemplos de transistores reales

14.6.1. 2N3819

Este modelo corresponde a un transistor JFET de canal N obtenido de las bibliotecas de LTSPICE-IV.

```
.model 2N3819 NJF(Beta=1.304m Betatce=-.5 Rd=1 Rs=1 Lambda=2.25m Vto=-3 Vtotc=-
2.5m
+ Is=33.57f Isr=322.4f N=1 Nr=2 Xti=3 Alpha=311.7u Vk=243.6 Cgd=1.6p M=.3622 Pb=1
+ Fc=.5 Cgs=2.414p Kf=9.882E-18 Af=1)
```

⁶Por otra parte, debe recordarse que, por construcción, los JFET son muy poco ruidosos.

14.6.2. 2N5114

Modelo de transistor JFET de canal N obtenido de las bibliotecas de LTSPICE-IV

```
.model 2N5114 PJF(Beta=510.2u Betatce=-.5 Rd=1 Rs=1 Lambda=40m Vto=-8.095 Vtotc=-  
2.5m  
+ Is=461.5f Isr=4.402p N=1 Nr=2 Xti=3 Alpha=32.54u Vk=393.2 Cgd=6.5p M=.2789 Pb=1  
Fc=.5  
+ Cgs=9p Kf=32.96E-18 Af=1)
```

14.6.3. MESFET genérico

No existen modelos comerciales de transistores MESFET. Por ello, se ofrece el modelo genérico desarrollado en NGSPICE.

```
.model mesmod nmf (level =1 rd =46 rs =46 vt0 =-1.3 lambda =0.03 alpha =3 beta =1.4 e-3)
```


Chapter 15

El Transistor MOSFET según SPICE

El modelado realista de los transistores MOS no ha sido nada fácil pues, a lo largo de los años, han aparecido varias decenas de modelos que intentan representar con mayor o menor fortuna los transistores MOS. Todos estos modelos presentan una serie de características en común:

- Todos tienen cuatro terminales (Drenador, puerta, fuente y substrato), definidos en este orden en la descripción circuital del dispositivo.
- A cada transistor se le puede asignar, en la descripción circuital, una longitud (L^1), una anchura (W) así como las áreas y perímetros de la fuente y el drenador (**AS**, **PS**, **AD**, **PD**).
- En todos ellos, algunos parámetros, que han sido definidos por defecto, pueden calcularse a partir de otros. Sin embargo, ante la duda, SPICE mantiene el valor asignado por defecto. Por ejemplo, la transconductancia de un transistor puede calcularse a partir de un parámetro llamado K_P , que se puede definir por defecto o bien puede calcularlo SPICE a partir de C_{OX} y μ_N . En caso de discrepancia, SPICE mantiene el valor inicial.

Cada modelo de MOS corresponde a un nivel (**LEVEL=XX**). Veamos las características de los modelos más comunes:

- Modelo de Shichman-Hodges (**LEVEL = 1**): Es el modelo más sencillo (similar al usado en los problemas sobre el papel), que describe al transistor mediante una zona cuadrática y otra con saturación. Solo es válido para transistores de gran tamaño.
- Modelo de Grove-Frohmman (**LEVEL = 2**): Versión mejorada del anterior pues incorpora fenómenos como la saturación de la movilidad de portadores, las corrientes por debajo del umbral, etc. Es poco utilizado ya que el siguiente nivel es similar y puede representar transistores cortos.
- **LEVEL = 3**: Modelo semiempírico basado en el anterior. A lo largo de los años, se ha mostrado particularmente robusto de tal modo que su uso en circuitos digitales (¡no en analógicos!) es factible.

¹Se mantiene la convención de representar un parámetro SPICE en negrita.

- Modelos BSIM: Diseñados por la Universidad de Berkeley, comenzaron su andadura con la versión BSIM1v0 (**LEVEL** = 4) siendo el modelo BSIM3v3 (**LEVEL**=49) el más popular en la actualidad pues se ha revelado eficaz tanto para simulación analógica como digital hasta tecnologías del orden de 180 nm. Actualmente, se desarrolla el modelo BSIM4 para describir dispositivos por debajo de 100 nm (**LEVEL** = 54). Por otra parte, se ha desarrollado el modelo BSIM para adaptarlos a tecnologías SOI (BSIMSOI, **LEVEL** = 58).

La mayor parte de los modelos son extraordinariamente complejos y su explicación no es sencilla. Sin embargo, como todos están basados más o menos en las versiones 1-4, procederemos a explicar los parámetros de estos modelos.

15.1. Parámetros tecnológicos

Además de los parámetros descritos en la introducción (**L**, **W**, **AD**, **PD**, **AS**, **PS**), es posible definir:

- Espesor del óxido de puerta (t_{OX} , **TOX**). Expresado en metros, su valor por defecto es 100 nm.
- Profundidad de la unión de fuente y drenador (X_J , **XJ**): Penetración de las regiones de fuente y drenador en el interior del sustrato. Por defecto, se supone que vale cero o, lo que es lo mismo, que las impurezas permanecen en la superficie. Se utiliza para modelar los efectos de canal corto. No tiene sentido en el nivel básico del transistor MOS (**LEVEL** = 1).
- Difusión lateral (L_D , **LD**): Penetración de las impurezas de los terminales en el canal. A resultas de esto, se reduce el tamaño efectivo del canal de tal modo que, en la práctica, la longitud efectiva del canal es

$$L_{EFF} = L - 2 \cdot L_D \quad (15.1)$$

- Resistencias parásitas (R_D , R_S , **RD**, **RS**): Como podía ser previsible, se puede añadir un par de resistencias a cada terminal para modelar las caídas de tensión en ellos. Por otro lado, es posible definir un parámetro llamado R_{SH} (**RSH**) o resistencia de hoja, medida en $\Omega/\square$. Al conocer la anchura del canal y su área o perímetro, se pueden calcular las longitudes efectivas del drenador y la fuente (P.e., $L_X = A_X/W$) y calcular las resistencias parásitas como $R_X = R_{SH} \cdot L_X/W$. Evidentemente, si se han dado los valores de R_D y R_S , no se realizará el cálculo a partir de R_{SH} .
- Dopado del sustrato (N_{SUB} , **NSUB**): Se expresa en cm^{-3}
- Material de puerta (**TPG**): Este parámetro puede tener tres valores:
 - 0: Si la puerta es de metal (Por defecto, aluminio).

- -1: Si la puerta es de polisilicio dopado de igual modo que el sustrato
- +1: Si la puerta es de polisilicio con dopado opuesto al sustrato.

15.2. Comportamiento DC del transistor MOSFET

Supondremos que, en todo momento, el canal del transistor es tipo N.

15.2.1. Nivel 1

En este modelo, se considera que la corriente de puerta (I_G) es nula y que existe una fuente corriente que circula del drenador a la fuente, que está controlada por las tensiones V_{GS} y V_{DS} y cuyo valor es:

1. Si $V_{DS} > 0$ y $V_{GS} - V_{TH} < 0$, nos encontraremos en la región de corte y, por tanto, $I_{DS} = 0$.
2. Si $V_{GS} > V_{TH}$ y $V_{GS} - V_{TH} > V_{DS}$, estaremos en la zona lineal e:

$$I_{DS} = K_P \cdot \frac{W}{L_{EFF}} \cdot \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) \cdot V_{DS} \cdot (1 + \lambda \cdot V_{DS}) \quad (15.2)$$

3. Si $V_{GS} > V_{TH}$ y $V_{GS} - V_{TH} < V_{DS}$, el transistor ha pasado a zona de saturación e:

$$I_{DS} = \frac{K_P}{2} \cdot \frac{W}{L_{EFF}} \cdot (V_{GS} - V_{TH})^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (15.3)$$

4. Si $V_{DS} < 0$, se intercambian los roles de drenador y fuente.

Varios parámetros de los indicados ya han sido definidos previamente. Los parámetros nuevos que se han introducido son K_P , V_{TH} y λ . De estos, solo **KP** y **LAMBDA** son parámetros SPICE pues V_{TH} se calcula a partir de otros más básicos, como se verá posteriormente.

K_P es un parámetro que puede calcularse a partir de las características tecnológicas del material ($K_P = C_{OX} \cdot \mu_0$). El parámetro μ_0 , simbolizado en SPICE como **U0**, es la movilidad superficial de los portadores expresada en $\text{cm}^2/\text{V}\cdot\text{s}$. Como estos parámetros se especifican o bien dependen de parámetros físicos sobradamente conocidos, SPICE puede calcular **KP** si no se proporciona previamente.

V_{TH} es la tensión umbral del transistor y se calcula de la siguiente manera. En primer lugar, es necesario conocer el valor de la tensión umbral con polarización nula entre sustrato y fuente ($V_{TH,0}$, **VTO**), el parámetro de efecto sustrato (γ , **GAMMA**) y el potencial superficial de inversión fuerte, ϕ o **PHI**). A partir de estos parámetros se calcula la tensión umbral como:

$$V_{TH} = V_{TH,0} + \gamma \cdot \left(\sqrt{\phi + V_{BS}} - \sqrt{\phi} \right) \quad (15.4)$$

$$V_{TH,0} = V_{FB} + \phi \quad (15.5)$$

$$\phi = 2 \cdot \phi_F = 2 \cdot \frac{kT}{q} \cdot \ln \left(\frac{N_{SUB}}{n_i} \right) \quad (15.6)$$

$$\gamma = \frac{\sqrt{2 \cdot \epsilon_{Si} \cdot N_{SUB}}}{C_{OX}} \quad (15.7)$$

Puede verse que, si no se proporciona ϕ , puede calcularse a partir del dopado del canal.

Con todos estos parámetros, se puede modelar el núcleo fundamental de un MOSFET. Asimismo, hay que tener en cuenta que pueden aparecer uniones PN inversamente polarizadas entre drenador/fuente y sustrato. Como era previsible, estas uniones se modelan como diodos aunque no se tiene en cuenta que existen corrientes de generación-recombinación. Cada una de estas uniones tendría la siguiente corriente de fuga:

$$\begin{aligned} I_{BS} &= I_{SS} \cdot \left[\exp \left(\frac{V_{BS}}{N \cdot V_T} \right) - 1 \right] \\ I_{BD} &= I_{DD} \cdot \left[\exp \left(\frac{V_{BD}}{N \cdot V_T} \right) - 1 \right] \end{aligned} \quad (15.8)$$

El parámetro de idealidad N (**N**) vale por defecto 1 y es idéntico en ambos casos. Los cálculos de I_{SS} e I_{DD} son algo más complejos pues dependen de las características geométricas de los terminales. Sin embargo, en cualquier caso, se pueden utilizar estos parámetros:

1. I_S (**IS**) o corriente de saturación inversa de estas uniones.
2. J_S (**JS**) o densidad de corriente de saturación inversa a través de la superficie inferior de contacto entre el terminal y el sustrato.
3. J_{SSW} (**JSSW**) o densidad de corriente de saturación inversa a través del perímetro lateral.

En este caso, el valor de las corrientes serían los siguientes:

$$\begin{aligned} I_{SS} &= A_S \cdot J_S + P_S \cdot J_{SSW} \\ I_{DD} &= A_D \cdot J_S + P_D \cdot J_{SSW} \end{aligned} \quad (15.9)$$

Sin embargo, si se proporciona I_S , el término $A_X \cdot J_S$ se reemplaza por I_S , cuyo valor es, por defecto, 10 fA aunque puede variarse si fuera necesario.

15.2.2. Nivel 2

Este modelo es muy similar al anterior aunque incorpora la degradación de la movilidad, la corriente subumbral, etc. Requiere parámetros adicionales como la densidad interfacial de cargas atrapadas entre el semiconductor y el óxido (N_{SS} , **NSS**, expresada en cm^{-2}), con el que se puede calcular la tensión umbral si no se proporcionara. Por otra parte, para modelar la dependencia de la movilidad de portadores respecto al campo eléctrico, se incorporan nuevos parámetros² como μ_{CRIT}

²En las primeras versiones del modelo, existía un parámetro adicional llamado **UTRA** o coeficiente de degradación transversal, que ha sido deshabilitado en las versiones posteriores.

(**UCRIT**), o campo crítico en el que aparece la degradación de la movilidad y que se mide en V/cm; μ_{EXP} (**UEXP**), que es el exponente necesario en la función pertinente y v_{MAX} (**VMAX**), que es la máxima velocidad que pueden alcanzar los portadores mayoritarios en m/s.

Otro fenómeno incorporado en este modelo es el efecto de la anchura del canal en la tensión umbral. Para ello, se debe añadir un parámetro llamado **DELTA** (δ) que permite corregir el valor de la tensión umbral del transistor por efectos de canal estrecho por medio de

$$\Delta V_{TH} = \delta \cdot \frac{\pi \cdot \epsilon_{Si}}{2 \cdot C_{OX} \cdot W} \cdot (\phi - V_{BS}) \quad (15.10)$$

Por otra parte, debe tenerse en cuenta que este parámetro está relacionado con el acortamiento de la longitud del canal ya que

$$\delta = \frac{q \cdot N_{SUB} \cdot X_{DS}^2}{2 \cdot \epsilon_{Si} \cdot \phi} \quad (15.11)$$

de modo que, una vez definido DELTA, es posible determinar X_{DS} , parámetro utilizado en el nivel 3 para calcular la modulación del canal.

La conducción subumbral se modela con un parámetro llamado N_{FS} (**NFS**), llamado densidad de estados rápidos de superficie, cuya unidad es el cm^{-2} . Finalmente, el coeficiente de carga total en el canal, tanto fija como móvil, (N_{EFF} , **NEFF**) permite calcular el valor del coeficiente de modulación del canal por lo que es innecesario proporcionar **LAMBDA**. Este método, que implica la desaparición de **LAMBDA**, ha sido continuada en modelos más avanzados.

15.2.3. Nivel 3

Las principales diferencias entre este modelo y los dos anteriores radica en la descripción de la degradación de la movilidad de los portadores y en el efecto de modulación del canal. Así, los parámetros **UCRIT**, **UEXP**, **UTRA**, **LAMBDA** y **NEFF** no tienen sentido en este modelo.

La degradación de la movilidad se considera dependiente de los parámetros μ_0 (**U0**), v_{MAX} (**VMAX**), ya vistos con anterioridad, y el parámetro θ (**THETA**), de tal modo que la movilidad efectiva de portadores es

$$\mu_{EFF} = \frac{\mu_0}{(1 + \theta \cdot (V_{GS} - V_{TH})) \cdot \left(1 + \frac{\mu_0 \cdot V_{DE}}{v_{MAX} \cdot L_{EFF}}\right)} \quad (15.12)$$

donde $V_{DE} = \min(V_{DS}, V_{GS} - V_{TH})$. Por otra parte, el nivel 3 de SPICE incorpora un fenómeno llamado “*realimentación estática*”, que relaciona el valor de la tensión umbral de un transistor con la caída de tensión entre drenador y fuente. Para modelarla, se incorpora un parámetro llamado η (**ETA**), que permite corregir la tensión umbral un factor

$$\Delta V_{TH} = -\eta \cdot \frac{B}{C_{OX} \cdot L_{EFF}^3} \cdot V_{DS} \quad (15.13)$$

Siendo $B = 8,15 \cdot 10^{-20} (F \cdot cm)$. Para terminar, el parámetro **LAMBDA** es reemplazado por **KAPPA** (κ), también medido en V^{-1} . En el caso de que se desprecie el efecto de la degradación de la movilidad, que es el caso más sencillo, se produce un incremento en la corriente entre drenador y fuente de valor

$$\Delta I_{DS} = \sqrt{\frac{2 \cdot \epsilon_{Si} \cdot \kappa}{q \cdot N_{SUB}}} \cdot [V_{DS} - (V_{GS} - V_{TH})] \quad (15.14)$$

sobre el valor de I_{DS} calculado a partir de la ecuación 15.3 suponiendo $\lambda = 0$.

15.2.4. Modelos BSIM

Los modelos descritos hasta ahora tienen un problema serio: Son modelos basados en funciones definidas en intervalos pues, en primer lugar, se determina la región de trabajo del transistor y, a continuación, se calcula la corriente asociada. Esto implica que las funciones derivadas de las corrientes respecto a las tensiones podrían no ser funciones continuas, hecho que daría lugar a problemas de convergencia durante la resolución de las ecuaciones no lineales. Para evitarlo, existen modelos mejorados (BSIM) en los que se ha conseguido que las funciones que asocian I_{DS} con las tensiones V_{DS} , V_{GS} y V_{BS} sean funciones analíticas (pero muy complicadas, lamentablemente) cuyas derivadas enésimas son continuas.

Algunos parámetros se han heredado sin ninguna modificación como **TOX**, **RSH**, **RD**, **RS**, **XJ**, **UO**, ... así como los parámetros que describen las capacidades parásitas (Ver Sección 15.3) o la temperatura de caracterización (Ver Sección 15.4). Otros se han modificado parcialmente, como **VTO** y **VMAX**, que se han transformado en **VTHO** y **VSAT** aunque el significado se mantiene. Por otra parte, se han introducido muchos nuevos parámetros que afinan tanto el modelo de los transistores que pueden ser utilizados para tecnologías por debajo de los 100 nm.

15.3. Comportamiento AC del transistor MOSFET

El comportamiento en frecuencia de los transistores MOSFET se puede modelar fácilmente en los transistores MOS teniendo en cuenta que, en un transistor MOSFET, aparecen capacidades parásitas entre el drenador y fuente con el sustrato (Tipo PN invertido) y entre la puerta y las secciones de drenador o fuente sobre las que se solapa aquella. Estas capacidades describen tan bien el comportamiento en frecuencia que se han conservado en los modelos más avanzados.

15.3.1. Capacidades de solapamiento

Hay tres, no dependen de la tensión de polarización, y se modelan en SPICE mediante tres parámetros:

1. C_{GS0} (**CGSO**): Se utiliza para calcular la capacidad asociada al solapamiento entre la puerta y la fuente. Típicamente, la distancia que penetra el óxido de puerta sobre la fuente es propia

de cada tecnología por lo que la capacidad total solo dependería de la anchura del canal. Es por ello que **CGSO** tiene unidades de F/m y se relaciona con la capacidad real parásita, C_{GS} , como $C_{GS} = C_{GS0} \cdot W$.

2. C_{GD0} (**CGDO**): Similar a la anterior, reemplazando la fuente por el drenador. Por ello, $C_{GD} = C_{GD0} \cdot W$.
3. C_{GB0} (**CGBO**): Solapamiento de la puerta sobre el sustrato y se expresa en F/m. A diferencia de los anteriores, no aumenta con la anchura de la puerta sino con su longitud. Por ello, la capacidad efectiva sería $C_{GB} = C_{GB0} \cdot L$.

15.3.2. Capacidades de unión

Están asociadas a las uniones PN entre drenador/fuente y sustrato. En principio, las capacidades totales pueden modelarse siguiendo estas fórmulas:

$$\begin{aligned} C_{BD,T} &= C_{J,S,BD} + C_{J,L,BD} + C_{D,BD} \\ C_{BS,T} &= C_{J,S,BS} + C_{J,L,BS} + C_{D,BS} \end{aligned} \quad (15.15)$$

siendo $C_{J,S,BX}$ la capacidad de vaciamiento asociada a la superficie de contacto entre el terminal X y el sustrato, $C_{J,L,BX}$ a la capacidad perimetral entre X y sustrato y, finalmente, $C_{D,BX}$ la capacidad de difusión.

15.3.2.1. $C_{J,S,BX}$:

En primer lugar, es necesario calcular la capacidad con potencial aplicado nulo, $C_{J,S,BX,0}$. Hay dos maneras de hacerlo. En primer lugar, puede definirse de manera directa mediante los parámetros **CBS** y **CBD**, que se miden en faradios y están asociados, respectivamente, a la fuente y al sustrato. Si no estuvieran definidos en el modelo del transistor, SPICE puede calcularla mediante el parámetro **CJ**, que es la capacidad a potencial nulo por unidad de superficie, y las superficies de cada terminal (**AD** y **AS**). En consecuencia, se verifica que:

$$\begin{aligned} C_{J,S,BS,0} &= CBS \text{ ó } AS \cdot CJ \\ C_{J,S,BD,0} &= CBD \text{ ó } AD \cdot CJ \end{aligned} \quad (15.16)$$

Sin embargo, recordemos que estas capacidades no son constantes sino que dependen de la tensión aplicada. Por ello, es necesario introducir tres parámetros adicionales llamados **FC**, **PB** y **MJ**, cuyo significado ya se explicó en la sección del diodo (Aunque **MJ**, que es el coeficiente de gradualidad, se llamó allí simplemente **M**). Así, en el caso del drenador (D), la capacidad parásita sería:

1. Si $V_{BD} < FC \cdot PB$,

$$C_{J,S,BD} = \frac{C_{J,S,BD,0}}{(1 - V_{BD}/PB)^{MJ}} \quad (15.17)$$

2. Si $V_{BD} > FC \cdot PB$,

$$C_{J,S,BD} = (1 - FC)^{-(1+MJ)} \cdot \left(1 - FC \cdot (1 + MJ) + MJ \cdot \frac{V_{BD}}{PB} \right) \cdot C_{J,S,BD,0} \quad (15.18)$$

Análogamente, se calcula la resistencia parásita asociada a la fuente.

15.3.2.2. $C_{J,L,BX}$:

Esta capacidad parásita depende del perímetro de cada terminal (**PS** y **PD**) y de una capacidad por unidad de longitud llamada C_{JSW} (**CJSW**). Se necesita un parámetro SPICE adicional, llamado **MJSW**³, que desempeña un papel similar a **MJ** de tal modo que

$$\begin{aligned} C_{J,L,BD} &= \frac{C_{JSW} \cdot AD}{(1 - V_{BD}/PB)^{MJSW}} \\ C_{J,L,BS} &= \frac{C_{JSW} \cdot AS}{(1 - V_{BS}/PB)^{MJSW}} \end{aligned} \quad (15.19)$$

si se verifica que $V_{BD} < FC \cdot PB$ o, en caso contrario,

$$\begin{aligned} C_{J,L,BD} &= (1 - FC)^{-(1+MJSW)} \cdot \left(1 - FC \cdot (1 + MJSW) + MJSW \cdot \frac{V_{BD}}{PB} \right) \cdot AD \cdot C_{JSW} \\ C_{J,L,BS} &= (1 - FC)^{-(1+MJSW)} \cdot \left(1 - FC \cdot (1 + MJSW) + MJSW \cdot \frac{V_{BS}}{PB} \right) \cdot AS \cdot C_{JSW} \end{aligned} \quad (15.20)$$

15.3.2.3. $C_{D,BX}$:

Capacidad de difusión asociada al terminal X. Evidentemente, solo adquiere importancia cuando estas uniones están directamente polarizadas, hechos que no se deben producir en caso de una polarización correcta del componente. En cualquier caso, se puede introducir en el modelo SPICE un parámetro llamado “tiempo de tránsito”, (τ_T ó **TT**) tal que:

$$\begin{aligned} C_{D,BD} &= \tau_T \cdot \frac{\partial I_{BD}}{\partial V_{BD}} \\ C_{D,BS} &= \tau_T \cdot \frac{\partial I_{BS}}{\partial V_{BS}} \end{aligned} \quad (15.21)$$

donde I_{BX} está recogida en la ecuación 15.8.

15.4. Influencia de la temperatura

A diferencia de los otros dispositivos, la evolución de los parámetros en función de la temperatura requiere conocer un solo parámetro, **TNOM**, que debe incorporarse al modelo del MOSFET y que indica la temperatura a la que fue caracterizado el componente. Si se especifica una temperatura distinta en cada dispositivo o por medio de la sentencia **.OPTIONS TEMP = XXX**, el programa recalcula los parámetros mediante procedimientos implementados por defecto.

³En algunas versiones de SPICE, se puede utilizar un parámetro equivalente a **PB**, llamado **PBSW**. Sin embargo, no se recomienda hacer esta distinción.

15.5. Ruido

En un transistor MOS, el ruido puede aparecer debido al ruido térmico de las resistencias parásitas o al ruido de disparo o centelleo. Suponiendo que nos centramos en una frecuencia f y con un ancho de banda de 1 Hz, las fuentes de ruido presentes en el MOSFET son:

1. Ruido térmico en las resistencias parásitas, con densidades espectrales de corriente $I_{RD}^2 = \frac{4 \cdot k \cdot T}{R_D}$ y $I_{RS}^2 = \frac{4 \cdot k \cdot T}{R_S}$, situadas en paralelo a estas resistencias.
2. Ruido de disparo y centelleo: Equivale a una fuente de corriente situada entre el drenador y la fuente, con un valor igual a $I_D^2 = \frac{2}{3} \cdot 4 \cdot k \cdot T \cdot \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_Q + K_F \cdot \frac{I_{DS}^{AF}}{f \cdot K_{CH}}$, donde K_F (KF) y AF son parámetros proporcionados en el modelo SPICE y $K_{CH} = \frac{L_{EFF}^2 \cdot \epsilon_{Si}}{t_{OX}}$.

15.6. Ejemplos de transistores reales

15.6.1. IRF250 e IRF9540

Transistores discretos de potencia de canal N y P fabricados por IRF. Ambos corresponden a un modelo que de nivel 1. No se incluye el diodo parásito situado entre fuente y sustrato.

```
.MODEL IRF250 NMOS (LEVEL=1 IS=1e-32 VTO=4.06407 LAMBDA=0.00201725
+ KP=11.459 +CGSO=3.36193e-05 CGDO=1e-11)
```

```
.MODEL IRF9540 PMOS (LEVEL=1 IS=1e-32 VTO=-4.05693 LAMBDA=0.0384732
+ KP=7.85359 +CGSO=1.22212e-05 CGDO=1e-11)
```

Un ejemplo de nivel 1 más completo es el del transistor DMN2170U, fabricado por DIODES

```
.MODEL DI_DMN2170U NMOS( LEVEL=1 VTO=1.00 KP=15.7 GAMMA=1.24 PHI=.75
+ LAMBDA=133u RD=9.80m RS=9.80m + IS=1.15p PB=0.800 MJ=0.460 CBD=92.7p
+ CBS=111p CGSO=408n CGDO=340n CGBO=1.42u )
```

15.6.2. BSH103 y BSH201

Transistores discretos fabricados por NXP con modelos de nivel 3 muy completos. No se ha incluido el diodo parásito presente en los transistores MOSFET discretos.

```
.MODEL BSH103 NMOS(Vto=0.844653308583916 Kp=2.0492e+00 Nfs=0 Eta=0
+ Level=3 L=1e-4 W=1e-4 Gamma=0 Phi=0.6 Is=1e-24 Js=0 Pb=0.8 Cj=0 Cjsw=0
+ Cgso=7.24E-11 Cgdo=1E-12 Cgbo=0 Tox=1e-07 Xj=0 U0=600 Vmax=4000
```

+ Rd = 0.13798)

.MODEL BSH201 PMOS(Vto=-1.9033423414524 Kp=3.7372e-01 Nfs=0 Eta=0

+ Level=3 L=1e-4 W=1e-4 Gamma=0 Phi=0.6 Is=1e-24 Js=0 Pb=0.8 Cj=0 Cjsw=0

+ Cgso=7.0833e-11 Cgdo=1E-12 Cgbo=0 Tox=1e-07 Xj=0 U0=600 Vmax=2000

+ Rd = 1.7621)

15.6.3. Transistores integrados

MOSIS es una empresa que ofrece modelos reales de transistores en varias tecnologías. Se han seleccionado algunos ejemplos BSIM que, dependiendo de la escala de integración, utilizan un nivel SPICE u otro. Al ser modelos tan largos, se prefiere adjuntar los enlaces a los ejemplos representativos.

- **Página general:** <http://www.mosis.com/test/>
- **Tecnología de 180 nm, LEVEL = 49:** http://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/ibm-018/v13a_7wl_4lm_ml_hk-params.txt
- **Tecnología de 90 nm, LEVEL = 54:** http://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/ibm-90/t96w_9sf_9m_lb_3-params.txt
- **Tecnología de 65 nm, LEVEL = 54:** http://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/ibm-65/v08a_10lprfe_9lb_30_01_00-params.txt

Parte III

Exámenes resueltos

ELECTRÓNICA ANALÓGICA

INGENIERÍA EN ELECTRÓNICA

CONVOCATORIA DE FEBRERO DE 2013

5 de febrero de 2013

NOMBRE:	NIF/NIE:
APELLIDOS:	

PUNTUACIONES

P1	P2	P3	P4	Total

TODOS LOS EJERCICIOS VALEN 2.5 PUNTOS

PROBLEMA 1

Se dispone de un transistor NMOS con las siguientes características: $V_{TH0} = 1\text{ V}$, $k_n = 0,4 \frac{\text{mA}}{\text{V}^2}$, $W = 2,5\ \mu\text{m}$ y $L = 1\ \mu\text{m}$. Si se coloca en el circuito de Fig. 1, determine las tensiones y corrientes del punto de operación así como la transconductancia del modelo en pequeña señal del transistor, g_m , si tuviera sentido definirla.

PROBLEMA 2

Considere los espejos de corriente simple y de base compensada que se muestran en Fig. 2. Ocurre que los transistores son exactamente iguales (mismas características de unión base-emisor, área de emisor, tensión Early infinita, etc.) aunque se sabe que hay diferencias en la ganancia en corriente en zona activa directa.

Determine, en consecuencia, cuál sería la corriente de salida en cada espejo.

PROBLEMA 3

Averigüe qué función desempeña el circuito de Fig. 3. ¿A qué familia de circuitos pertenece?

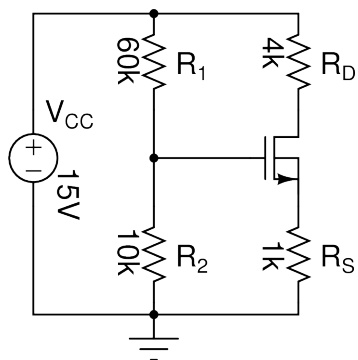


Figura 1

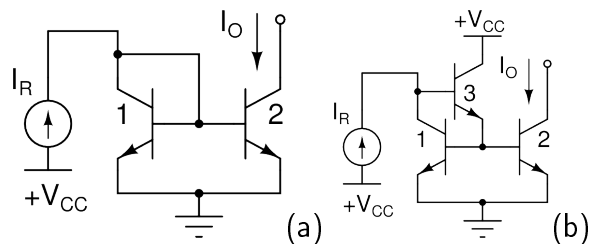


Figura 2

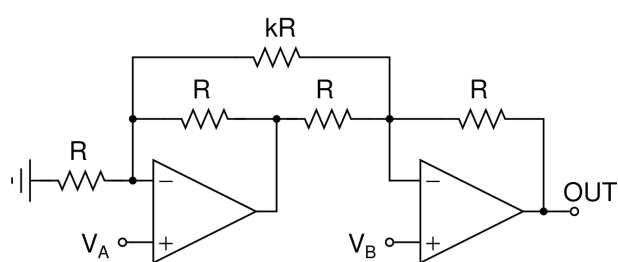


Figura 3

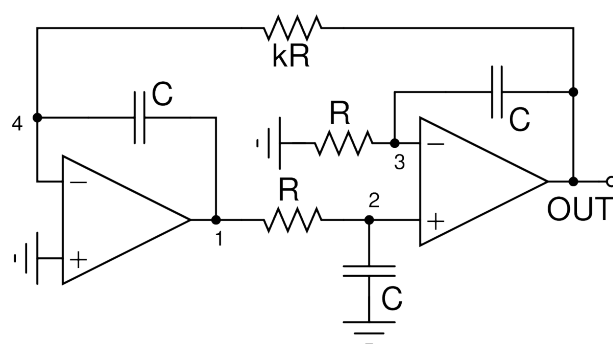


Figura 4

PROBLEMA 4

El circuito de Fig. 4 es un oscilador lineal de la familia de los osciladores de cuadratura. Determine la frecuencia de oscilación así como el valor de k para que el bloque comience a oscilar. Se han numerado los nudos internos para facilitar el análisis. Asimismo, se recomienda normalizar la variable s con el cambio $u = RC \cdot s$ tan pronto como se pueda.

PROBLEMA 1 (SOLUCIÓN)

Se dispone de un transistor NMOS con las siguientes características: $V_{TH0} = 1\text{ V}$, $k_n = 0,4 \frac{\text{mA}}{\text{V}^2}$, $W = 2,5\text{ }\mu\text{m}$ y $L = 1\text{ }\mu\text{m}$. Si se coloca en el circuito de Fig. 1, determine las tensiones y corrientes del punto de operación así como la transconductancia del modelo en pequeña señal del transistor, g_m , si tuviera sentido definirla.

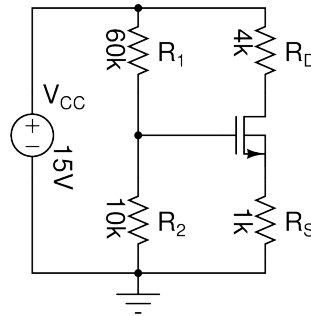


Figura 1

El primer paso que se debe realizar es calcular el parámetro β del transistor NMOS. De acuerdo con la definición:

$$\beta = \frac{1}{2} k_n \frac{W}{L} = \frac{1}{2} \cdot 0,4 \cdot \frac{2,5}{1} = 0,5 \frac{\text{mA}}{\text{V}^2}$$

Ahora, procederemos a nombrar los nudos y corrientes de interés en el circuito:

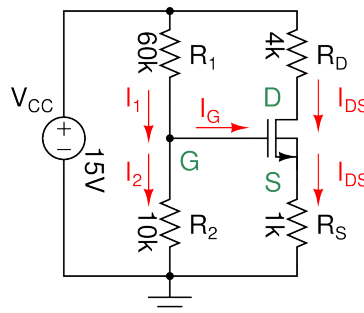


Figura 1 modificada

Antes de continuar, unas cuantas consideraciones:

- Se va a trabajar con miliamperios, voltios y kilohmios. Si, por motivos prácticos, cualquier valor se expresara sin unidades, se deberá entender en este sistema. Algo idéntico ocurre con las magnitudes derivadas pues, por ejemplo, g_m tendría unidades de mA/V .
- Lógicamente, se considera que la corriente de puerta es cero con lo que $I_1 = I_2$.
- El sustrato y la fuente del NMOS están cortocircuitados. Por tanto, no hay efecto sustrato y se puede considerar que no varía la tensión umbral del transistor.

A continuación, se plantearán las ecuaciones de nudo y, posteriormente, se realizarán suposiciones acerca del posible estado del NMOS. En primer lugar, se supondrá que el transistor está en corte; si no lo estuviera, se probará saturación y, como último caso, zona lineal. El motivo es tan simple como que, con estos pasos, las ecuaciones resultantes van de menos a más complicadas.

En el nudo de puerta, la ecuación que aparece es:

$$\frac{V_{CC} - V_G}{R_1} = \frac{V_G}{R_2} \Rightarrow V_G = \frac{R_2}{R_1 + R_2} \cdot V_{CC} = \frac{10}{60 + 10} \cdot 15 = 2,142 \text{ mV}$$

Este valor es independiente del estado en que se encuentre el transistor. Por otro lado:

$$V_{CC} = R_D \cdot I_{DS} + V_{DS} + R_S \cdot I_{DS} \Rightarrow 15 = 5 \cdot I_{DS} + V_{DS}$$

Por otro lado, es evidente que $V_D = R_D \cdot I_{DS}$ y que $V_S = V_{CC} - R_D \cdot I_{DS}$.

Supongamos ahora que nos encontramos en *zona de corte*... En este caso, $I_{DS} = 0$ con lo que $V_D = R_D \cdot I_{DS} = 0 \text{ V}$ y $V_S = V_{CC} - R_D \cdot I_{DS} = 15 \text{ V}$. Sin embargo, esto implicaría que $V_{GS} = V_G - V_S = 2,142 - 0 = 2,142 \text{ V}$, que es mayor que la tensión umbral del transistor. Esto es un absurdo por lo que debemos descartar que el transistor trabaje en la zona de corte.

Ahora, imaginemos que estamos en *zona de saturación*. En este caso,

$$\begin{aligned} I_{DS} &= \beta \cdot (V_{GS} - V_{TH})^2 = \beta \cdot (V_G - V_S - V_{TH})^2 = \\ &= 0,5 \cdot (2,142 - R_S \cdot I_{DS} - 1)^2 = 0,5 \cdot (1,142 - 1 \cdot I_{DS})^2 \end{aligned}$$

Esta relación debe expandirse para poder utilizarla con más facilidad:

$$\begin{aligned} 2 \cdot I_{DS} &= (1,142 - I_{DS})^2 = 1,306 + I_{DS}^2 - 2,284 \cdot I_{DS} \Rightarrow \\ &\Rightarrow I_{DS}^2 - 4,284 \cdot I_{DS} + 1,306 = 0 \Rightarrow \\ &\Rightarrow I_{DS} = \frac{4,284 \pm \sqrt{4,284^2 - 4 \cdot 1,306}}{2} = \begin{cases} 3,95 \text{ mA} \\ 0,33 \text{ mA} \end{cases} \end{aligned}$$

En el caso de utilizar el primer valor obtenido, se deduciría que $V_{DS} = 15 - 5 \cdot I_{DS} = 15 - 5 \cdot 3,95 = -4,75 \text{ V}$. Este resultado es absurdo, lo que nos obliga a descartar este valor. En cambio, con el segundo valor se deduce que $V_{GS} = 2,142 - 0,33 \cdot 1 = 1,812 \text{ V}$, que es superior a la tensión umbral. Asimismo, $V_{DS} = 15 - 5 \cdot I_{DS} = 15 - 5 \cdot 0,33 = 13,35 \text{ V}$, que es mayor que $V_{GS} - V_{TH} = 2,142 - 1 = 1,142 \text{ V}$. Por tanto, hemos solucionado esta parte del problema.

En saturación, se cumple que

$$g_m = \sqrt{2 \cdot \beta \cdot I_{DS}} = \sqrt{2 \cdot 0,5 \frac{\text{mA}}{\text{V}^2} \cdot 0,33 \text{ mA}} = 0,57 \frac{\text{mA}}{\text{V}}$$

Y con esto se terminaría el primer ejercicio.

PROBLEMA 2 (SOLUCIÓN)

Considere los espejos de corriente simple y de base compensada que se muestran en Fig. 2. Ocurre que los transistores son exactamente iguales (mismas características de unión base-emisor, área de emisor, tensión Early infinita, etc.) aunque se sabe que hay diferencias en la ganancia en corriente en zona activa directa.

Determine, en consecuencia, cuál sería la corriente de salida en cada espejo.

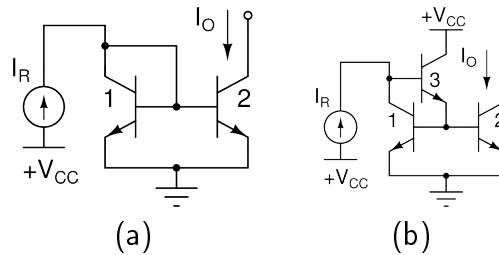


Figura 2

En primer lugar, nombremos todas las corrientes de base, colector y emisor de los distintos circuitos. Asimismo, demos nombre a los nudos:

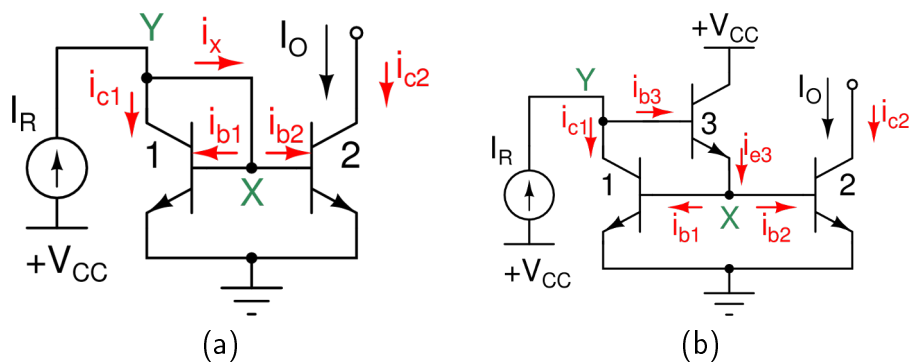


Figura 2 modificada

En el primer circuito, podemos deducir las siguientes ecuaciones de nudo:

$$\begin{aligned} I_R &= i_{c1} + i_x && \text{Nudo Y} \\ i_x &= i_{b1} + i_{b2} && \text{Nudo X} \\ I_o &= i_{c2} && \text{Rama salida} \end{aligned}$$

Asimismo, se pueden deducir otras relaciones entre los parámetros. En primer lugar, como los transistores se encuentran en zona activa directa:

$$\begin{aligned} i_{c1} &= h_{FE1} \cdot i_{b1} \\ i_{c2} &= h_{FE2} \cdot i_{b2} \end{aligned}$$

Por otra parte, como los transistores son exactamente iguales con la salvedad de la ganancia en corriente y como $V_{BE1} = V_{BE2} = V_X$, se deduce que $i_{b1} = i_{b2}$. Por tanto:

$$\left. \begin{array}{l} I_R = i_{c1} + i_x \\ i_x = i_{b1} + i_{b2} \end{array} \right\} \Rightarrow I_R = i_{c1} + i_{b1} + i_{b2}$$

$$\left. \begin{array}{l} I_R = i_{c1} + i_{b1} + i_{b2} \\ i_{c1} = h_{FE1} \cdot i_{b1} \\ i_{b1} = i_{b2} \end{array} \right\} \Rightarrow i_{b2} = \frac{I_R}{h_{FE1} + 2}$$

Con lo que

$$I_O = h_{FE2} i_{b2} = \frac{h_{FE2}}{h_{FE1} + 2} I_R.$$

En el segundo circuito, las ecuaciones que se plantean son

$$\begin{array}{ll} I_R = i_{c1} + i_{b3} & \text{Nudo Y} \\ i_{e3} = i_{b1} + i_{b2} & \text{Nudo X} \\ I_o = i_{c2} & \text{Rama salida} \end{array}$$

Y como los transistores están en zona activa directa:

$$\begin{array}{l} i_{c1} = h_{FE1} \cdot i_{b1} \\ i_{c2} = h_{FE2} \cdot i_{b2} \\ i_{e3} = (h_{FE3} + 1) \cdot i_{b3} \end{array}$$

Por otra parte, se sigue cumpliendo que $i_{b1} = i_{b2}$. Por tanto:

$$\left. \begin{array}{l} I_R = i_{c1} + i_{b3} \\ i_{e3} = i_{b1} + i_{b2} \\ i_{e3} = (h_{FE3} + 1) \cdot i_{b3} \\ i_{b1} = i_{b2} \\ i_{c1} = h_{FE1} \cdot i_{b1} \end{array} \right\} \Rightarrow I_R = \underbrace{h_{FE1} \cdot i_{b1}}_{i_{c1}} + \frac{i_{e3}}{h_{FE3} + 1} =$$

$$= h_{FE1} \cdot i_{b1} + \frac{i_{b1} + i_{b2}}{h_{FE3} + 1} = \left(h_{FE1} + \frac{2}{h_{FE3} + 1} \right) \cdot i_{b2}$$

De lo que se deduce que $i_{b2} = \frac{h_{FE3} + 1}{h_{FE1} \cdot (h_{FE3} + 1) + 2} \cdot I_R$ y que

$$I_O = h_{FE2} \cdot i_{b2} = \frac{h_{FE2} \cdot (h_{FE3} + 1)}{h_{FE1} \cdot (h_{FE3} + 1) + 2} \cdot I_R.$$

PROBLEMA 3 (SOLUCIÓN)

Averigüe qué función desempeña el circuito de Fig. 3. ¿A qué familia de circuitos pertenece?

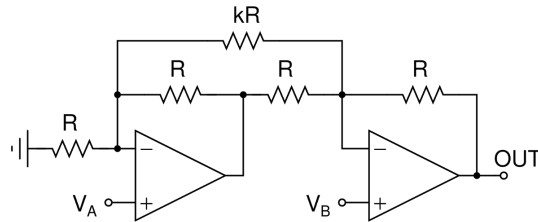


Figura 3

En primer lugar, es necesario nombrar todos los nudos del circuito:

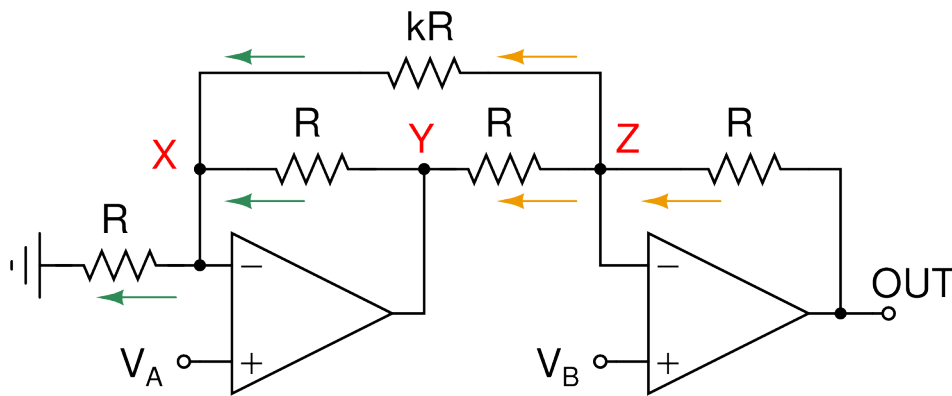


Figura 3 modificada

Está claro que $V_X = V_A$ y $V_Z = V_B$ pues los amplificadores operacionales se encuentran en zona lineal. Las ecuaciones de nudo asociadas al circuito anterior son:

$$\begin{aligned} \frac{V_Z - V_X}{kR} + \frac{V_Y - V_X}{R} &= \frac{V_X}{R} & \text{Nudo X} \\ \frac{V_Z - V_X}{kR} + \frac{V_Z - V_Y}{R} &= \frac{V_{OUT} - V_Z}{R} & \text{Nudo Z} \end{aligned}$$

Para entender mejor estas ecuaciones, se han representando en verde las corrientes relacionadas con el nudo X y en naranja las relacionadas con el nudo Z . Debe tenerse en cuenta que no se puede plantear ninguna ecuación de nudo en el nudo Y ya que hay una rama que fluye directamente hacia la entrada de un amplificador operacional. Estas ecuaciones se pueden convertir en:

$$\begin{aligned} \frac{V_B - V_A}{kR} + \frac{V_Y - V_A}{R} &= \frac{V_A}{R} & \text{Nudo X} \\ \frac{V_B - V_A}{kR} + \frac{V_B - V_Y}{R} &= \frac{V_{OUT} - V_B}{R} & \text{Nudo Z} \end{aligned}$$

La primera ecuación se resuelve fácilmente para darnos:

$$V_Y = \left(2 + \frac{1}{k}\right) \cdot V_A - \frac{1}{k} \cdot V_B$$

En tanto que la segunda ecuación se transformará en:

$$\begin{aligned}\frac{V_B - V_A}{k} + V_B - V_Y &= V_{OUT} - V_B \Rightarrow \\ V_B - V_A + kV_B - kV_Y &= kV_{OUT} - kV_B \Rightarrow \\ kV_{OUT} &= -V_A + (2k + 1)V_B - kV_Y = \\ &= -V_A + (2k + 1)V_B - (2k + 1) \cdot V_A + V_B = \\ &= (2k + 2) \cdot (V_B - V_A) \Rightarrow \\ V_{OUT} &= 2 \cdot \left(1 + \frac{1}{k}\right) \cdot (V_B - V_A) \Rightarrow\end{aligned}$$

Por tanto, este dispositivo es un amplificador diferencial con ganancia controlable con una única resistencia. El valor mínimo de la ganancia es 2, que corresponde a reemplazar kR por un abierto. Además como la impedancia de entrada es infinita, se podría considerar que este dispositivo es un amplificador de instrumentación en el que, por otro lado, no existe entrada de referencia.

PROBLEMA 4 (SOLUCIÓN)

El circuito de Fig. 4 es un oscilador lineal de la familia de los osciladores de cuadratura. Determine la frecuencia de oscilación así como el valor de k para que el bloque comience a oscilar. Se han numerado los nudos internos para facilitar el análisis. Asimismo, se recomienda normalizar la variable s con el cambio $u = RC \cdot s$ tan pronto como se pueda.

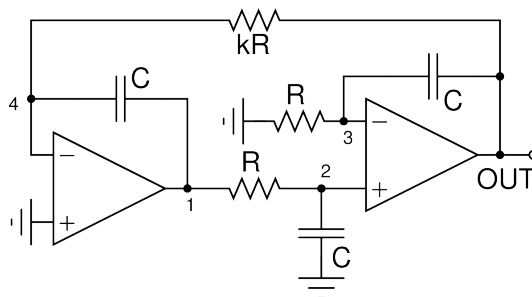


Figura 4

Se aprecia claramente que, al estar los osciladores en zona lineal, $V_4 = 0$ y $V_2 = V_3$. Planteemos las ecuaciones de nudo utilizando los sentidos de corriente mostrados en el siguiente circuito:

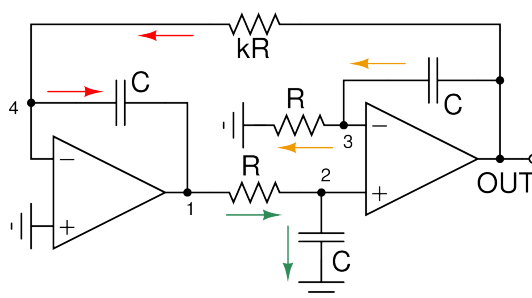


Figura 4 modificada

En este nuevo esquema, se han representado en verde las corrientes que convergen al nudo 2, en naranja al nudo 3 y en rojo al nudo 4. No se pueden plantear ecuaciones de nudo en los nudos OUT y 1 ya que a ellos converge una rama conectada a la salida de un amplificador operacional. Planteemos entonces las ecuaciones:

$$\begin{aligned} \text{Nudo 2: } \frac{V_1 - V_2}{R} &= \frac{V_2}{1/Cs} \Rightarrow V_1 = (1 + RC \cdot s) \cdot V_2 \\ \text{Nudo 3: } \frac{V_{OUT} - V_2}{1/Cs} &= \frac{V_2}{R} \Rightarrow V_2 = \frac{RC \cdot s}{1 + RC \cdot s} \cdot V_{OUT} \\ \text{Nudo 4: } \frac{V_{OUT}}{kR} &= -\frac{V_1}{1/Cs} \Rightarrow V_{OUT} = -kRC \cdot s \cdot V_1 \end{aligned}$$

Debe tenerse en cuenta que se han asumido $V_4 = 0$ y $V_2 = V_3$ para obtener las ecuaciones. Como se indicó en el enunciado, se procede a realizar el cambio $u = RC \cdot s$ con lo que el sistema de ecuaciones

anterior se convierte en:

$$V_1 = (1 + u) \cdot V_2$$

$$V_2 = \frac{u}{1+u} \cdot V_{OUT}$$

$$V_{OUT} = -k \cdot u \cdot V_1$$

Combinemos ahora las ecuaciones:

$$V_{OUT} = -k \cdot u \cdot V_1 = -k \cdot u \cdot (1 + u) \cdot V_2 = -k \cdot u \cdot (1 + u) \cdot \frac{u}{1 + u} \cdot V_{OUT} = -k \cdot u^2 V_{OUT}$$

Esta condición solo se cumple si $V_{OUT} = 0$ (solución trivial) o si $-k \cdot u^2 = -k R^2 C^2 \cdot s^2 = 1$. Exploremos este último caso. Si reemplazamos $s = j\omega_R$, se cumple que

$$-k R^2 C^2 \cdot s^2 = 1 \Rightarrow -k R^2 C^2 \cdot (j\omega_R)^2 = 1 \Rightarrow$$

$$\Rightarrow -k R^2 C^2 \cdot (-1) \cdot \omega_R^2 = 1 \Rightarrow \omega_R = \frac{1}{\sqrt{k}} \cdot \frac{1}{RC}$$

En consecuencia, el sistema oscilaría con una frecuencia $f_R = \frac{1}{2\pi} \cdot \frac{1}{\sqrt{k}} \cdot \frac{1}{RC}$ controlable con el parámetro k .

ELECTRÓNICA ANALÓGICA

INGENIERÍA EN ELECTRÓNICA

CONVOCATORIA DE SEPTIEMBRE DE 2013

3 de septiembre de 2013

NOMBRE:	NIF/NIE:
APELLIDOS:	

PUNTUACIONES

P1	P2	P3	P4	Total

TODOS LOS EJERCICIOS VALEN 2.5 PUNTOS

PROBLEMA 1

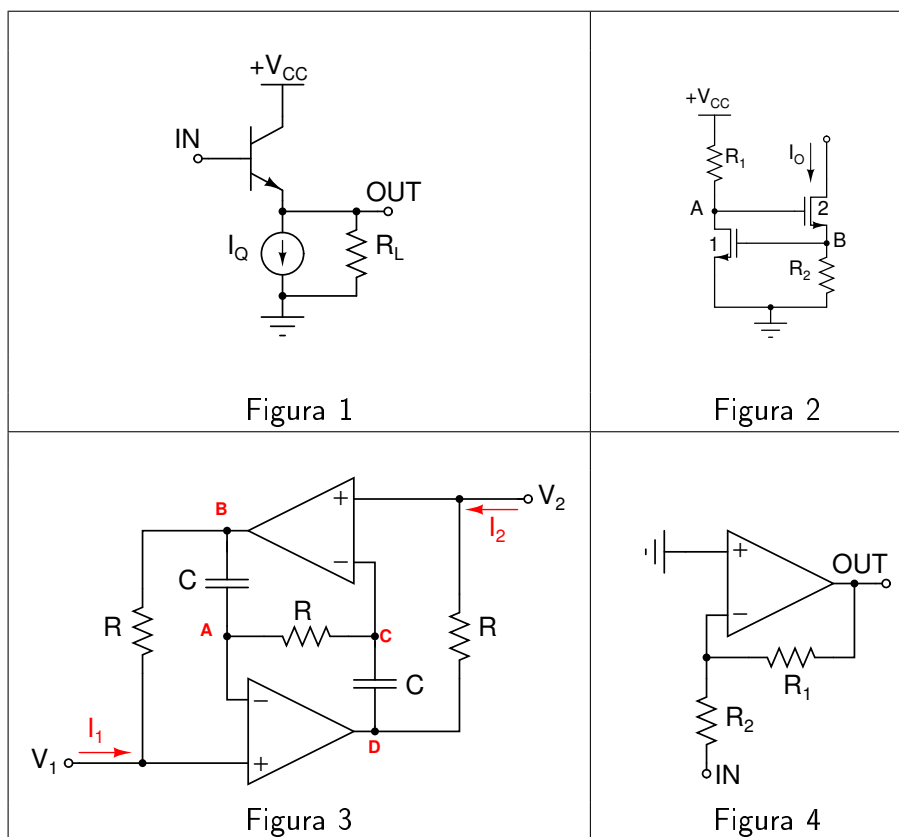
Sea el circuito seguidor de emisor de Fig. 1. A partir de los parámetros de algún modelo en pequeña señal del transistor, **en el que se incluyan capacidades parásitas**, y de otros elementos del circuito, determine la ganancia en tensión $A_V(s) = \frac{V_O}{V_{IN}}$ en función de la frecuencia. Considere la fuente de corriente ideal.

PROBLEMA 2

Sea la fuente de corriente mostrada en Fig. 2. Se supone que los dos transistores son exactamente iguales (misma ganancia $\beta = \frac{1}{2}k\frac{W}{L}$ y tensión umbral V_{TH}) y que se encuentran en saturación. Plantee las ecuaciones asociadas a los nodos A y B. A continuación suponga que no hay ni efecto sustrato ni de modulación de línea y, a través del teorema de la función implícita, determine el coeficiente de regulación de línea, o sensibilidad de la corriente de salida frente a la tensión de alimentación, $\frac{\partial I_O}{\partial V_{CC}}$.

PROBLEMA 3

En el circuito de Fig. 3, exprese la relación que existe entre las corrientes de entrada, I_1 e I_2 , y las tensiones de entrada, V_1 y V_2 . Acepte que los amplificadores se encuentran en zona lineal y respete la nomenclatura mostrada en el dibujo.



PROBLEMA 4

El circuito de Fig. 4 muestra un amplificador inversor que tiene como núcleo un amplificador operacional. En este circuito, $R_1 = 50 \text{ k}\Omega$ y $R_2 = 10 \text{ k}\Omega$. Por otro lado, el amplificador operacional tiene una ganancia DC en lazo abierto de $A_{D0} = 10^5$, un producto ganancia-ancho de banda, f_u , de 2 MHz y un *slew rate* de $1 \text{ V}/\mu\text{s}$.

1. Se sabe que la tensión de *offset* de la entrada en este amplificador puede variar entre -1 y 2 mV. ¿Qué puede decir del valor de la salida con entrada nula?
2. Estime la frecuencia máxima de trabajo de este amplificador inversor.
3. Averigüe la máxima amplitud de una señal sinusoidal de 30 kHz para que la salida no se distorsione.

PROBLEMA 1 (SOLUCIÓN)

Sea el circuito seguidor de emisor de Fig. 1. A partir de los parámetros de algún modelo en pequeña señal del transistor, **en el que se incluyan capacidades parásitas**, y de otros elementos del circuito, determine la ganancia en tensión $A_V(s) = \frac{V_O}{V_{IN}}$ en función de la frecuencia. Considere la fuente de corriente ideal.

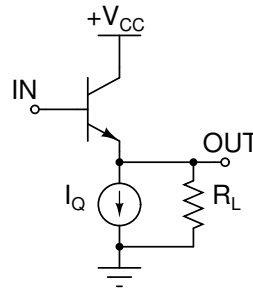


Figura 1

En la familia de los “seguidores de emisor”, la tensión de salida, OUT, intenta reflejar la tensión de entrada salvo un desplazamiento DC. Ocurre que, en estos circuitos, el colector está conectado directamente a la tensión de alimentación con lo que, en principio, sería recomendable utilizar el modelo en pequeña señal “en colector común”. Sin embargo, debemos recordar que este modelo posee una fuente de tensión controlada por tensión en la rama que une la base y el colector. En conclusión, no se obtiene un circuito más sencillo de resolver por lo que usaremos el modelo en emisor común con transistores C_{Π} y C_{μ} . Así, el circuito de Fig. 1 se transforma en el de Fig. 1b.

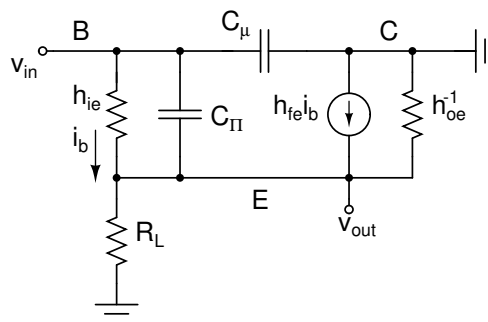


Figura 1b

Téngase en cuenta que el equivalente en pequeña señal de la fuente de corriente es un circuito abierto al no tener resistencia parásita. La resolución de este circuito es extremadamente sencilla. Hay un nudo, que es el colector, que se identifica con tierra. Por otro lado, el emisor se identifica con la salida y la base con la entrada. Si resolvemos el sistema por el método de los nudos, nos basta plantear la ecuación en el nudo de salida para alcanzar la solución:

$$i_b + \frac{v_{in} - v_{out}}{\frac{1}{s \cdot C_{\Pi}}} + h_{fe} i_b = \frac{v_{out}}{R_L} + \frac{v_{out}}{h_{oe}^{-1}}$$

Ahora, recordemos que $i_b = \frac{v_{in} - v_{out}}{h_{ie}}$ por lo que la ecuación anterior se transforma en:

$$\begin{aligned} (h_{fe} + 1) \frac{v_{in} - v_{out}}{h_{ie}} + C_{\Pi}s (v_{in} - v_{out}) &= \frac{v_{out}}{R_L // h_{oe}^{-1}} \Rightarrow \\ \left(\frac{h_{fe} + 1}{h_{ie}} + C_{\Pi}s \right) v_{in} &= \left(\frac{h_{fe} + 1}{h_{ie}} + \frac{1}{R_L // h_{oe}^{-1}} + C_{\Pi}s \right) v_{out} \Rightarrow \\ \frac{v_{out}}{v_{in}} &= \frac{\frac{h_{fe} + 1}{h_{ie}} + C_{\Pi}s}{\frac{h_{fe} + 1}{h_{ie}} + \frac{1}{R_L // h_{oe}^{-1}} + C_{\Pi}s} \end{aligned}$$

En principio, el sistema tiene un polo y un cero. El valor del cero es $s_z = \frac{h_{fe} + 1}{C_{\Pi} h_{ie}}$ en tanto que el polo está a una frecuencia ligeramente mayor, $s_p = s_z \cdot \left(1 + \frac{h_{ie}}{(h_{fe} + 1) \cdot (R_L // h_{oe}^{-1})} \right)$. Cuando la frecuencia tiende a cero, la ganancia se convierte en $\frac{1}{1 + \frac{1}{h_{fe} + 1} \cdot \frac{h_{ie}}{R_L // h_{oe}^{-1}}}$, levemente menor que 1. Sin embargo, cuando la frecuencia tiende a infinito, la ganancia tiende asintóticamente a 1. ¿Es esto real? La respuesta es no. En la realidad, la fuente de entrada v_{in} tendría una impedancia de salida r_S que debería introducirse en las ecuaciones de nudo, de tal modo que no podríamos eliminar la capacidad C_{μ} . Se introduciría un polo adicional que haría que la ganancia tendiera finalmente a 0.

PROBLEMA 2 (SOLUCIÓN)

Sea la fuente de corriente mostrada en Fig. 2. Se supone que los dos transistores son exactamente iguales (misma ganancia $\beta = \frac{1}{2}k\frac{W}{L}$ y tensión umbral V_{TH}) y que se encuentran en saturación. Plantee las ecuaciones asociadas a los nodos A y B. A continuación suponga que no hay ni efecto sustrato ni de modulación de línea y, a través del teorema de la función implícita, determine el coeficiente de regulación de línea, o sensibilidad de la corriente de salida frente a la tensión de alimentación, $\frac{\partial I_O}{\partial V_{CC}}$.

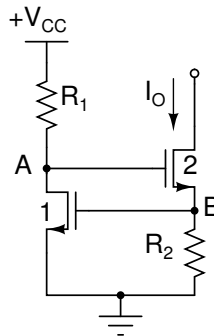


Figura 2

Al estar los dos transistores en saturación, la ecuación que gobierna la corriente de drenador es $I_D = \beta \cdot (V_{GS} - V_{TH})^2$. En el primer transistor, $V_{GS} = V_B$ y, en el segundo, $V_{GS} = V_A - V_B$. Por tanto, se va a cumplir que:

$$\text{Nudo A : } \frac{V_{CC} - V_A}{R_1} = \beta (V_B - V_{TH})^2$$

$$\text{Nudo B : } \frac{V_B}{R_2} = \beta (V_A - V_B - V_{TH})^2$$

Asimismo, se cumple que $V_B = R_2 I_O$. Ahora, eliminamos V_B :

$$\text{Nudo A : } V_{CC} - V_A = \beta \cdot R_1 (R_2 I_O - V_{TH})^2$$

$$\text{Nudo B : } I_O = \beta (V_A - R_2 I_O - V_{TH})^2$$

Cualquier modificación del valor de V_{CC} afecta a V_A y a I_O (y, obviamente, a ella misma). Todos los demás parámetros se pueden considerar constantes. Por tanto, derivamos las dos ecuaciones en función de V_{CC} :

$$\text{Nudo A : } 1 - \frac{\partial V_A}{\partial V_{CC}} = 2\beta \cdot R_1 (R_2 I_O - V_{TH}) \cdot R_2 \cdot \frac{\partial I_O}{\partial V_{CC}}$$

$$\text{Nudo B : } \frac{\partial I_O}{\partial V_{CC}} = 2\beta (V_A - R_2 I_O - V_{TH}) \cdot \left(\frac{\partial V_A}{\partial V_{CC}} - R_2 \frac{\partial I_O}{\partial V_{CC}} \right)$$

Ahora, procedemos a simplificar la última ecuación. En el punto de operación, tenemos que

recordar que $V_A - R_2 I_O - V_{TH} = \sqrt{\frac{I_O}{\beta}}$

$$\text{Nudo A: } 1 - \frac{\partial V_A}{\partial V_{CC}} = 2\beta \cdot R_1 (R_2 I_O - V_{TH}) \cdot R_2 \cdot \frac{\partial I_O}{\partial V_{CC}}$$

$$\text{Nudo B: } \frac{\partial I_O}{\partial V_{CC}} = 2\beta \sqrt{\frac{I_O}{\beta}} \cdot \left(\frac{\partial V_A}{\partial V_{CC}} - R_2 \frac{\partial I_O}{\partial V_{CC}} \right) = 2\sqrt{I_O \beta} \cdot \left(\frac{\partial V_A}{\partial V_{CC}} - R_2 \frac{\partial I_O}{\partial V_{CC}} \right)$$

El siguiente paso es despejar el valor de $\frac{\partial V_A}{\partial V_{CC}}$ de la primera ecuación y lo utilizamos en la segunda:

$$\begin{aligned} \frac{\partial I_O}{\partial V_{CC}} &= 2\sqrt{I_O \beta} \cdot \left(1 - 2\beta \cdot R_1 (R_2 I_O - V_{TH}) \cdot R_2 \cdot \frac{\partial I_O}{\partial V_{CC}} - R_2 \frac{\partial I_O}{\partial V_{CC}} \right) \Rightarrow \\ \frac{\partial I_O}{\partial V_{CC}} &= 2\sqrt{I_O \beta} - 4\beta^{3/2} \sqrt{I_O} \cdot R_1 (R_2 I_O - V_{TH}) \cdot R_2 \cdot \frac{\partial I_O}{\partial V_{CC}} - 2R_2 \sqrt{I_O \beta} \frac{\partial I_O}{\partial V_{CC}} \Rightarrow \\ \frac{\partial I_O}{\partial V_{CC}} &= \frac{2\sqrt{I_O \beta}}{1 + 4\beta^{3/2} \sqrt{I_O} \cdot R_1 R_2 (R_2 I_O - V_{TH}) + 2R_2 \sqrt{I_O \beta}} = \\ &= \frac{1}{\frac{1}{2\sqrt{I_O \beta}} + 2\beta \cdot R_1 R_2 (R_2 I_O - V_{TH}) + R_2} \end{aligned}$$

Esta expresión es el objetivo final del ejercicio, que se puede dar por concluido.

PROBLEMA 3 (SOLUCIÓN)

En el circuito de Fig. 3, exprese la relación que existe entre las corrientes de entrada, I_1 e I_2 , y las tensiones de entrada, V_1 y V_2 . Acepte que los amplificadores se encuentran en zona lineal y respete la nomenclatura mostrada en el dibujo.

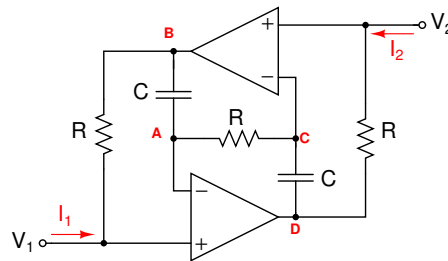


Figura 3

El primer paso consiste en identificar los nudos. Podemos ver que hay 4 nudos en el interior del circuito, ya nombrados en el enunciado. Asimismo, existen dos corrientes no conocidas, que son I_1 e I_2 . Por tanto, hay 6 incógnitas con lo que debemos buscar 6 ecuaciones. Empecemos primero por un hecho bastante claro: Los amplificadores operacionales están en zona lineal. Por tanto:

$$V_A = V_1$$

$$V_C = V_2$$

Otro par de ecuaciones pueden deducirse a partir de las corrientes de entrada, I_1 e I_2 . Al tener los amplificadores operacionales una impedancia de entrada infinita, la corriente de entrada fluye a través de una única resistencia de valor R . Por tanto:

$$I_1 = \frac{V_1 - V_B}{R}$$

$$I_2 = \frac{V_2 - V_D}{R}$$

Ahora necesitamos dos ecuaciones nuevas. Éstas se obtienen a partir de las ramas que unen los nudos B y A, A y C y, finalmente, C y D. Por tanto:

$$Cs \cdot (V_B - V_A) = \frac{V_A - V_C}{R} = Cs \cdot (V_C - V_D)$$

Combinando estas ecuaciones, se acaba obteniendo el siguiente sistema de cuatro ecuaciones:

$$\begin{aligned}V_B &= V_1 - RI_1 \\V_D &= V_2 - RI_2 \\V_B - V_1 &= V_2 - V_D \\RCs \cdot (V_B - V_1) &= V_1 - V_2\end{aligned}$$

Procedemos a eliminar las tensiones V_B y V_D :

$$\begin{aligned}V_1 - RI_1 - V_1 &= V_2 - V_2 + RI_2 & \Rightarrow & -I_1 = I_2 \\RCs \cdot (V_1 - RI_1 - V_1) &= V_1 - V_2 & & -R^2Cs \cdot I_1 = V_1 - V_2\end{aligned}$$

Con lo que se acaba resolviendo el problema. La última ecuación puede transformarse en:

$$\begin{aligned}I_1 &= -\frac{1}{R^2Cs} \cdot (V_1 - V_2) \\I_2 &= \frac{1}{R^2Cs} \cdot (V_1 - V_2)\end{aligned}$$

En realidad, este circuito equivale, simplemente, a una inducción negativa de valor $L = -R^2C$. Este circuito fue propuesto originalmente en el siguiente artículo, consultado en julio de 2013.

http://archive.siliconchip.com.au/cms/A_104174/article.html

PROBLEMA 4 (SOLUCIÓN)

El circuito de Fig. 4 muestra un amplificador inversor que tiene como núcleo un amplificador operacional. En este circuito, $R_1 = 50 \text{ k}\Omega$ y $R_2 = 10 \text{ k}\Omega$. Por otro lado, el amplificador operacional tiene una ganancia DC en lazo abierto de $A_{D0} = 10^5$, un producto ganancia-ancho de banda, f_u , de 2 MHz y un slew rate de $1 \text{ V}/\mu\text{s}$.

1. Se sabe que la tensión de offset de la entrada en este amplificador puede variar entre -1 y 2 mV. ¿Qué puede decir del valor de la salida con entrada nula?
2. Estime la frecuencia máxima de trabajo de este amplificador inversor.
3. Averigüe la máxima amplitud de una señal sinusoidal de 30 kHz para que la salida no se distorsione.

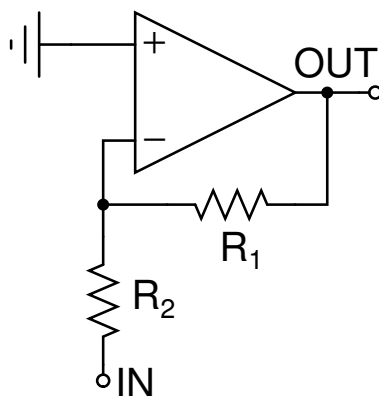


Figura 4

La ganancia de este amplificador inversor es $-\frac{R_1}{R_2} = -\frac{50\text{k}}{10\text{k}} = -5$. Para resolver el primer punto, recordemos que la tensión de *offset* de la entrada de un amplificador operacional se modela como una fuente de tensión aplicada directamente a la entrada no inversora. Si aceptamos que la entrada del circuito es nula, éste se transforma en:

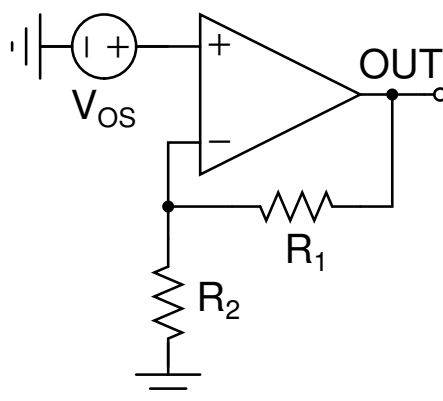


Figura 4a

Esta estructura corresponde a la de un amplificador no inversor de ganancia $1 + \frac{R_1}{R_2} = 1 + \frac{50k}{10k} = 6$. Este comportamiento solo es válido para la tensión de *offset*, y no para la entrada real. En conclusión, la tensión de *offset* en la salida estará situada entre $6 \cdot (-1) = -6 \text{ mV}$ y $6 \cdot 2 = 12 \text{ mV}$.

Afrontemos ahora el segundo punto. Recordemos que, en un amplificador operacional, la frecuencia de ganancia unidad, o producto ganancia-ancho de banda, estaba relacionada con la ganancia DC en lazo abierto y el polo dominante del amplificador operacional: $f_u = A_{D0} \cdot f_p$. El polo estará situado en:

$$f_p = \frac{f_u}{A_{D0}} = \frac{2 \cdot 10^6}{10^5} = 20 \text{ Hz}$$

Expresado como una frecuencia angular, su valor sería $s_p = 2\pi \cdot f_p = 40\pi \text{ rad/s}$. En conclusión, la ganancia se expresa en función de la frecuencia como:

$$A_D(s) = \frac{A_{D0}}{1 + \frac{s}{s_p}} = \frac{10^5}{1 + \frac{s}{40\pi}}$$

Al no considerarse el amplificador operacional ideal, no es posible admitir que $V_+ = V_-$. Las ecuaciones que gobernarían el circuito serían:

$$V_{OUT} = A_D(s) \cdot (V_+ - V_-) = A_D(s) \cdot (0 - V_-) = -A_D(s) \cdot V_-$$

$$\frac{V_{OUT} - V_-}{R_2} = \frac{V_- - V_{IN}}{R_1}$$

La primera se obtiene directamente del amplificador operacional. La segunda, igualando las corrientes que circulan por las dos resistencias. Operando sobre la segunda ecuación:

$$V_{OUT} = \left(1 + \frac{R_2}{R_1}\right) \cdot V_- - \frac{R_2}{R_1} \cdot V_{IN}$$

Por simplicidad, llamaremos $k = \frac{R_2}{R_1}$:

$$V_{OUT} = (1 + k) \cdot V_- - k \cdot V_{IN}$$

Ahora, reemplazamos V_- por su valor:

$$V_{OUT} = -(1 + k) \cdot A_D^{-1} \cdot V_{OUT} - k \cdot V_{IN} \Rightarrow$$

$$V_{OUT}(s) = -\frac{k}{1 + (1 + k) \cdot A_D^{-1}(s)}$$

Evaluemos el denominador:

$$1 + (1 + k) \cdot A_D^{-1}(s) = 1 + (1 + k) \cdot A_{D0}^{-1} \cdot \left(1 + \frac{s}{s_p}\right) =$$

$$= [1 + (1 + k) \cdot A_{D0}^{-1}] + \frac{s}{A_{D0}s_p/1+k} \approx 1 + \frac{s}{A_{D0}s_p/1+k}$$

En consecuencia, el polo del sistema se encuentra en $\frac{A_{D0} \cdot s_p}{1+k} = \frac{2\pi \cdot f_u}{1+k}$. Por tanto, la frecuencia del nuevo polo se encuentra en $\frac{f_u}{1+k} = \frac{2 \cdot 10^6}{1+5} \approx 333 \text{ kHz}$. En general, en un sistema con un sistema se suele aceptar que el sistema no se ve afectado para frecuencias una década por debajo del polo. Por tanto, se puede garantizar que el sistema trabajará correctamente hasta 33.3 kHz.

Ahora, ataquemos el último punto. Se habla de una frecuencia de 30 kHz, por debajo de la frecuencia máxima de trabajo. Por tanto, la señal de salida no se ve afectada por la presencia del polo. Sin embargo, sí se puede ver afectada por el fenómeno de *slew rate*. Supongamos que aplicamos una señal sinusoidal $V_{IN} = A \cdot \sin(\omega t)$. En la salida, se convertiría en $V_{OUT} = -k \cdot A \cdot \sin(\omega t)$ y se cumpliría que $|\frac{dV_{OUT}}{dt}| = k \cdot A \cdot \omega \cdot |\cos(\omega t)|$. El máximo se alcanza cuando $|\cos(\omega t)| = 1$ y debe ser menor que el *slew rate* ($SR = 1 \frac{V}{\mu s} = 10^6 \frac{V}{s}$) para los parámetros del circuito:

$$k \cdot A \cdot \omega \leq SR$$

$$5 \cdot A \cdot 2\pi \cdot 30 \cdot 10^3 \leq 10^6$$

$$A \leq \frac{10^6}{3\pi \cdot 10^5} = \frac{10}{3\pi} \approx 1,06 \text{ V}$$

Por tanto, la amplitud de la entrada no puede exceder este valor sin que se produzca distorsión en la señal.

ELECTRÓNICA ANALÓGICA

INGENIERÍA EN ELECTRÓNICA

CONVOCATORIA DE FEBRERO DE 2014

4 de Febrero de 2014

NOMBRE:	NIF/NIE:
APELLIDOS:	

PUNTUACIONES

P1	P2	P3	P4	Total

TODOS LOS EJERCICIOS VALEN 2.5 PUNTOS

PROBLEMA 1

Sea el inversor mostrado en Fig. 1. En este circuito, se verifica que $V_{CC} = 10\text{ V}$, $R = 20\text{ k}\Omega$, $\beta = 100\text{ }\mu\text{A/V}^2$, $V_{TH} = 1\text{ V}$ y $\lambda = 0,02\text{ V}^{-1}$. La tensión de entrada aplicada tiene una componente continua, $V_{IN,Q}$, y otra variable, v_{in} ($V_{IN} = V_{IN,Q} + v_{in}$). En consecuencia, $V_{OUT} = V_{OUT,Q} + v_{out}$.

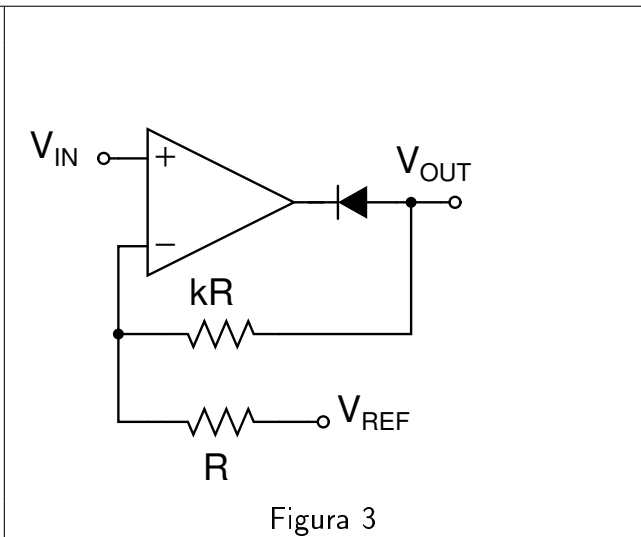
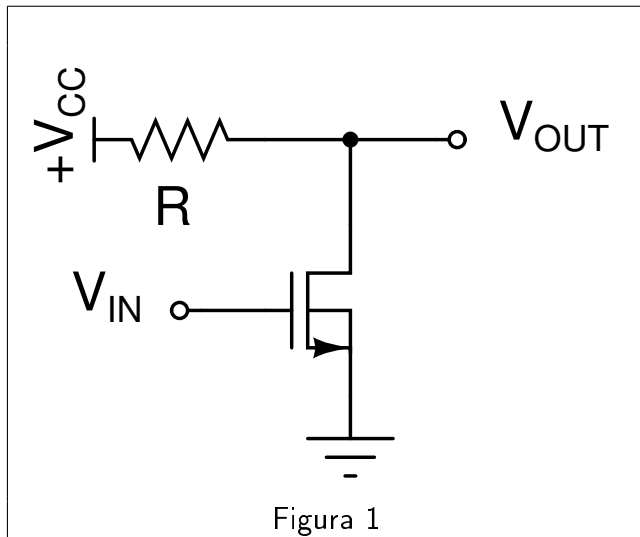
1. Optimice el valor de $V_{IN,Q}$ para que, estando el transistor en saturación, $V_{OUT,Q} \approx \frac{1}{2}V_{CC}$.
2. En estas condiciones, determine la ganancia en pequeña señal en torno al punto de operación.

PROBLEMA 2

Explique qué se entiende por “carga activa” en un par diferencial y ponga ejemplos de ello, explicando las posibles ventajas e inconvenientes.

PROBLEMA 3

En el circuito mostrado en Fig. 3, averigüe la función que relaciona la salida (V_{OUT}) con la entrada (V_{IN}) en función de dos parámetros elegibles por el diseñador, k y V_{REF} . ¿Qué papel puede desempeñar esta red?



PROBLEMA 4

Indique cuál es el principio de funcionamiento de los osciladores de relajación. Ilustre su exposición con algún ejemplo.

Índice de figuras

1.1. Ejemplo de resolución de circuitos con varios diodos.	17
1.2. Ejemplo de circuito con transistor NPN. Las corrientes de malla (en verde y rojo) coinciden con las naturales del transistor.	25
1.3. Ejemplo de transistor PMOS. Solo hay una corriente de malla efectiva al ser nula la de puerta.	30
2.1. Ejemplo de diodo como dispositivo no lineal. Una fuente de corriente constante, I_Q , fija el punto de operación. Las pequeñas variaciones de la corriente, Δi , provocarán un cambio (no lineal) en la tensión del diodo, V_{OUT} , respecto del punto de operación.	34
2.2. Equivalente de un diodo en pequeña señal.	36
2.3. Equivalente completo de un diodo en pequeña señal, incluyendo todos los parámetros del Apartado 2.2.2.	37
2.4. Tensiones y corrientes en un transistor BJT, NPN (a) o PNP (b).	38
2.5. Representación de un transistor como una bipuerta. El nudo común se ha dividido en dos para facilitar la comprensión de las tensiones v_k	39
2.6. Equivalencia circuital del modelo de admitancias, y , de un transistor bipolar.	40
2.7. Equivalente circuital de los modelos híbridos. (a) General, (b) base común, (c) colector común y (d) emisor común.	42
2.8. Modelo de Giacoletto de un transistor bipolar.	46
2.9. Circuito simplificado equivalente al modelo híbrido en emisor común.	49
2.10. Inclusión de resistencias parásitas en el modelo híbrido en emisor común.	52
2.11. Inclusión de capacidades parásitas en el modelo de Giacoletto en emisor común.	52
2.12. Inclusión de capacidades y resistencias parásitas en el modelo híbrido en emisor común.	53
2.13. Inclusión de capacidades y resistencias parásitas en el modelo híbrido en base común.	53
2.14. Cálculo de la frecuencia de transición. Circuito original (a) y equivalente en pequeña señal (b).	54
2.15. Equivalente básico en pequeña señal de un transisto MOS.	57
2.16. Equivalente básico en pequeña señal de un transisto MOS suponiendo tensión de sustrato constante.	58
2.17. Equivalente en pequeña señal de un transistor incluyendo parásitos.	59

2.18. Equivalente en pequeña señal de un transistor incluyendo parásitos.	59
2.19. Polarización de un transistor NMOS para calcular su frecuencia de transición.	60
2.20. Equivalente en pequeña señal de un transistor NMOS para calcular su frecuencia de transición.	61
2.21. Simplificación del circuito de Fig. 2.20.	61
2.22. Equivalente básico en pequeña señal de un transistor JFET.	62
2.23. Equivalente en pequeña señal con parásitos de un transistor JFET.	63
3.1. Distintas redes simples de polarización de transistores. Los transistores son bipolares tipo NPN (a), PNP (b), MOSFET de canal N o NMOS (c), de canal P o PMOS (d), y JFET de canal P (e) y de canal N (f).	66
3.2. Polarización de un transistor con una única fuente y dos resistencias (a). Asimismo, su equivalente Thévenin (b).	68
3.3. Redes con realimentación colector-base (a) y drenador-puerta (b).	69
3.4. Distintas redes de polarización de transistores con degeneración. Si los transistores son BJT, como (a) y (b), la red es “de degeneración de emisor”. Si son FET, tanto MOSFET como JFET (c)-(f), la red es “de degeneración de fuente”. En el caso de los transistores MOS, se ha supuesto que el sustrato está unido a una tensión constante y extrema aunque podría estar unido a la fuente.	71
3.5. Red simplificada con degeneración de emisor en un NPN (a) o un NMOS (b). La fuente V_{BB} (V_G) y la resistencia R_B (R_G) pueden ser reales o, simplemente, una simplificación de Fig. 3.4.	71
3.6. Fundamentos del cálculo de la resistencia de salida de una fuente a partir del modelo en pequeña señal de sus componentes. Sea como sea la fuente, al hacer el modelo en pequeña señal solo permanece la resistencia parásita.	81
3.7. Fuente de corriente basada en uniones PN, como sumidero de corriente (a) y como suministradora (b). La corriente de salida es I_O y la carga hipotética está en gris.	83
3.8. Fuente de corriente basada en uniones PN <i>en ruptura Zener</i> , como sumidero de corriente (a) y como suministradora (b). La corriente de salida es I_O y la carga hipotética está en gris.	83
3.9. Equivalente en pequeña señal de Fig. 3.7a.	84
3.10. Fuente de corriente basada en un transistor JFET, bien como sumidero (a) bien como suministrador (b). La resistencia R_Q es opcional.	85
3.11. Equivalente en pequeña señal de Fig. 3.10a.	85
3.12. Sumidero de corriente en tecnología CMOS con dos transistores y dos resistencias.	86
3.13. Espejos simples contruidos con NPN (a), PNPs (b), NMOS (c) y PMOS (d).	87
3.14. Equivalentes en pequeña señal de los espejos NPN (a) y NMOS (b) para el cálculo de la impedancia de salida.	89
3.15. Espejos dobles contruidos con transistores bipolares.	91

3.16. Espejos de base compensada, como sumideros con NPNs (a) y como inyectores con PNP (b).	93
3.17. Espejos cascodes simples contruidos con NPNs (a), PNP (b), NMOS (c) y PMOS (d). La tensión de polarización V_B es externa. A no es una fuente sino un nudo simple llamado de interés en cálculos posteriores.	94
3.18. Equivalentes en pequeña señal de los espejos cascode simple en tecnología bipolar para el cálculo de la impedancia de salida. Versión completa (a) y simplificada (b).	95
3.19. Equivalentes en pequeña señal de los espejos cascode simple en tecnología CMOS para el cálculo de la impedancia de salida. Versión completa (a) y simplificada (b).	97
3.20. Espejos cascodes compuestos contruidos con NPNs (a), PNP (b), NMOS (c) y PMOS (d).	98
3.21. Espejos Wilson simples contruidos con NPNs (a), PNP (b), NMOS (c) y PMOS (d).	99
3.22. Equivalentes en pequeña señal de los espejos Wilson en tecnología bipolar para el cálculo de la impedancia de salida. Versión completa (a) y simplificada (b).	101
3.23. Equivalentes en pequeña señal de los espejos wilson simple en tecnología CMOS para el cálculo de la impedancia de salida.	102
3.24. Espejos Wilson compuestos contruidos con NPNs (a), PNP (b), NMOS (c) y PMOS (d).	103
3.25. Espejos con degeneración de emisor, como sumideros con NPNs (a) y como inyectores con PNP (b).	104
3.26. Espejos con emisor degenerado y base compensada, con NPNs (a) y con PNP (b).	105
3.27. Equivalentes en pequeña señal de los espejos con degeneración de emisor en tecnología bipolar para el cálculo de la impedancia de salida. Versión completa (a) y simplificada (b).	106
3.28. Espejos Widlar en distintas tecnologías: NPNs (a), PNP (b), NMOS (c) y PMOS (d).	107
4.1. Amplificadores de tensión (a), de corriente (b), transresistor (c) y transconductor (d). Z_L es la impedancia de carga y no pertenece al amplificador propiamente dicho.	114
4.2. Inserción de una fuente de tensión a un amplificador de corriente.	115
4.3. Inserción directa de una fuente en pequeña señal a una red con degeneración de emisor.	116
4.4. Uso de condensadores para insertar una pequeña señal sin alterar el punto de operación.	117
4.5. Amplificador en configuración de emisor común basado en BJT, con NPN (a) y PNP (b). Se considera que la entrada propiamente dicha del amplificador es la base del transistor.	118
4.6. Equivalente en pequeña señal del amplificador en emisor común. Se ha eliminado R_E y no se incorporan parásitos al modelo del transistor.	119

4.7. Equivalente en pequeña señal del amplificador en emisor común para el cálculo de la impedancia de salida.	120
4.8. Amplificador en configuración de fuente común basado en MOSFET, con NMOS (a) y PMOS (b). Se considera que la entrada propiamente dicha del amplificador es la puerta del transistor.	122
4.9. Equivalente en pequeña señal del amplificador en fuente común.	122
4.10. Amplificador en configuración de fuente común basado en MOSFET, con NMOS (a) y PMOS (b). Se considera que la entrada propiamente dicha del amplificador es la puerta del transistor.	124
4.11. Modelo en pequeña señal de un amplificador en emisor común a bajas frecuencias. .	124
4.12. Modelo en pequeña señal de un amplificador en emisor común a altas frecuencias. $A_{V,DC}$ es el valor absoluto de la ganancia del inversor.	126
4.13. Modelo en pequeña señal de un amplificador MOSFET en fuente común a altas frecuencias. $A_{V,DC}$ es el valor absoluto de la ganancia del inversor.	128
4.14. Modelo en pequeña señal de un amplificador en emisor degenerado a frecuencias medias.	130
4.15. Modelo en pequeña señal de un amplificador con fuente degenerada a frecuencias medias.	131
4.16. Amplificador en configuración de base común basado en BJT, con NPN (a) y PNP (b). Se considera que la entrada propiamente dicha del amplificador es el emisor del transistor bipolar.	133
4.17. Modelo en pequeña señal de un amplificador en base común a frecuencias medias. .	133
4.18. Modelo en pequeña señal de un amplificador en base común a frecuencias altas. .	135
4.19. Amplificador en configuración de puerta común basado en MOSFET, con NMOS (a) y PMOS (b), y JFET, de canal P (c) y canal N (d). Se considera que la entrada propiamente dicha del amplificador es la fuente del transistor.	137
4.20. Modelo en pequeña señal de un amplificador en puerta común a frecuencias medias. .	137
4.21. Modelo en pequeña señal de un amplificador en puerta común a frecuencias medias para el cálculo de la impedancia de salida.	138
4.22. Modelo en pequeña señal de un amplificador en puerta común a frecuencias bajas. .	139
4.23. Modelo en pequeña señal de un amplificador en puerta común a frecuencias altas. .	139
4.24. Amplificador en configuración de colector común basado en BJT, con NPN (a) y PNP (b). Se considera que la entrada propiamente dicha del amplificador es la base del transistor bipolar.	140
4.25. Modelo en pequeña señal de un amplificador en colector común a frecuencias medias. .	141
4.26. Modelo en pequeña señal de un amplificador en colector común a frecuencias medias para el cálculo de la impedancia de salida.	142
4.27. Modelo en pequeña señal de un amplificador en colector común a frecuencias bajas. .	143
4.28. Modelo en pequeña señal de un amplificador en colector común a frecuencias altas. .	144

4.29. Amplificador en configuración de drenador común basado en MOSFET, con NMOS (a) y PMOS (b), y JFET, de canal P (c) y canal N (d). Se considera que la entrada propiamente dicha del amplificador es la puerta del transistor. Téngase en cuenta, además, que la resistencia de carga puede estar conectada tanto a tierra como a la alimentación positiva.	145
4.30. Modelo en pequeña señal de un amplificador en drenador común a frecuencias medias para el cálculo de las ganancias e impedancia de entrada.	145
4.31. Modelo en pequeña señal de un amplificador en drenador común a frecuencias medias para el cálculo de la impedancia de salida.	146
4.32. Modelo en pequeña señal de un amplificador en drenador común a frecuencias bajas.	146
4.33. Modelo en pequeña señal de un amplificador en drenador común a frecuencias altas.	147
4.34. Equivalente de la configuración de base común (Fig. 4.16) con una fuente de corriente.	148
4.35. Amplificador inversor en emisor/fuente común con fuente de corriente como carga. R_Q simboliza la impedancia de salida de la fuente de corriente y R_L una resistencia o bien la impedancia de entrada de la etapa siguiente.	149
4.36. Amplificador en configuración de emisor común cargado con fuente de corriente en pequeña señal: BJT (a) y MOSFET (b).	150
4.37. Par CC-CE construido con NPNs.	153
4.38. Equivalente en pequeña señal del par CC-CE.	153
4.39. Par Darlington construido con NPNs.	154
4.40. Equivalente en pequeña señal del par Darlington.	154
4.41. Par cascode construido con NPNs.	156
4.42. Equivalente en pequeña señal del par cascode con transistores bipolares.	156
4.43. Par cascode construido con NMOS.	158
4.44. Equivalente en pequeña señal del par cascode con transistores MOS.	158
4.45. Estructura cascode activo construida con NMOS.	159
4.46. Equivalente en pequeña señal de la estructura cascode activo con transistores MOS.	160
5.1. Esquema básico de funcionamiento de un amperímetro. La tensión de salida puede ser recogida por un conversor A/D y procesada por un microcontrolador.	163
5.2. Señal con alto nivel de ruido (a), señal de referencia (b) y señal regenerada al restar la otras dos señales (c).	163
5.3. Equivalente circuital de la tensión común y diferencial.	164
5.4. Equivalente circuital de la definición alternativa de tensión común y diferencial.	165
5.5. Pares diferenciales bipolares con cargas resistivas. NPN (a) y PNP (b). Puede apreciarse la distinta posición de la fuente de corrientes pues deben estar unidos al nudo de los emisores.	166
5.6. Relación entrada-salida en un amplificador diferencial BJT.	168

5.7.	Equivalente en pequeña señal de un par diferencial BJT con resistencias de carga. Se entiende que la excitación en pequeña señal es la componente diferencial, v_D .	169
5.8.	Pares diferenciales bipolares con transistores de efecto campo.	170
5.9.	Equivalente en pequeña señal de un par diferencial FET con resistencias de carga. Se entiende que la excitación en pequeña señal es la componente diferencial, v_D .	172
5.10.	Par diferencial NPN con carga activa simple y salida en corriente. La tensión diferencial amplificada es $v_D = \frac{1}{2}(V_A - V_B)$.	174
5.11.	Par diferencial NPN con carga activa generalizada.	175
5.12.	Par diferencial NMOS con carga activa simple y salida en corriente.	176
5.13.	Técnicas para aumentar la impedancia de salida de un par diferencial en tecnología bipolar: Uso de un espejo cascode (a), Wilson (b), con degeneración de emisor simple (c) y de base compensada (d). Estas técnicas también pueden utilizarse en pares JFET (e).	179
5.14.	Técnicas para aumentar la impedancia de salida de un par diferencial en tecnología CMOS: Uso de un espejo Wilson (a), cascode autopolarizado (b) y cascode con polarización externa (c).	179
5.15.	Par diferencial con salida y entrada inversoras cortocircuitadas para crear un sencillo seguidor de tensión.	180
6.1.	Etapas de salida tipo seguidor de emisor basadas en NPN: Simple (a) y Darlington (b).	183
6.2.	Modelo en pequeña señal para el cálculo de A_V y Z_{IN} en el seguidor de emisor con NPN simple.	185
6.3.	Modelo en pequeña señal para el cálculo de Z_{OUT} en el seguidor de emisor con NPN simple. Se ha supuesto que la entrada se ha cortocircuitado a tierra y que se excita el circuito con una fuente externa, I_X .	186
6.4.	Seguidor de fuente con un NMOS.	186
6.5.	Seguidor de fuente con un NMOS. Modelo en pequeña señal para el cálculo de ganancia.	187
6.6.	Etapas de salida tipo seguidor de emisor/fuente como sumideros de corriente: PNP (a) y PMOS (b).	188
6.7.	Estructuras de falsos PNPs para reemplazar el PNP simple de Fig. 6.6a. Par Darlington (a), con relación $I_C = (1 + h_{FE})^2 \cdot I_B$; Falso PNP bipolar (b), con relación $I_C = h_{FEP}(1 + h_{FEN}) \cdot I_B$ y falso PNP con JFET (c), con relación $I_C = (1 + h_{FE}) \cdot \beta \cdot (V_{BE} - V_P)^2$.	189
6.8.	Pares complementarios "push-pull" clase B: Bipolar (a) y CMOS (b). En aplicaciones del alta corriente, los transistores bipolares pueden sustituirse por pares Darlington.	190
6.9.	Simulación en NGSPICE de la relación entrada-salida en una etapa "push-pull" (a). Puede apreciarse la zona muerta en torno a 0. Asimismo, puede verse un ejemplo de señal de salida distorsionada (b).	190
6.10.	Estructura general de un bloque realimentado con una etapa de salida no lineal.	191

6.11. Estructura push-pull clase AB mejorada en tecnología bipolar.	192
6.12. Estructuras push-pull clase AB mejorada en tecnología CMOS. Equivalente de la estructura bipolar (a) y versión alternativa (b).	193
6.13. Estrategias de protección en tecnología bipolar.	194
7.1. Relación entrada-salida de un amplificador operacional ideal.	195
7.2. Diversas estructuras basadas en amplificador operacional: Seguidor de tensión (a), no inversor (b), inversor (c), derivador (d) e integrador (e). El último dibujo corresponde a un regulador lineal en el que la realimentación se introduce por el terminal no inversor.	196
7.3. Aplicación del principio de superposición: Todas la entradas (a), primera entrada (b) y segunda entrada (c).	197
7.4. Amplificador diferencial básico.	198
7.5. Amplificador de instrumentación clásico. Existen otras configuraciones, pero ésta es la más popular.	199
7.6. Fuente de corriente controlada por tensión.	200
7.7. Resistencia negativa con un terminal conectado a tierra.	201
7.8. Emulación de una bobina con condensadores.	201
7.9. Esquema para el control manual de una ganancia.	202
7.10. Esquema para el control de ganancia por medio de un JFET.	203
7.11. Control de ganancia de modo digital: Con <i>switches</i> (a) o con DAC (b).	203
7.12. Estructura general de amplificador operacional típico.	204
7.13. Efectos de la tensión de <i>offset</i> de la entrada. La suposición de que existe una fuente de tensión parásita hace que $V_{OUT} = (1 + k) \cdot V_{OS}$ cuando la entrada es nula.	206
7.14. Modelado y efectos de las corrientes de polarización de la entrada en una amplificador operacional.	206
7.15. Ejemplo de como afecta el <i>slew rate</i> a la tensión de salida de un amplificador operacional.	209
7.16. Relación entrada-salida en un comparador regenerativo (a). Implementación práctica como "báscula de Schmitt".	213
8.1. Rectificador sencillo con un único diodo.	216
8.2. Puente de diodos.	216
8.3. Rectificador de precisión de media onda o " <i>superdiodo</i> ".	217
8.4. Rectificador de precisión de media onda avanzado.	218
8.5. Rectificador de precisión de onda completa.	219
8.6. Rectificador de precisión de onda completa basado en multiplexores.	220
8.7. Amplificador logarítmico para entrada positiva.	220
8.8. Amplificador logarítmico basados en transistor bipolar.	221
8.9. Amplificador exponencial para entrada positiva.	222
8.10. Amplificador exponencial para entrada positiva basados en transistores bipolares.	222

8.11. Operaciones aritméticas de modo digital.	224
8.12. Multiplicador con JFET de canal n.	225
8.13. Multiplicador con JFET de canal p.	225
8.14. Ejemplos de transconductores, que convierten V_{IN} en I_O . Z_L es la carga donde se está aplicando la corriente.	226
8.15. Multiplicador basado en el par diferencial.	227
8.16. Divisor de tensiones con multiplicador. Las entradas son V_A y V_B siendo V_X una tensión interna del circuito.	227
8.17. Detectores de pico máximo (a) y mínimo (b).	228
8.18. Detectores de pico máximo (a) y mínimo (b) basados en el superdiodo.	228
8.19. Detectores de pico máximo (a) y mínimo (b) basados en el un transistor MOS.	229
8.20. Aumento de corriente de salida en un op amp con transistores NPN y NMOS de potencia.	230
8.21. Construcción de un regulador con una referencia de tensión, un amplificador opera- cional y un transistor de potencia. Se añade una resistencia R_Q , de valor muy alto, para hacer que el transistor esté siempre en ZAD incluso sin conectar una carga. De este modo, $V_{OUT} = V_{REF}$ y se pueden colocar resistencias muy bajas en la salida.	230
9.1. Característica ideal de un filtro LP.	234
9.2. Característica ideal de un filtro HP.	234
9.3. Característica ideal de un filtro BP.	234
9.4. Característica ideal de un filtro BR.	235
9.5. Característica ideal de un filtro AP.	235
9.6. Característica de un filtro LP real con normalización de la ganancia a 1. La banda de paso (<i>Pass band</i>) está delimitada por la frecuencia ω_P y se permite en ella cualquier valor de ganancia entre 0 dB y $-A_{MAX}(dB)$. La banda de rechazo (<i>Stop band</i>) está delimitada por ω_S y no se permiten ganancias superiores a $-A_{MIN}(dB)$	235
9.7. Característica de un filtro HP real con normalización de la ganancia a 1. Los parámetros A_{MAX} , A_{MIN} , ω_S y ω_P desempeñan el mismo papel que en Fig. 9.6.	235
9.8. Característica de un filtro BP real con normalización de la ganancia a 1. Los parámetros A_{MAX} , A_{MIN} , ω_S y ω_P desempeñan el mismo papel que en Fig. 9.6 aunque, en el caso de las frecuencias, es necesario duplicar los subíndices.	236
9.9. Característica de un filtro BR real con normalización de la ganancia a 1. Mismos comentarios que en Fig. 9.8.	236
9.10. Ganancia de un filtro LP Butterworth	240
9.11. Ganancia de un filtro LP Bessel	241
9.12. Ganancia de un filtro LP Chebyshev. Se supuso $\varepsilon = 0,2$. Al estar definido el polino- mio de Chebyshev para valores de frecuencia positivos y estar elevado al cuadrado, aparecen N máximos y mínimos por debajo de la frecuencia unidad.	242

9.13. Filtro pasivo en escalera.	246
9.14. Filtro RC en escalera con un cero y dos polos.	246
9.15. Filtro Sallen-Key generalizado.	248
9.16. Filtro generalizado con realimentación de bucle múltiple.	249
9.17. Filtros LP reales con un único polo basados en configuraciones inversoras y no inversoras de un amplificador operacional.	250
9.18. Filtros LP Sallen-Key.	251
9.19. Filtros LP con configuración de bucles de realimentación múltiples.	251
9.20. Filtros LP con configuración de immitancia generalizada.	252
9.21. Filtros HP basado en configuración inversora.	252
9.22. Filtros HP basado Sallen-Key.	253
9.23. Filtros HP con configuración de bucles de realimentación múltiples.	253
9.24. Filtros HP con configuración de immitancia generalizada.	254
9.25. Filtros BP basados en amplificador operacional inversor.	254
9.26. Filtros BP con configuración de bucles de realimentación múltiples.	255
9.27. Filtros BR con configuración de immitancia generalizada.	255
9.28. Filtros BR con configuración de bucles de realimentación múltiples.	256
9.29. Filtros BR con configuración de immitancia generalizada.	256
9.30. Filtros AP sencillo.	257
9.31. Filtros AP de segundo orden con configuración de immitancia.	257
10.1. Estructura realimentada en anillo sin entrada.	260
10.2. Red RC en escalera con desfase de 0 a 270°	261
10.3. Oscilador basado en red de cambio de fase con amplificador operacional. Lamentablemente, la resistencia real que se ve desde el nudo B es $(R//R_1)$ al existir una tierra virtual. La función de transferencia mostrada en Eq. 10.3 no es válida.	262
10.4. Oscilador basado en red de cambio de fase con amplificador operacional. En este caso, los resultados son válidos.	262
10.5. Oscilador basado en red de cambio de fase con transistor NPN en configuración de emisor común.	264
10.6. Red RC asociada al puente de Wien.	264
10.7. Oscilador con puente de Wien.	265
10.8. Red para construcción de filtros de Harley y Colpitts.	266
10.9. Oscilador Colpitts.	268
10.10. Oscilador Hartley.	268
10.11. Modelo equivalente de un cristal de cuarzo.	269
10.12. Impedancia del cristal de cuarzo.	270
10.13. Oscilador de Pierce generalizado.	270
10.14. Oscilador de Pierce con emisor común.	271

10.15	Oscilador de Pierce con inversor CMOS.	271
10.16	Relación entre la ganancia mínima y la frecuencia de oscilación real en un puente de Wien con amplificador operacional con polo único.	273
10.17	Cadena de un número impar de osciladores. En este caso, hay 5.	278
10.18	Oscilador en anillo con cinco elementos.	278
10.19	Oscilador en anillo con elementos de retraso.	278
10.20	Ejemplo de circuito multivibrador.	279
10.21	Circuito astable basado en comparador regenerativo (Oscilador de relajación).	280
11.1.	Señal analógica muestreada por un circuito S/H ideal.	283
11.2.	Señal analógica muestreada por un circuito S/H real o T/H. Puede apreciarse la necesidad de un tiempo mínimo de establecimiento en el que la salida y la entrada son similares.	283
11.3.	Señal analógica muestreada por un circuito T/H real con bajada a tierra cuando el reloj está en ALTA.	283
11.4.	Circuito S/H sencillo. ϕ es la señal de reloj.	284
11.5.	Circuito S/H sencillo. El conmutador es un transistor NMOS (a) en el que se ha formado un canal por acumulación de electrones junto al óxido, atraídos por la tensión positiva de la puerta (b).	287
11.6.	Puerta de transmisión mejorada con par NMOS y PMOS.	288
11.7.	Puerta de transmisión mejorada con transistor NMOS y <i>dummy transistor</i>	288
11.8.	Circuito S/H con realimentación directa hacia la entrada del circuito S/H. ϕ es la señal de reloj.	290
11.9.	Circuito S/H con eliminación de offset y mejor comportamiento en frecuencia. S1 y S3 están controlados por el reloj y S2 por el complementado.	291
11.10	Circuito S/H con eliminación de pedestal	292
11.11	Circuito S/H con paso a tierra en periodo de seguimiento.	293
11.12	Amplificador inversor de carga	294
11.13	Relojes complementarios no solapados (ϕ_1 , ϕ_2). Entre cada dos líneas de puntos, se muestra el intervalo temporal en el que ambos relojes están con salida BAJA.	296
11.14	Equivalente resistivo paralelo de una resistencia por medio de un condensador.	296
11.15	Filtro integrador	298
11.16	Filtro integrador con capacidad de conmutación en paralelo.	299
11.17	Filtro integrador con capacidad en conmutación en paralelo. En el instante A, ambos conmutadores están en paralelo siendo la tensión de salida $V_{OUT} [(n-1) \cdot T]$	299
11.18	Filtro integrador con capacidad en conmutación en paralelo. El sistema se encuentra en el instante B.	300
11.19	Filtro integrador con capacidad en conmutación en paralelo. El sistema se encuentra en el instante C.	300

11.20	Filtro integrador con capacidad en conmutación insensible a capacidades parásitas. .	301
11.21	Filtro integrador con capacidad en conmutación insensible a capacidades parásitas. .	301
11.22	Filtro integrador con capacidad en conmutación insensible a capacidades parásitas. .	301
13.1.	Modelo básico SPICE del BJT	315
13.2.	Modelo básico SPICE al que se han añadido las corrientes de generación-recombinación.	316
14.1.	Modelo DC de un transistor JFET de canal N.	325

Índice de cuadros

1.1. Resumen de las condiciones de trabajo de un transistor NPN.	24
1.2. Resumen de las condiciones de trabajo de un transistor PNP.	25
1.3. Estado de un transistor NMOS. Se sobreentiende que la corriente de puerta es nula.	29
1.4. Estado de un transistor PMOS. Se sobreentiende que la corriente de puerta es nula.	29
1.5. Definición alternativa del estado de un transistor PMOS. En este caso, todas las tensiones que se definen se entienden como positivas.	29
1.6. Estado de un transistor JFET de canal N.	32
1.7. Estado de un transistor JFET de canal P.	32
2.1. Distintos modelos para un transistor de acuerdo con el modelo de bipuerta.	39
2.2. Terminales de entrada y salida convencionales asociados a los distintos modelos h de un transistor bipolar.	41
2.3. Notación alternativa y más popular de los parámetros de los modelos bipuerta en h	41
2.4. Obtención de parámetros h a partir de los modelos en y	44
2.5. Obtención de parámetros y a partir de los modelos en h	44
2.6. Obtención de parámetros h en colector común a partir de los modelos en emisor común.	45
2.7. Obtención de parámetros h en base común a partir de los modelos en emisor común.	46
2.8. Equivalencia entre modelo de Giacoletto y de admitancias.	47
2.9. Equivalencia entre modelo de Giacoletto e híbrido en h	47
2.10. Parámetros h a partir de las corrientes en el punto de operación, temperatura y características propias del transistor.	49
2.11. Obtención de parámetros h en colector común a partir del punto de operación.	50
2.12. Obtención de parámetros h en base común a partir del punto de operación.	50
2.13. Equivalencia entre los parámetros del modelo de Giacoletto e híbrido en h en configuración de emisor común.	51
4.1. Tipos de amplificadores en función de las magnitudes de entrada y salida.	113
9.1. Denominadores de los filtros de Butterworth hasta orden 5.	239
9.2. Polinomios inversos de Bessel de grado N	240
9.3. Polinomios de Chebyshev de grado N	241

11.1. Equivalentes resistivos de algunas redes. 298